

# 新型全数字三相 SPWM 信号产生 芯片的设计与实现\*

高 勇 余宁梅 陈利杰<sup>†</sup> 唐善强

(西安理工大学电子工程系, 西安 710048)

**摘要:** 针对电力电子领域的需要,自行研制了一种新型三相正弦脉宽调制信号产生芯片. 该芯片采用了改进的直接数字频率合成算法、流水线结构与 ROM 分时复用技术,保证了芯片的高性能和速度,节省了芯片面积. 芯片系统时钟可达 24MHz,输出信号的范围为 DC 到 4kHz,精度为 65536 级,控制功能齐全. 采用 0.35 $\mu$ m COMS 工艺流片,测试结果显示芯片达到设计指标.

**关键词:** 数字频率合成; 正弦脉宽调制; 正弦波查找表; COMS

EEACC: 1210; 1265A; 2570D

中图分类号: TN492 文献标识码: A 文章编号: 0253-4177(2006)01-0126-06

## 1 引言

正弦脉宽调制 (sinusoidal pulse width modulation, SPWM) 是利用功率半导体器件的开关,把直流电压变成电压脉冲序列,控制电压脉冲的宽度和周期,以达到变压变频的目的,在电力电子领域有着广泛的应用. 同类已有的芯片如 HEF4752、SL E4520 输出信号频率低最高为 2.6kHz,控制精度低为模拟或 256 级控制,只有复位、输出禁止等简单功能,用法复杂需外接多个器件,不能适应电力电子高频化、高性能化的发展<sup>[1]</sup>. 若采用数字信号处理器 (digital signal processing, DSP)、现场可编程逻辑阵列 (field programmable gate array, FPGA) 或复杂可编程逻辑器件 (complex programmable logical device, CPLD) 等方案产生 SPWM 信号,无疑增加了设计的复杂性与成本. 本文设计并实现了新型高性能 SPWM 信号产生芯片. 该芯片采用改进直接数字频率合成 (DDS) 算法,输出信号精度高,结构设计合理,控制功能齐全,用法简捷,为电力电子领域的交流电机变频调速、逆变电源、UPS 电源等系统提供了高性能的关键芯片.

## 2 芯片主电路系统结构

主电路的功能是用数字的方法生成三相正弦交

流信号和三角波信号,通过它们的比较,产生三相六路的 SPWM 脉冲. 主电路的详细模块划分和各模块信号的连接关系如图 1 所示. 主电路主要包括八个子模块:  $2^{n+1}$  时钟分频、三角载波的生成、正弦波查找表、正弦波的生成、分相逻辑、乘法器、脉冲剔除和脉冲延迟.

### 2.1 基于改进 DDS 结构产生正弦波

首先要设计产生频率范围能达到 4kHz 且精度为 65536 级 (16 位) 控制的正弦波. 采用的方法是 DDS 技术. 传统的 DDS 由于是在频率固定的取样时钟控制下通过改变正弦波的采样点数来改变其频率,所以正弦波精度随频率的增大而减小. 本设计提出的改进 DDS 是通过改变正弦波数据的取样时钟频率来改变正弦波的频率,而每个周期正弦波的采样点数固定不变,解决了传统 DDS 生成正弦波的精度随频率的增大而减小的问题. 改进 DDS 在本设计中的具体实现如下.

系统时钟 SYSCLK (system clock) 由载波频率选择器 CFS (carrier frequency selector)  $2^{n+1}$  分频得到时钟驱动信号 div (diver), 其频率为  $f_{div}$ . 累加器的容量为 23 位,每次累加值为 16 位的频率控制字 FCW (frequency control word). 高七位用作低 16 位累加进位信号的计数器. 每来一个 div 脉冲,加法器将 16 位 FCW 与 16 位累加寄存器输出数据相加,把相加的结果送到累加寄存器的输入端,在下一

\*陕西省教育厅归国人员研究基金资助项目 (批准号:陕教外 0177 号)

<sup>†</sup>通信作者. Email: dhz\_frank1@yahoo.com.cn

2005-08-03 收到, 2005-09-14 定稿

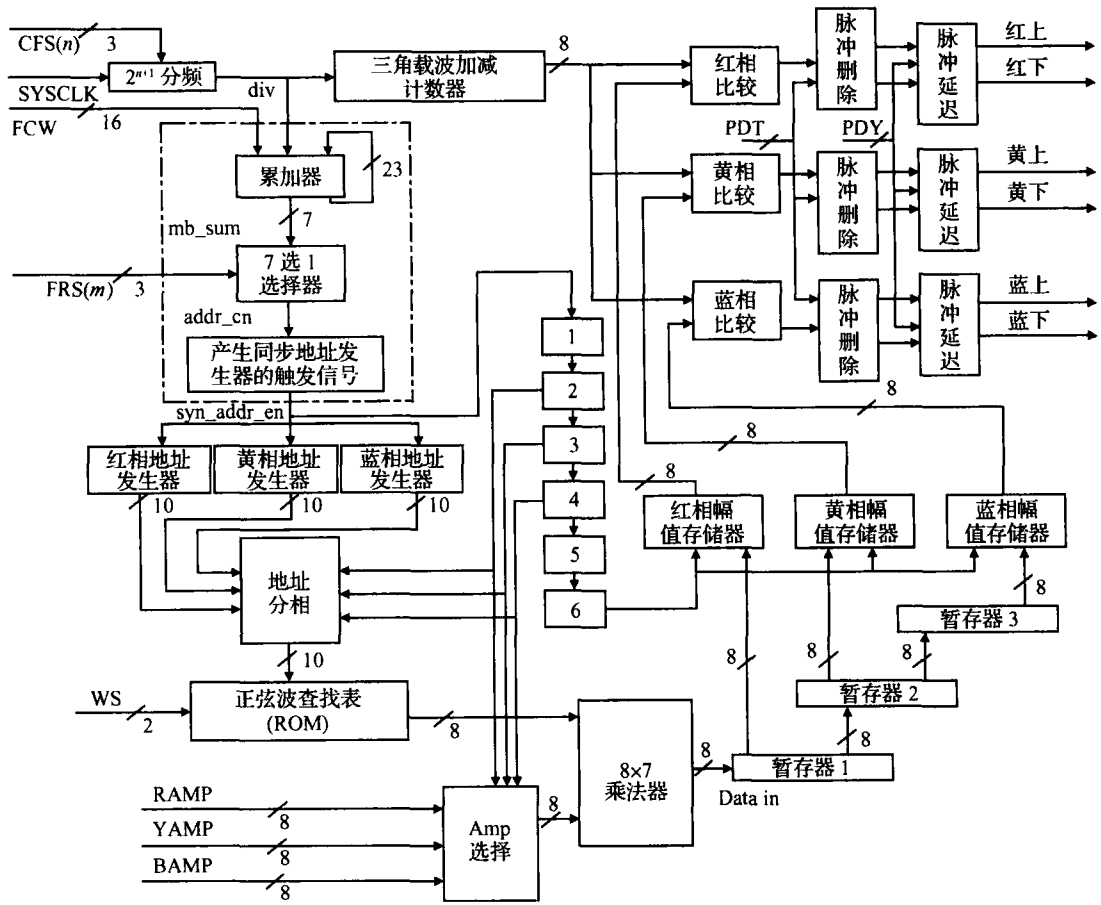


图 1 主电路结构图  
Fig. 1 Main circuit architecture

个时钟的作用下继续与频率控制字相加；累加器每次溢出产生一个溢出信号，其频率为  $f_{out} = \frac{f_{div} \times FCW}{2^{16}}$ 。选择累加器高七位 mb\_sum (most bits of sum) 中的某一位，对溢出信号分频得到 ROM 地址使能信号 addr\_en (address enable)。每来一个 addr\_en 信号产生一个同步地址发生器的使能信号 syn\_addr\_en (synchronization address enable)，分别输入到三相 10 位地址发生器，其中 9 位用来计数，1 位作符号标志位。每来一个 syn\_addr\_en 信号，各地址发生器进行一次加(减)1 运算，当地址计数值为最小值 0 时，开始加计数，当地址计数值为最大值 383 时，开始减计数。在每次地址计数值为 0 时，1-BIT 的符号标志位取反一次。在一、二象限，符号位记为 1，在三、四象限，符号位记为 0。地址发生器产生的计数值作为 ROM 查找表地址，正弦 ROM 查找表存储等相位取样的 1/4 周期正弦波的幅度量值。ROM 表的尺寸随着地址位数或数据位数的增加呈指数增加，因此在满足信号性能的前提下，存储容量定为 384 × 7 位。根据实用要求 ROM 内部存储了 3 种正弦波，由波形选择器 WS

(wave selector) 选择。经过地址发生器的计数值从 0 到 383 的 4 次变化，得到一个周期的量化正弦波，再通过和符号标志位寄存器的合成，得到完整的正弦波。通过增加相位加减计数器，正弦波采样点存储器 ROM 减少到传统结构的 1/4，提高了资源利用率<sup>[2,3]</sup>。正弦波频率为： $f_{sine} = \frac{f_{div} \times FCW}{2^{16}} \times \frac{1}{384 \times 4} \times \frac{1}{2^{7-m}}$ ，合适 SYSCLK 输出频率即可达到 4kHz，并且控制精度为 65536 级。

DDS 生成正弦波时用到了 23 位累加器。寄存器传输级 RTL (register transfer level) 设计时为了提高计算速度，采用三级流水线结构来实现 23 位累加器，如图 2 所示。把一个时钟周期实现的电路逻辑分配到三个时钟周期完成。Pipe1, Pipe2, Pipe3 是三个一位的寄存器，div 每来一个上升沿信号，它的状态就被锁到 Pipe1，在下个系统时钟到来的时候把累加使能信号 1 accu\_en1 (accumulate enable 1) 传递给 8 位累加器(1)，执行累加，同时把状态传递到 Pipe2，把进位信号 c1 传递给 8 位累加器(2)；在紧接着的时钟到来时，把累加使能信号 2 accu\_en2

(accumulate enable 2) 传递给 8 位累加器 (2), 执行累加, 同时把状态传递给 Pipe3, 把进位信号 c2 传递给 7 位累加器; 在紧接着的时钟到来时, 把累加使能信号 3 accu\_en3(accumulate enable 3) 传递给 7 位

累加器, 执行累加(加 1). 通过频率范围选择器 FRS (frequency rang selector) 来选择高七位中的某一位, 分频得到需要的 addr\_en.

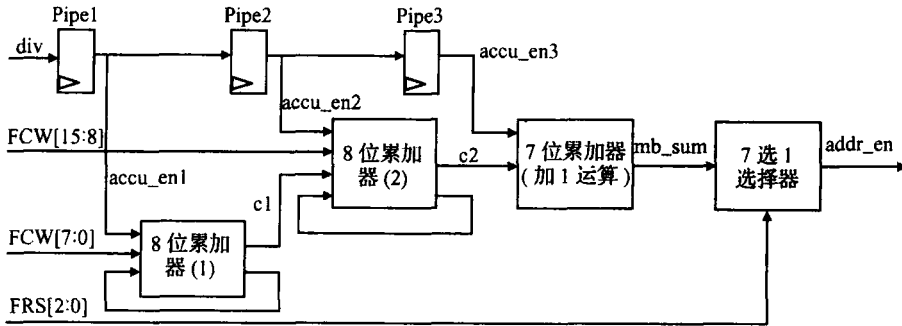


图 2 三级流水线结构

Fig. 2 Three-stage pipeline architecture

2.2 分相逻辑

生成正弦波时三相都要从 ROM 中取值, 若用三个 ROM 则芯片面积过大. 为了提高资源利用率, ROM 采用分时复用. 三相的地址同时产生, 但从 ROM 取值是分时的, 取出数据后, 分别送至乘法器与各自幅度 AMP(amplitude) 相乘完成幅值控制. 因此, 只需要一个 ROM、一个乘法器即可得到幅值分别可控的三相正弦波. 由于系统要求得到的三相 SPWM 波形相位相差 120°, 可令三相正弦波起始地址相差 120°.

分相由一个 6 位的移位寄存器 (Pipe1 ~ Pipe6) 控制完成. 移位寄存器的时钟信号是 SYSCLK, 触发信号是同步地址发生器的使能信号 syn\_addr\_en (synchronization address enable). 当产生一个 syn\_addr\_en 脉冲时, 三个地址发生器在一个 SYSCLK 周期里产生三相地址. 由这六个触发器控制, 采用分时复用的方法查表读取正弦波的采样值, 具体操作控制如表 1 所示.

2.3 其他模块

乘法器完成幅值控制每次只能输出一相的数据, 因而将每次产生的数据利用寄存器先分别暂存. 三角载波通过加减计数器产生. 比较器对正弦波和三角波进行比较, 得到 SPWM 信号. 脉冲剔除单元使脉冲宽度小于脉冲删除时间 PDT (pulse deletion time) 的脉冲被删除掉, 应用时可减少后级功率开关器件的动作次数. 脉冲延迟单元设置脉冲延迟时间 PDY (pulse delay time), 使得上下桥臂变化时不能同时为高, 避免了后级功率器件同时导通而发生短路<sup>[4]</sup>.

表 1 6 位移位寄存器的控制

Table 1 Function of six-bit register

有效位	执行操作
Pipe1 有效	选出红相地址
Pipe2 有效	(1) 选出红相符号 (2) 选出黄相地址 (3) 选出红相幅度控制字
Pipe3 有效	(1) 选出蓝相地址 (2) 选出黄相符号 (3) 选出黄相幅度控制字
Pipe4 有效	(1) 选出蓝相符号 (2) 选出蓝相幅度控制字
Pipe5 有效	(无操作)
Pipe6 有效	三相信号同时写入三相比较寄存器中

3 芯片监控电路

针对实用的要求, 设计了功能齐全的监控电路. 电路功能有: 调制波频率信号 ZPPR (zero phase pulse) 输出与正弦波同频的方波, 波形采样同步信号 WSS (waveform sampling synchronization) ROM 每输出一个采样值 WSS 取反一次, 这两个信号可监视芯片工作是否正常. 正/反向控制功能可改变输出正弦波的相序, 正向时输出正弦波相序是红黄蓝, 反向时是蓝黄红. 输出禁止功能 INH (inhibit) 可关断 SPWM 输出, 不影响内部的操作. 软、硬复位可关断 SPWM 输出, 内部寄存器、计数器清零. 故障处理报警功能可响应外部故障信号, 越过微处理器 MCU (microprogrammed control unit) 关断 SPWM 输出, 并向 MCU 报警. 看门狗功能可监视芯片与 MCU 的联系状态, 若失去联系关断 SPWM 输出, 并向 MCU 报警. 波形选择功能可选择 ROM 内的

三种正弦波之一输出. 幅值控制功能可实现分别控制三相幅值. 接口功能可自动适应 INTEL 和 MOTOROLA 总线模式, 使芯片与多种 MCU 兼容, 由内部寄存器接收 MCU 写入的控制信息, 得到生成 SPWM 信号所需的参数. 此外, 芯片中集成了分频等模块使得用法简单, 只需外接一个时钟源即可与 MCU 配合工作.

### 4 芯片实现和测试结果

芯片功能仿真使用的软件是 CADENCE 公司的 NC\_Verilog. 布局布线使用的软件是 Synopsys 公司的 Apollo, 通过布局规划、宏单元放置、电源规划、放置标准单元、时钟树综合、布线等流程得到了版图<sup>[5,6]</sup>, 如图 3 所示, 核心面积只有 1754.6 $\mu\text{m} \times$  1746.2 $\mu\text{m}$ . 采用 Charmed 0.35 $\mu\text{m}$  COMS 数字工艺流片.

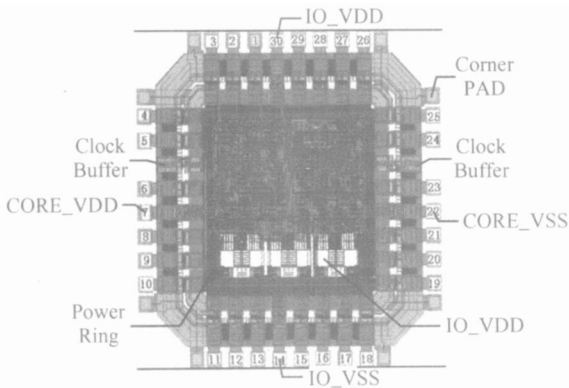


图 3 芯片版图  
Fig. 3 Chip layout

芯片通过了实验室的详细测试, 测试的主要设备有单片机 AT89S8252、示波器 TEKTRONIX TDS3034B、逻辑分析仪 TEKTRONIX TLA601、信号发生器 Agilent 33220A. 由单片机发控制信息到芯片, 用示波器和逻辑分析仪观测输出波形. 测试结果表明, 芯片工作频率范围可达 24MHz, 芯片工作电压范围为 2.7~5.5V. 芯片以 3.3V 电压供电时, 功耗为 42.32mW.

输出正弦波频率为 3.9kHz 时观测到的波形如图 4 所示. 实测 ZPPR 的频率为 3.90625kHz, 误差为 1.6%, 符合要求. 各信号的意义为红相上臂 PUR (pulse up arm of red)、红相下臂 PDR (pulse down arm of red)、黄相上臂 PUY (pulse up arm of yellow)、黄相下臂 PDY (pulse down arm of yellow)、蓝相上臂 PUB (pulse up arm of blue)、蓝相下臂 PDB (pulse down arm of blue).

当 SYSCLK 为最高值 24MHz, div 为 12MHz,

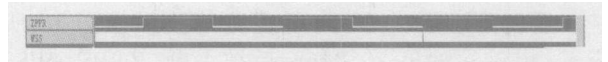


图 4 正弦波频率为 3.9kHz 时实测波形  
Fig. 4 Testing result of sine waveform with frequency 3.9kHz

七选一选择器选最低位, FCW 为 6666H 时, 观测到的 WSS 波形如图 5 所示. 1/4 周期内变化 379 次, 与 384 次期望值相比, 误差为 1.3%, 符合要求. WSS 每次反转需 1.68 $\mu\text{s}$ , 与期望值 1.64 $\mu\text{s}$  相比, 误差为 2.4%, 累加器的计算速度达到了设计要求, 流水线结构的设计是成功的.

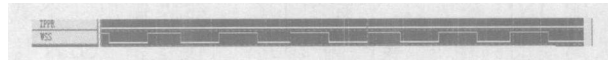


图 5 WSS 为 1.64 $\mu\text{s}$  时的实测波形  
Fig. 5 Testing result of WSS with 1.64 $\mu\text{s}$

脉冲延迟时间为 1 $\mu\text{s}$  时观测到的波形如图 6 所示, 实测 PUR 在 PDR 为低后延迟了 1 $\mu\text{s}$  才为高, 符合要求.

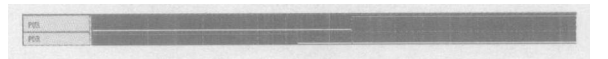


图 6 脉冲延迟时间为 1 $\mu\text{s}$  时实测波形  
Fig. 6 Testing result of the delay time with 1 $\mu\text{s}$

正转时各相上臂达到峰值 (为 1) 的顺序由左右为 PUR, PUY, PUB, 如图 7 所示, 与正转时正弦波各相正半周达到峰值的顺序红黄蓝相同, 符合要求.



图 7 正转实测波形  
Fig. 7 Testing results of forward phase sequence

反转时各相上臂达到峰值 (为 1) 的顺序由左右为 PUB, PUY, PUR, 如图 8 所示, 与反转时正弦波各相正半周达到峰值的顺序蓝黄红相同, 符合要求.

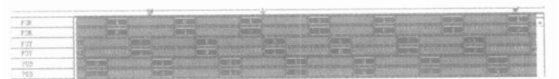


图 8 反转实测波形  
Fig. 8 Testing results of reverse phase sequence

最小脉宽为 10 $\mu\text{s}$  时观测到的波形如图 9, 实测为 10 $\mu\text{s}$ , 符合要求.

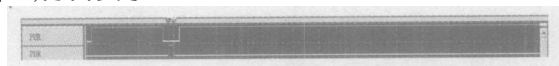


图 9 最小脉宽为 10 $\mu\text{s}$  时实测波形  
Fig. 9 Testing result of min plus width with 10 $\mu\text{s}$

看门狗时间为 20ms 时观测的波形如图 10 所示,三相正常输出 20.04ms 后被关断,ZPPR,WSS 不受影响.误差为 0.2%,符合要求.

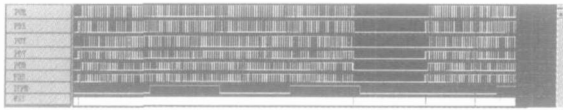


图 10 看门狗时间为 20ms 时实测波形

Fig. 10 Testing results of watch dog time with 20ms

释放输出禁止位 INH 时观测的波形如图 11 所示,INH 有效时三相输出全为低,ZPPR,WSS 不受影响. INH 释放后,所有的下桥臂都先输出一个载波周期的高电平,实测为 160 $\mu$ s 与设定值 166 $\mu$ s 接近,误差为 3.75%,符合要求.

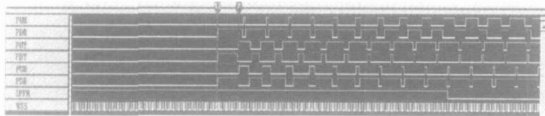


图 11 释放输出禁止位 INH 时实测波形

Fig. 11 Testing results of release INH

总之,测试得到的数据和期望数据能很好地吻合,达到了设计要求.

## 5 结论

本文设计并实现了新型全数字三相 SPWM 信号产生芯片.芯片采用改进 DDS 算法,输出信号频率可达 0~4kHz,精度可达 65536 级,超过同类功能芯片;芯片结构设计合理,采用 ROM 分时复用、三级流水线结构使 ROM 面积节省 2/3,ROM 取值的速度可达 1.68 $\mu$ s;芯片控制电路功能齐全,具有故

障处理报警、看门狗、波形选择、三相幅值分别控制等功能,用法简单,只需外接一时钟源即可与 MCU 配合工作.测试结果表明芯片达到了设计要求.该芯片可用于高性能的交流电机变频调速、逆变电源、UPS 电源等系统,使系统电路结构简单,实现了全数字控制.当修改运行参数时才需要 MCU 干预,提高了 MCU 的利用率.

## 参考文献

- [ 1 ] Chen Guocheng. PWM variable voltage variable frequency and soft switching power converter technology. 1st edition. Beijing: China Machine Press, 2001: 50 (in Chinese) [ 陈国呈. PWM 变频调速及软开关电力变换技术. 第一版. 北京: 机械工业出版社, 2001: 50 ]
- [ 2 ] Langlois J M P, Al-Khalili D. ROM size reduction with low processing cost for direct digital frequency synthesis. IEEE Pacific Rim Conference on Communications, Computers and Signal Processing, 2001: 287
- [ 3 ] Sodagar A M, Roientan G. A novel architecture for ROM-less sine-output direct digital frequency synthesizers by using the 2nd-order parabolic approximation. Proceedings of the IEEE/EIA International Frequency Control Symposium and Exhibition, 2000: 284
- [ 4 ] Yao Suoxue, Liu Chenchang. Closed-loop SPWM control for grid-connected buck-boost inverters. IEEE 35th Annual Power Electronics Specialists Conference, 2004, 5: 3366
- [ 5 ] Lin Rungbin. Comments on filling algorithms and analyses for layout density control. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2002, 21(10): 9
- [ 6 ] Huang Lida, Tang Xiaoping, Xiang Hua, et al. A polynomial time-optimal diode insertion/ routing algorithm for fixing antenna problem. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2004, 23(1): 141

## Design and Implementation of a Novel Chip for Full Digital Three-Phase SPWM Signal Generation \*

Gao Yong, Yu Ningmei, Chen Lijie<sup>†</sup>, and Tang Shanqiang

(Department of Electronic Engineering, Xi'an University of Technology, Xi'an 710048, China)

**Abstract:** A novel full digital three-phase sinusoidal pulse width modulation (SPWM) signal generation chip is presented for power electronics. A modified direct digital frequency synthesis (DDS) ,pipelined structure ,and time-sharing ROM are adopted in the chip ,for saving chip area and ensuring high performance and speed. The system clock is set at 24MHz ,the output signals defined in 65536 equal steps cover a bandwidth from DC to 4kHz ,and the multifunction is designed for control. The chip is fabricated by using chartered 0.35 $\mu$ m COMS technology. The test results show that the chip achieves the design specification.

**Key words:** DDS; SPWM; look-up table; COMS

**EEACC:** 1210; 1265A; 2570D

**Article ID:** 0253-4177(2006)01-0126-06

---

\* Project supported by the Foundation for Returned Scholars of the Education Department of Shanxi Province (No. 0177)

<sup>†</sup> Corresponding author. Email: dhz\_frank1@yahoo.com.cn

Received 3 August 2005 ,revised manuscript received 14 September 2005

© 2006 Chinese Institute of Electronics