

适用于 1000Base-T 以太网的低抖动 低功耗频率综合器

陆 平[†] 王 彦 郑增钰 任俊彦

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 采用高速鉴频鉴相器(TSPC)、经典抗抖动的电荷泵、交叉耦合差分延迟单元以及电阻分压相位内插电路等结构设计了一个应用于 1000Base-T 以太网收发器的频率综合器电路,并能兼容 10/100Mbps 模式. 该电路同时满足发送电路上升下降斜率控制和时钟恢复电路对于多相时钟(128 相)的需要,大大节约了面积和功耗. 在晶振的绝对抖动 约为 16ps 情况下,输出 25MHz 测试时钟信号 仅为 11ps. 表明该频率综合器有较强的抑制噪声能力,能很好满足发送和接收电路对于时钟性能的要求. 芯片采用 SMIC 0.18 μ m 的标准 CMOS 工艺,电源电压为 1.8V,功耗小于 4mW.

关键词: 以太网; 频率综合器; 时钟抖动

EEACC: 1205; 1230; 1280

中图分类号: TN492

文献标识码: A

文章编号: 0253-4177(2006)01-0137-06

1 引言

本文设计的频率综合器可以为 10/100/1000Base-T 自适应以太网芯片发送和接收电路提供基本时钟信号. 有些设计直接采用 1.25GHz 或 625MHz 高频时钟发生器^[1],这对环振实现不仅增加难度(高频的寄生等问题),而且采用较小尺寸令匹配等性能不易保证. 并且全模拟的时钟数据恢复电路^[1,2]对工艺依赖性强,不利于移植. 本设计采用 4 路收发器并行收发数据,共用同一个频率综合器(125MHz,与 100Base-T 兼容),同时引入了动态相位内插单元提供与高频时钟相同的精细相位间隔,并配合数字方法实现 CDR. 不仅简化了设计,增强了可移植性,更保证了时钟信号的优良性能.

应用于 1000Base-T 以太网收发电路的频率综合器由电荷泵型锁相环和数字处理模块构成. 发送电路需要动态选择 8 相且相邻相位间隔为 0.5ns 的时钟控制 DAC 电流开关实现 4ns 精确的上升下降时间^[3]. 接收器的数据时钟恢复电路需要从 128 个等相位间隔的时钟动态选择合适的相位. 为了兼容 10/100Base-T,VCO 直接设计成 8 级差分结构 16 相时钟输出. 因此一个额外的动态低功耗 8 相内插电路应用在电路中以产生冗余相位. 本文中电路不仅能灵活兼容 10/100/1000Mbps 三种模式,并且用动态内插实现更多相位输出,节约了功耗和面积.

2 系统结构

本设计采用 4 路收发器并行收发数据. 数据采用 ML T3 编码,每个时钟上升沿采样数据可读出 2bit 信息,因此所需最高时钟输出频率为 125MHz. 与 10/100Base-T 相比,1000Base-T 以太网收发电路不仅对时钟相位的要求有所提高,系统时钟输出方式也发生了较大的变化. 除了算法的改进,主要是因为 1000Base-T 中存在 MASTER 和 SLAVE 两种工作模式:在 MASTER 模式下发送和接收(CDR 除外)都采用本地时钟;而在 SLAVE 模式下发送和接收都采用对方时钟,与 10/100Base-T 模式下发送采用本地,接收采用从对方恢复出的时钟情况有所不同. 这意味着在 SLAVE 模式下提供给发送模块用于控制精确上升下降时间的 8 相时钟不能再采用固定相位^[3],而必须全部像接收时钟一样动态恢复. 在 MASTER 模式下接收电路 ADC 和 CDR 所需的时钟也不一致,前者需要一固定相位时钟,后者需要动态恢复.

图 1 为千兆以太网频率综合器单路收发器系统框图. 阴影框分别为发送和接收模块,其余部分构成整个频率综合器模块,包括核心电路锁相环、相位内插电路、计数器、四个多路选择器. 除了晶振输入信号,还需要模式选择输入信号 mode2 ~ mode0(000/001:10M/自动协商;010:100M;100:1000M MAS-

[†]通信作者. Email: qiuqihill@21cn.com; 041021029@fudan.edu.cn

TER;101:1000M SLAVE)和接收模块对时钟相位 的判决输入信号 U 和 D.

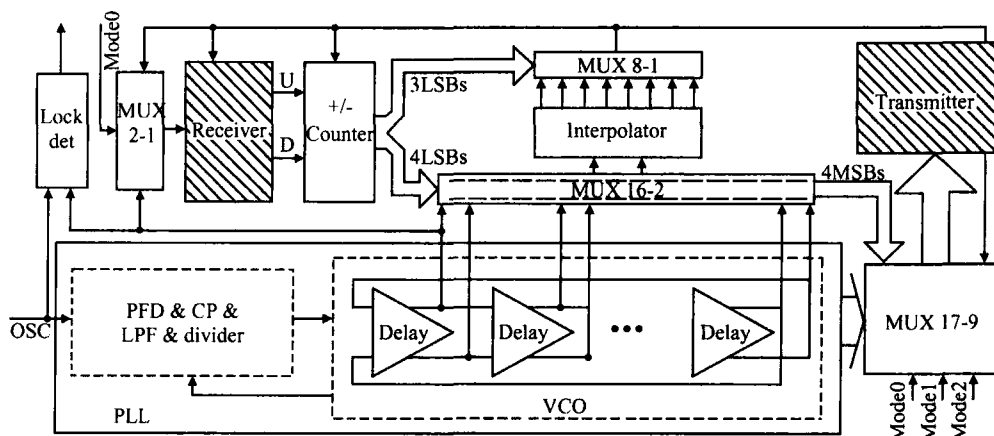


图1 频率综合器系统框图

Fig. 1 Block diagram of frequency synthesizer

为便于给发送电路提供固定时钟,也为了兼容 10/100Base T, VCO 设计成 8 级差分 16 相时钟输出. 由于 0.5ns 的相位间隔不足以达到千兆均衡算法的最佳效果, 该 16 相时钟须通过一个 16 选 2 的多路器(粗选)选择两个相邻时钟送入内插电路, 用以在相邻相位之间均匀产生 8 相内插时钟. 接收器所需要的动态恢复时钟就从这 8 个精细相位中选出(细选). 相位选择信号来自于接收器数字鉴相输出控制的 7bit 累加器(U 有效)或减法器(D 有效)输出: 高 4 位用于粗选, 低 3 位用于细选. 同时因为 MASTER 模式下 ADC 需要固定相位时钟, 需要一个 2 选 1 的多路器通过模式选择信号决定送入恢复的动态时钟还是固定时钟. 对发送器来说, 0.5ns 的相位间隔已经足够, 因此 8 相边沿控制时钟可直接来源于 VCO 的输出. 但正如前面所述, 这些时钟在 SLAVE 模式下不再是固定的, 不能直接从锁相环中抽取某些相位, 而是必须如接收时钟一样用数字鉴相信号控制相位移动的方向, 从而选出同步的主时钟和与之对应的连续 8 个相位的边沿控制时钟.

时钟由关键模块 PLL 产生. 鉴相器对输入的 25MHz 的晶振参考时钟和 VCO 分频后得到的反馈信号进行比较, 通过电荷泵、滤波器产生控制电压调节 VCO 的振荡频率, 经过反馈后与晶振时钟继续相位比较. 100/1000Mbps 模式需要 125MHz 的时钟, 反馈回路采用 5 分频器; 10Mbps 模式则需要 80MHz 时钟采样 ROM, 分频系数为 16/5.

3 频率综合器电路设计

3.1 鉴频鉴相器和电荷泵

本文采用 TSPC 结构 D 触发器实现鉴频鉴相

器^[4-5], 如图 2 所示. TSPC 是 C²MOS 锁存器的一种简化结构. 它在主从触发器之间用相同相位的时钟来控制, 不存在时钟交叠, 因此在很高的工作频率下也能够保证 D 触发器的正常工作^[6]. 另外该结构管子数目比较少, 内部电容和延迟都很小, 工作速度很快, 所以这种结构更适宜应用在高频锁相环当中.

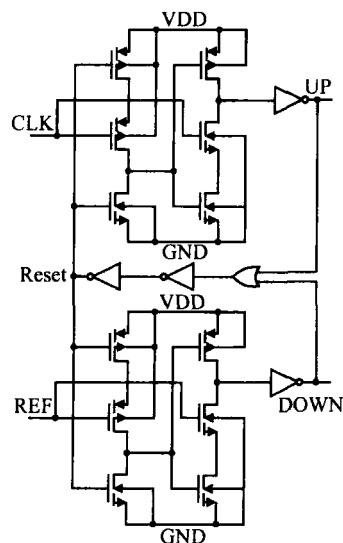


图2 鉴频鉴相器电路

Fig. 2 Phase and frequency detector

图 3 为电荷泵电路示意图. 电荷泵的开关(用 UP 和 DOWN 控制)放置在电流镜的外侧, 由于上下两路电流镜的控制栅 A 和 B 的电压是相对稳定的, 不会把开关的转换过程通过电荷的注入效应耦合到 V_{ctrl} 上. 同时 C 和 D 节点的电压由于是跨过电流源与控制电压 V_{ctrl} 连接, 也有隔离作用, 有利于减小控制电压的纹波效应. 这种电荷泵更简单, 并可以

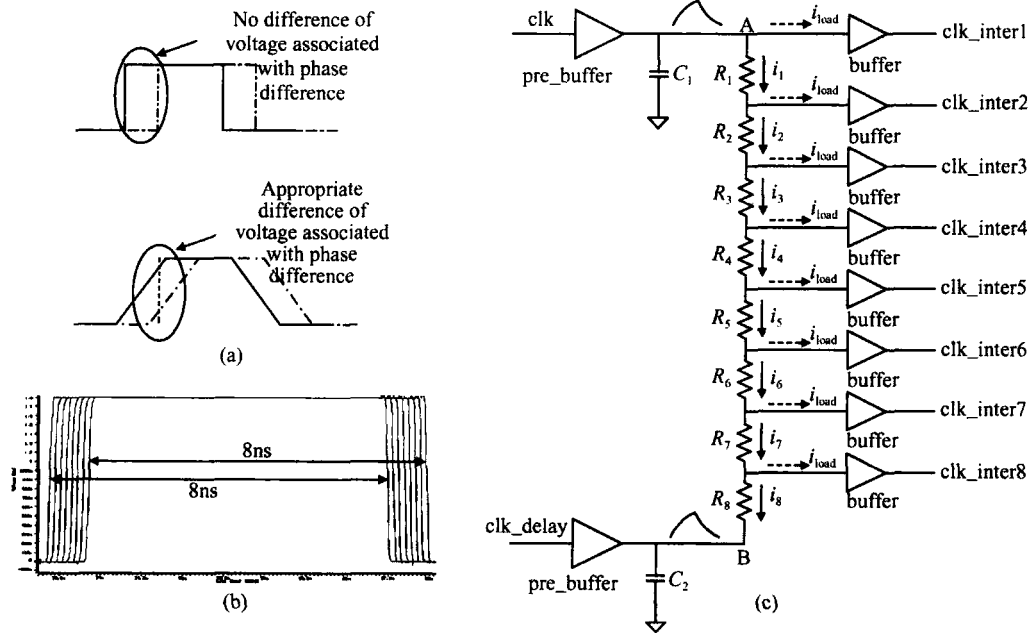


图 5 相位内插原理及电路示意 (a) 相位差转换成可内插的电压差; (b) 相位内插结果; (c) 相位内插电路示意
 Fig. 5 Principle and circuit of phase interpolation (a) Conversion from phase error to voltage error; (b) Phase interpolation; (c) Circuit of interpolator

出,若采用动态内插,为了保证两个输入时钟具有相同的压摆率, C_1 和 C_2 的值必不相同. 考虑上升沿,两个输入时钟经过 buffer 后分别对图 5 (c) 中 A、B 两点充电. 假设 pre_buffer 的平均充电电流为 I_{buffer} , 且输出 buffer 的负载电容为 C_{load} (这些值可通过仿真精确得到). 首先定一个电容值 C_1 , 并令输出缓沿时钟上升沿斜率为 $dv/dt = a$, 可以得到 $I_{C_1} = aC_1$, $I_{load} = aC_{load}$ 那么:

$$I_{R_1} = I_{buffer} - I_{C_1} - I_{load} \quad (1)$$

对于内插得到的相邻时钟, 相位间隔为 $2 / 128$, 转换为时间间隔即 $8ns / 128 = 62.5ps$. 所以内插所得的电压差应为:

$$V = a \times 62.5ps \quad (2)$$

可得内插电阻值依次为:

$$\begin{aligned} R_1 &= V / I_{R_1} = V / (I_{buffer} - I_{C_1} - I_{load}) \\ R_2 &= V / I_{R_2} = V / (I_{buffer} - I_{C_1} - 2I_{load}) \\ &\dots\dots \\ R_8 &= V / I_{R_8} = V / (I_{buffer} - I_{C_1} - 8I_{load}) \end{aligned} \quad (3)$$

已知 $I_{C_2} = I_{buffer} + I_{R_8}$, 所以 $C_2 = I_{C_2} / a = (I_{buffer} + I_{R_8}) / a > C_1$.

由分析可知, 在得到相同沿斜率的前提下, I_{buffer} 电流的大小直接决定了电阻串的绝对值大小. 太小的电阻值在实际中难以做到精确, 与设计目标的稍稍偏离可能导致 v 较大的变化, 实际中往往取 k 单位. 在完成的版图中, 可能有各种寄生存在, 影响到已经确定的电流和电阻电容值, 因此版图参数提

取的后仿真也是必要的.

3.4 数字部分

数字部分包括一个 7bit 计数器、4 个多路选择器以及一个锁定检测电路 (lock_det). 计数器用动态时钟同步, 采用格雷编码. 当接收鉴相输出 UP 时, 正向计数, 时钟相位向前调节一相; 当接收鉴相输出 DN 时, 反向计数, 时钟相位向后调节一相. 这里相邻相位间隔是时钟周期的 $1/128$, 是计数器输出的高 4 位选出的相邻两相锁相环输出, 均匀内插出 8 相后, 再由低 3 位经一个 8-1 多路器选择合适的相位. 因为发送电路需要的时钟只是在 16 相锁相环输出时钟之中选取, 故多路器只用计数器的高 4 位控制变化方向即可, 同时还需要模式选择信号作为使能决定在哪种模式下需要动态选择时钟输出.

锁定检测电路是额外一个功能模块, 目的是检测锁相环的锁定状态, 并将指示信号送给接收器数字部分, “通知”其是否可以开始工作, 其工作原理如图 6 所示. 电路内部主要仍是由计数器构成, 晶振参考时钟经过分频后作为使能信号: 高电平有效, 使计数器计数; 低电平复位, 并锁存计数结果. VCO 的输出作为计数时钟. 每次使能无效 (低电平) 时将锁存结果并与预定值比较, 结果一致则说明已经锁定, 送出“1”; 反之, 送出“0”.

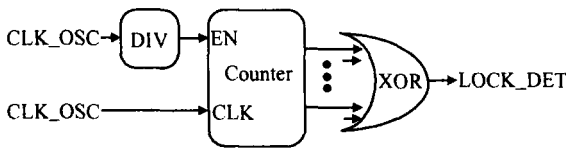


图 6 锁定检测电路示意
Fig. 6 Principle of lock detector

4 测试结果

图 7 为频率综合器芯片照片。版图设计方面注意了电源的净化,采用了模拟数字电源分开,并在每一个小的模拟和数字子模块周围都加保护环和退耦电容,同时避免敏感信号的过长布线和近距离并行。测试包含两个部分:锁相环的时钟输出性能、相位选择功能是否正确。前者可以直接通过时钟输出的分频反馈信号直接测量,而移相选择功能则需要间接通过数字均衡的测试结果得到。

设定模式选择信号为千兆模式。将 VCO 输出经 5 分频反馈回 PFD 的信号引出作为测试信号测试其绝对抖动(延迟一个周期)。测试结果表明,在输

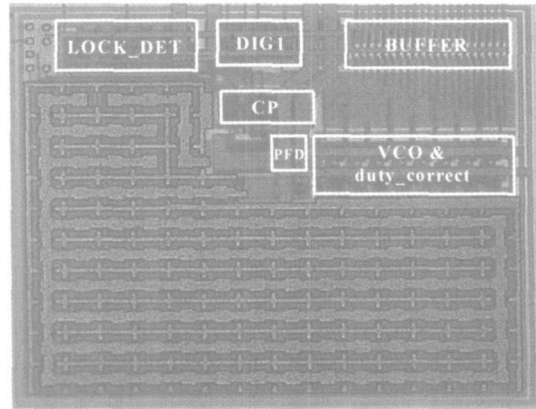


图 7 频率综合器芯片
Fig. 7 Photo of frequency synthesizer

入晶振抖动 = 16ps 情况下,该时钟输出波形良好,时钟抖动仅为 = 11ps, $jitter_{peak-peak} = 64ps$,相位噪声为 - 124dBc/ Hz (100kHz from 25MHz) 如图 8 (a), (b) 所示。而测试数字均衡部分也能得到正确的结果,表明时钟相位调节是准确有效的,也证明时钟照片的良好性能,保证了 128 个相位选择的单调。

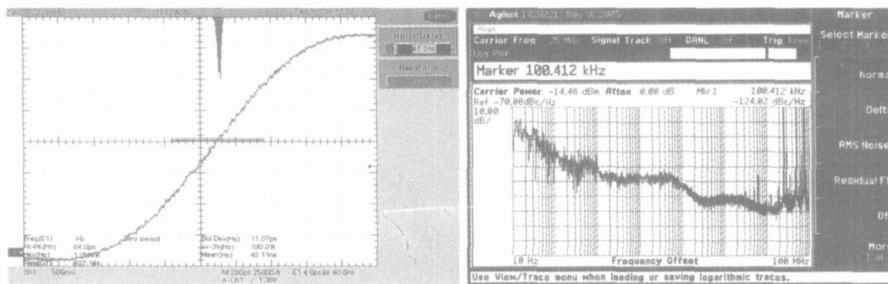


图 8 测试波形 (a) 25MHz 测试时钟的抖动特性; (b) 25MHz 测试时钟的相位噪声
Fig. 8 Measurement results (a) Jitter characteristic of the 25MHz clock; (b) Phase noise of the 25MHz clock

5 结论

本文设计了一个应用在 1000Base-T 并能兼容 10/100Base-T 以太网的频率综合器,为模拟前端发送和接收电路提供全部的时钟信号。电路采用简单高速的 TSPC 鉴频鉴相器,结构简单的低功耗电荷泵和压控振荡器构成一个性能良好的锁相环,同时设计一个稳定的电压型内插电路,提供较均匀相位间隔为 1/128 的多相时钟,很好地保证了数字处理部分为收发电路提供各模式下所需的正确时钟(动态恢复和固定相位时钟)。经过测试,在晶振抖动 = 16ps 情况下,测试时钟波形良好,约为 11ps, peak-peak 抖动仅为 64ps,相位噪声为 - 124dBc/ Hz (100kHz from 25MHz)。整个频率综合器正常工作情况时,电路功耗小于 4mW。因此,该设计是一个很好的低功耗低抖动时钟电路,能够为快速、高速以

太网提供精准的多相时钟。

参考文献

- [1] Iravani K, Saleh F, Lee D, et al. Clock and data recovery for 1.25 Gb/s Ethernet transceiver in 0.35μm CMOS. Proceedings of the IEEE Custom Integrated Circuits, 1999: 261
- [2] Li Shuguang, Ren Junyan, Yang Lianxing, et al. Clock and data recovery circuit for 2.5 Gbps Gigabit Ethernet transceiver. ASIC Proceedings 4th International Conference, 2001: 330
- [3] Han Yifeng, Li Qiang, Gu Canghai, et al. A novel transmitter for 10/100MHz Base TX Ethernet. Chinese Journal of Semiconductors, 2005, 26(2): 385 (in Chinese) [韩益锋, 李强, 顾沧海, 等. 一种适用于 10/100MHz Base TX 以太网的新型发射电路. 半导体学报, 2005, 26(2): 385]
- [4] Chang H H, Lin J W, Yang C Y, et al. A wide-range delay-locked loop with a fixed latency of one clock cycle. IEEE J Solid-State Circuits, 2002, 37(8): 1021
- [5] Lee J, Kim B. A low-noise fast lock phase-locked loop with adaptive bandwidth control. IEEE J Solid-State Circuits, 2000,

- 35(8):1137
- [6] Jan M. Rabaey. Digital integrated circuits —a design perspective. Prentice-Hall International, Inc, 1998, 12
- [7] Maxim A. A. 0.16-2.55-GHz CMOS active clock deskewing PLL using analog phase interpolation. IEEE J Solid-State Circuits, 2005, 40(1):110
- [8] Yang Lixin, Yuan Jiren. An arbitrarily skewable multiphase clock generator combining direct interpolation with phase error average. Proceedings of the International Symposium on Circuits and Systems, 2003, 1(5): 645

A Low Jitter and Low Power Frequency Synthesizer Applied to 1000Base-T Ethernet

Lu Ping[†], Wang Yan, Zheng Zengyu, and Ren Junyan

(State Key Laboratory of ASIC & System, Fudan University, Shanghai 200433, China)

Abstract: This paper adopts a high-speed TSPC frequency and phase detector, a typical charge pump, and cross-coupled differential delay cells to realize a good frequency synthesizer applied to 1000Base-T Ethernet transceiver as well as 10/100Mbps modes. This frequency synthesizer can not only meet the requirements of the transmitter for very precise rising (falling) edge time control but also offer much finer time-interval clocks than VCO natural multi-phase outputs, thus greatly saving area and power. The data show that the jitter of the voltage control oscillator $\text{jitter}_{\text{cycle-cycle}}$ is only 11ps while that of the reference clock $\text{jitter}_{\text{cycle-cycle}}$ is 16ps. This indicates that the frequency synthesizer works well for transmitters and receivers. The circuit is designed with SMIC 0.18 μm standard CMOS technology, the power supply is 1.8V, and the power is lower than 4mW.

Key words: Ethernet; frequency synthesizer; clock jitter

EEACC: 1205; 1230; 1280

Article ID: 0253-4177(2006)01-0137-06

[†]Corresponding author. Email: qiuqiuhill@21cn.com; 041021029@fudan.com.cn

Received 2 July 2005, revised manuscript received 26 August 2005