

基于硅氧化层的嵌入式传输线制造

孙龙杰^{1,2,†} 杨波^{1,2} 郭理辉²

(1 西安电子科技大学微电子研究所, 西安 710071)

(2 西安科技大学微电子研究所, 西安 710075)

摘要: 在有损耗的硅衬底上试制了传输线(微带以及共面波导),并嵌入在 CMOS Cu/SiO₂ 互连层中.对传输线的几何尺寸与其特征阻抗、损耗以及衰减因子进行了研究.结果表明嵌入在硅氧化层中的微带和共面波导可以在有损耗的硅片上低损耗地实现,为在硅片上设计微波和毫米波电路提供了必要的无源器件.

关键词: CMOS 互连技术; 微带; 共面波导

EEACC: 1350; 2570D

中图分类号: TN817

文献标识码: A

文章编号: 0253-4177(2006)01-0168-06

1 引言

随着硅加工工艺的快速发展,在 CMOS 工艺下,硅片上集成的晶体管的工作频率可以在几 GHz 甚至几十 GHz 的范围内.在射频/毫米波频段,诸如微带和共面波导的传输线在芯片互连、功能器件和子系统的综合方面发挥着重要的作用.

与 GaAs 单片微波集成电路(MMIC)上的传输线相比较,制造在硅片上的传输线由于衬底因素会产生损耗.这个缺陷可以通过三种途径得以减少或克服:(1)使用高电阻系数的衬底^[1,2].然而,晶片成本将会比标准电阻系数的硅晶片高出很多,高电阻系数的硅衬底也不能与传统的 CMOS 工艺完全兼容;(2)将稠密多晶层嵌入到硅衬底和传输线之间^[3-6],但是这种技术偏离了标准的 CMOS 和 BiCMOS 工艺,因而降低了它与标准硅加工工艺的兼容性;(3)改变设计,如嵌入微带(EM)的例子,在信号线和衬底之间嵌入微带地线,这样可以减少衰减和损耗,这已经得到证实.

本文研究应用 CMOS Cu/SiO₂ 互连工艺流程,在标准的低电阻率硅晶片上制造嵌入在互连层中的微带和 CPW.据我们所知,这应该是第一次在有损耗的硅晶片上应用 Cu CMOS 互连技术制造传输线,其结构如图 1 所示.

使用嵌入式微波传输线的原因是因为 EM 结构在后端工艺流程(BNOL)中可以嵌入在互连层中,并且支持 TEM 波^[7],这种波会导致传输信号的

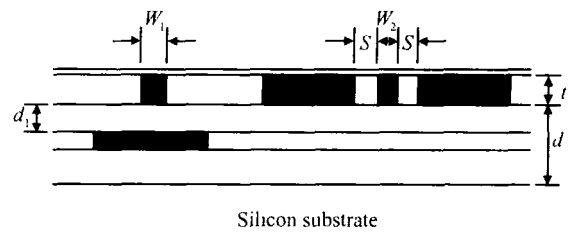


图 1 微带与共面波导的结构图

Fig. 1 Schematic structure of microstrips and coplanar waveguide

低失真.微带的特征阻抗和衰减已通过分别改变信号线的宽度 W_1 以及信号线和地线之间的距离 d_1 得到研究.对于共面波导(CPW), W_2 , S 和 d_2 分别表示信号线的宽度、信号线和地线之间的间距,以及 CPW 距衬底的距离.通过改变三个几何参数 W_2 、 S 和 d ,研究它们对 CPW 的特征阻抗和衰减的影响与作用.传输线特性用测量的 S 参数表征.特征阻抗、衰减以及衰减因子可从 S 参数中提取,并根据几何尺寸进行分析.

2 制造工艺

如图 1 所示,微带和 CPW 的信号线在互连层的顶层金属,微带的地极板在下面的某一层金属上.衬底是标准的电阻率约为 10^{-3} cm 的硅晶片, SiO_2 作为中间的电介质,CMOS BNOL 采用 Cu 互连技术制造,这种技术从硅衬底上淀积 $\text{SiO}_2/\text{Si}_3\text{N}_4/$

†通信作者. Email: slj@vip.163.com

2005-06-23 收到,2005-09-28 定稿

SiO₂ 层开始. 这里和后面所提及的 Si₃N₄ 非常薄, 主要用于光刻阻挡层, 因为它相对于 SiO₂ 可以提供一个可选的蚀刻率.

根据微带地极板的大小光刻顶层 SiO₂ 图形层. 经过一个缓冲层和电镀仔金层的淀积后, 组成图案的沟道用 Cu 进行电化学电镀, 然后通过一种化学的、机械 (CMP) 的抛光步骤进行平坦化处理. 这样, 微带地极板就形成了. 在地极板层上, 淀积 Si₃N₄/SiO₂ 层. SiO₂ 的厚度由 d_1 的值决定. 本文选择了三种不同的 d_1 值, 分别为 0.8, 1.5, 2.0 μm. 如果需要在这一层形成通孔, 则图形转移、蚀刻、发源、缓冲层的循环加工过程, ECP 和 CMP 得再进行一次. 微带和 CPW 的信号线可以通过重复 Si₃N₄/SiO₂ 层的淀积和前面提到的循环加工过程在同一层同时形成. 该层的厚度是 2.0 μm, 它由 SiO₂ 层的厚度控制. 器件采用 300nm 厚的 SiO₂ 层钝化.

为了获得好的传输性能, 传输线使用层的厚度是非标准的, 在研究中通过改变标准 CMOS 互连工艺来实现. 然而, 所有的制造都采用 Cu/SiO₂ 0.18 μm CMOS BEOL 工艺, 与其完全兼容.

3 特征参数

使用一台 HP8510C 网络分析仪和一个探针台测 S 参数的值. 可以用高频的分离嵌入技术消除由测试点引起的寄生效应, 关于这项技术的细节可参看文献[8]. 同时也使用了二端网络测量和分析技术.

通过比较传输线的 $[S]$ 矩阵和 $[D]$ 矩阵, 从 S 参数中可以提取出传输线的特征阻抗 Z_0 、传播常数 γ . 然而, 它们也可以由传输线理论推导得出, 表示如下:

$$Z_0 = Z_0 \left[\frac{(1 + S_{11})^2 - S_{21}^2}{(1 - S_{11})^2 - S_{21}^2} \right]^{1/2} \quad (1)$$

$$e^{-\gamma l} = \frac{A - 1}{A + 1} \quad (2)$$

$$A = \frac{1 - S_{11}^2 + S_{21}^2}{l[(1 + S_{11})^2 - S_{21}^2]^{1/2} [(1 - S_{11})^2 - S_{21}^2]^{1/2}} \quad (3)$$

其中 l 为传输线的长度; Z_0 为测试系统的特征阻抗, 值为 50 Ω. S_{ij} ($i, j = 1$ 或 2) 为测量的 S 参数值. 衰减或损耗以及减速因子 SF 可以从 A 中得到, 如下:

$$\text{Loss} = -20 \times \lg |e^{-\gamma l}| \quad (4)$$

长度为 l 的传输线的损耗为:

$$\text{Loss} = e^{-\gamma l} = \sqrt{\frac{A - 1}{A + 1}} \quad (5)$$

或

$$\text{Loss}[\text{dB}] = -20 \times \lg(e^{-\gamma l})$$

$$= -20 \times \lg \left(\sqrt{\frac{A - 1}{A + 1}} \right) \quad (6)$$

由 (2) 和 (4) 式, 可得

$$= -\frac{1}{2l} \left[\text{angle} \left(\frac{A - 1}{A + 1} \right) \pm 2k \right] \quad (k = 0, 1, 2, \dots) \quad (7)$$

但是因为

$$= \frac{2\pi}{v_p} = \frac{2\pi f}{v_p} \quad (8)$$

其中 v_p 为介质中波的传播速度, SF 可被重新写为

$$\begin{aligned} \text{SF} &= \frac{c}{v_p} = \frac{c}{2f} \\ &= -\frac{c}{4fl} \left[\text{angle} \left(\frac{A - 1}{A + 1} \right) \pm 2k \right] \quad (k = 0, 1, 2, \dots) \end{aligned} \quad (9)$$

其中 c 为真空中的光速. 选择适当的 k 使 SF 在特性中变化平滑一些. 一旦得到 Z 和 γ , 如图 2 所示的电话线传输模型的 R, L, G 以及 C 可以运用下面的式子推导得出:

$$R = \text{Re}(Z) \quad (10)$$

$$L = \text{Im}(Z) / \omega \quad (11)$$

$$C = \text{Im}(\gamma / Z) / \omega \quad (12)$$

$$G = \text{Re}(\gamma / Z) \quad (13)$$

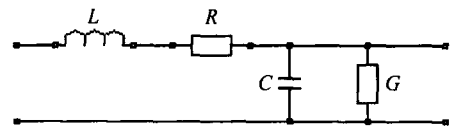


图 2 基于 Telegraphist 模型的传输线
Fig. 2 Telegraphist's model for transmission lines

4 结果和分析

4.1 特征阻抗, 损耗和减速因子

图 3 和图 4 分别表示了 CPW 和微带的 Z_0 , SF 以及损耗 Loss 的绝对值. 图 3 中信号线宽度、信号线与地的间距, 信号线与衬底的间距分别是 5, 20, 2 μm. 图 4 中信号线宽度, 与地的间距都为 2 μm. $|Z_0|$ 的幅度在一个较宽的赫兹频率范围变化.

在一个有损耗的硅衬底上, Z_0 不再是一个实数, 而是复数. 它表示如下:

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (14)$$

其中 R, L, G 和 C 是电话传输线模型的参数. 因此, 用 Z_0 的绝对值 $|Z_0|$ 绘制图形而不是 Z_0 . 发现, 从上面所得到的 R, L, G, C 在较宽的 GHz 频率范围

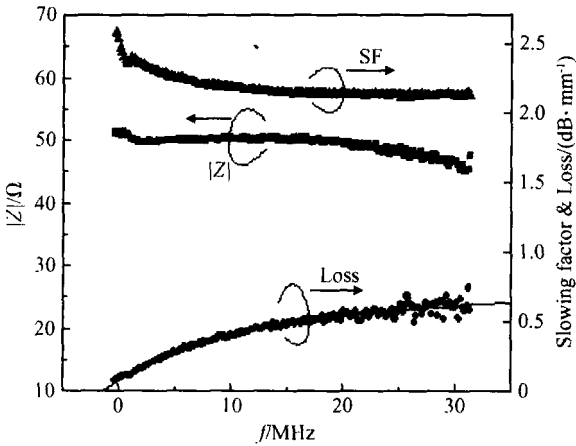


图 3 CPW 参数与频率的关系

Fig. 3 Variation of parameters of CPW with frequency

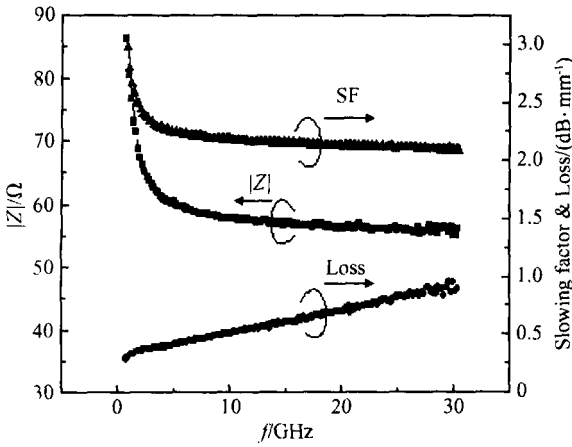


图 4 微带参数与频率的关系

Fig. 4 Variation of parameters of microstrip with frequency

内 $C \gg G$. 因此(14)式可以被重新写为

$$Z = \sqrt{\frac{L}{NC}} - j \frac{R}{C} \quad (15)$$

与

$$|Z| = \left[\left(\sqrt{\frac{L}{C}} \right)^2 + \left(\frac{R}{C} \right)^2 \right]^{1/2} \quad (16)$$

当频率增加时, $|Z|$ 减小并受控于 $\sqrt{\frac{L}{C}}$. 因此, 在较宽的 GHz 的范围内它几乎是一个常量, 而且这与一个无损耗的传输线的值是相同的.

如图 3 和图 4 所示, 除了在 GHz 的低起始处外, SF 随着频率而变化. 这意味着在较宽的 GHz 范围内, 两种传输线类型都支持准 TEM 模式传播. 这对于硅晶片上的超过 GHz 频率数字电路和 RF 模拟电路的应用是非常重要的. 小的 SF 值表示信号的场是由信号线和相应之间的电介质所决定.

微带的 SF 值接近 $\sqrt{\epsilon_{r, SiO_2}}$ 且稍大一些, 这是由于夹在电介质层之间 50nm 厚的 Si_3N_4 层导致 ϵ_r 的增加. CPW 的 SF 值比微带的 SF 值稍大一些, 这不仅是由于 Si_3N_4 层的存在, 而且由于硅衬底的影响. 然而, 从 SF 值可以得知, SiO_2 是波传播的主要媒介.

如图 5 所示, 微带的 $|Z|$ 值在 20 GHz 处随着信号线宽度 W 的增加和信号线与地之间的距离 d 而变化. 因为 $|Z|$ 的值在 20 GHz 的范围内随频率没有大的变化, 可估计在其他频率的 $|Z|$ 值与这一范围有相同的变化趋势. 因为宽度的减少会增加 L , 距离的增加会减少 C , $|Z|$ 随着距离的增加或宽度的减小而变大. 可以以此获得所期望的微带的特征阻抗.

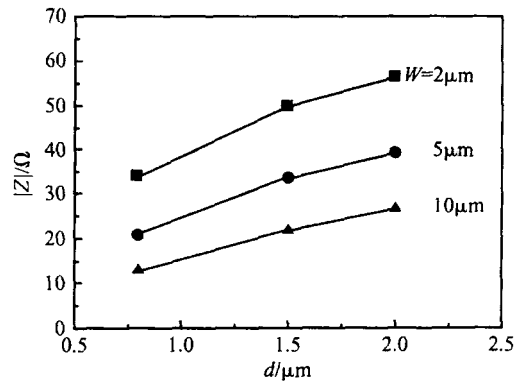


图 5 微带 $|Z|$ 与 W, d 的关系

Fig. 5 Variation of $|Z|$ of microstrips with W and d

图 6 和图 7 分别描述了 20 GHz 处信号线的宽度 W 和信号线与地之间的距离 d 与微带损耗的关系. 同时给出了模型中相应的 R 和 G (见图 2) 以帮

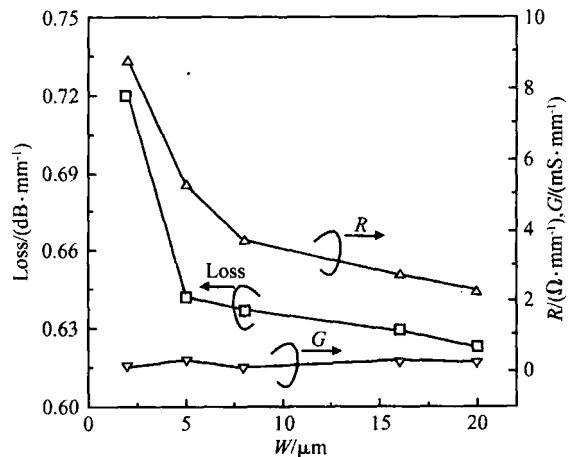


图 6 微带 Loss, R, G 与 W 关系

Fig. 6 Variation of Loss and R and G of microstrip with W

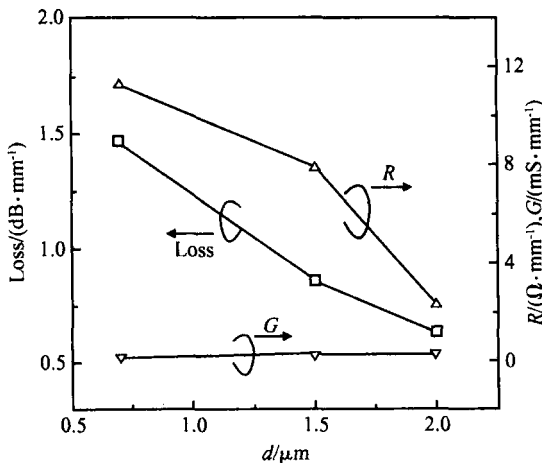


图 7 微带 Loss, R, G 与 d 的关系

Fig. 7 Variation of Loss and R and G of microstrip with d

助分析. 在图 6 中 (信号线与地之间的间距为 2μm), 可以看到, 随着宽度的增加, 损耗相应减少, 这是由于信号线电阻的减小所导致.

损耗随着距离的增加而减小如图 7 (信号线的宽度为 2μm) 所示. 通常, 这种减小与信号线和地之间的电介质损失相关联, 且电介质损失随距离增大而降低. 然而, 如果模型中 R 和 G 的值仅仅由信号线和电介质的电导率所决定, 则在图 7 中就不能解释损耗的减少. 因此, 当距离缩短并可以与信号线的宽度和厚度相比较时, 应该将 R 值看作距离的函数, 而不能像文献 [7, 8] 中基于集肤效应简单地推导出 R.

对于 CPW 来说, 三个几何参数将会影响其特征阻抗和损耗, 它们是信号线的宽度 W_2 , 信号线和地极板之间的相对面积 S, 以及从 CPW 到衬底的距离 d_2 . 图 8 (a) 和 (b) 表示了 CPW 的 $|Z|$ 值和损耗与 W_2, S 以及 d_2 的变化关系. 在图 8 (a) 中, $|Z|$ 值随着 S, d_2 增加而增加, 随 W_2 增加而减小. 对于低电阻率硅衬底的 CPW, 衬底应当被看作地的一部分, 这是由于衬底与探针台的固定器相接触, 而此固定器是测试系统的地. 因此, 模型的电容 C 部分的来源于信号线与衬底之间的电容. 这部分电容随 d_2

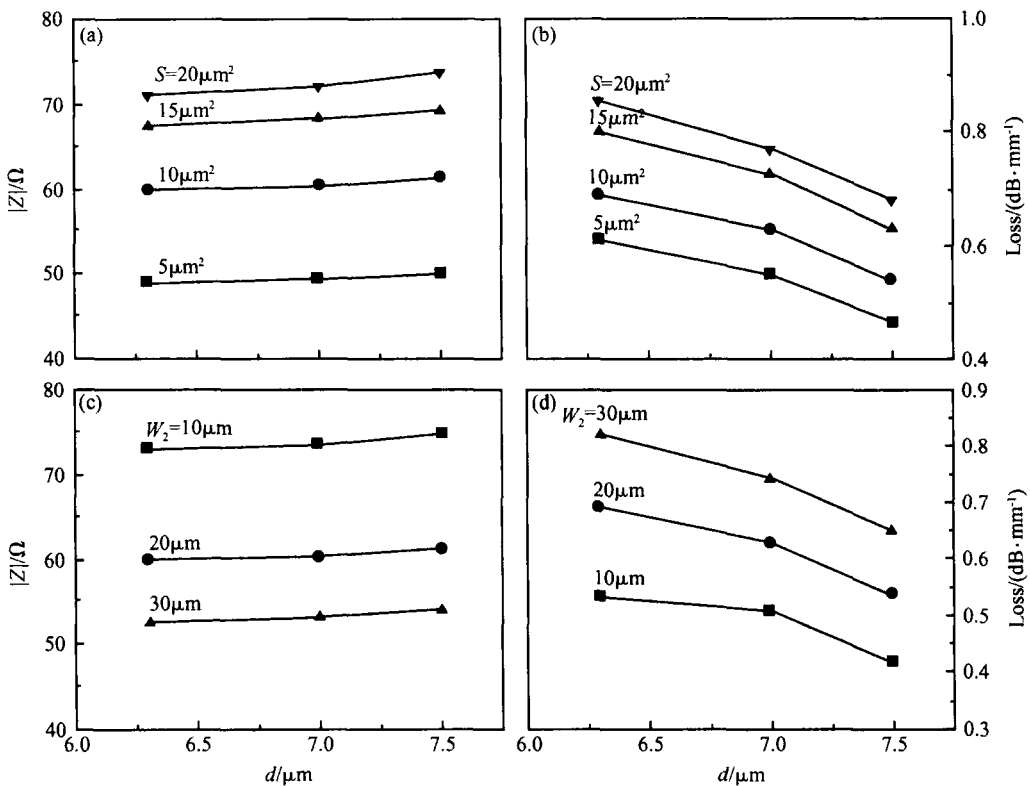


图 8 CPW 的 $|Z|$, Loss 与 W, S, d 的关系

Fig. 8 Variation of $|Z|$ and Loss of CPW with W, S , and d

的减小而增大, 因而导致 $|Z|$ 的增加. 在图 8 (b) 中, 损耗随着 W_2, S 的增加而增加. W_2 反映了衬底对损耗的影响, 信号线越宽, 存在于信号线和衬底之间的电场线就越多. 因为会有部分波在衬底中传播, 损耗

也就相应变高. S 的增加会导致更多的电场线在衬底终止, 从而引起损耗的增加.

CPW 的模型参数 R 和 G 在很大程度上依赖于频率、信号线的宽度、信号线和地极板之间的面积以

及 CPW 与衬底的距离. 类似于前面讨论的微带, R 和 G 不仅是信号线宽度、传输线和地之间的间距的作用结果, 而且还依赖于 CPW 与衬底之间的距离.

4.2 传输线建模

实际上, 传输波的波长通常比传输线的长度要短得多. 因此, 只有图 2 的分布式模型适于传输线的电气特性. 然而, 这个模型仅说明了传输线的一段.

本文对多段串联而成的 CPW, 使用 HP-ADS 做了进一步的实验. CPW 长为 1mm, 其各段长度是变化的. 因此, 在仿真中, 长度越短的段, 其使用次数就越多. 图 9 表示了段长度分别为 0.2, 0.1, 0.05 和 0.025mm 时, 对于 10GHz 频率的拟合结果. 在模型中 R, L, G 和 C 的值是频率范围 9.5 ~ 10.5GHz 的平均值.

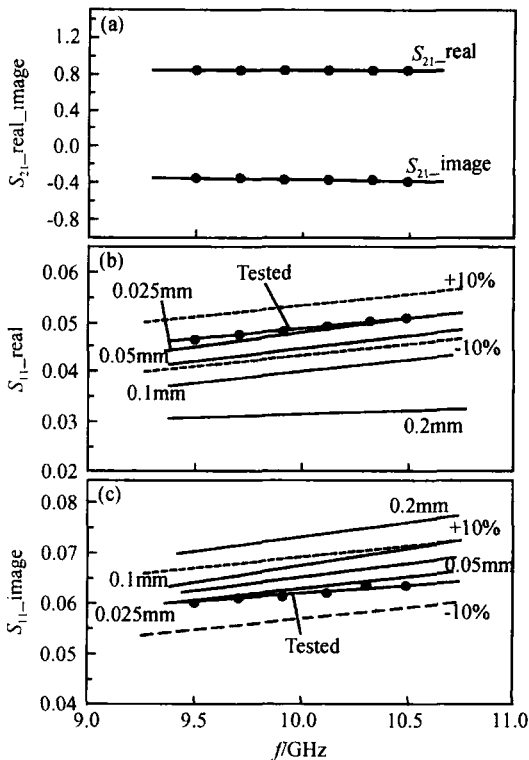


图 9 CPW 测试与仿真的 S_{11}, S_{21} 的匹配程度

Fig. 9 Fitness of CPW tested and simulated S_{11} and S_{21}

对于 S_{21} 不论段所选择的长度, 其实数部分和虚数部分的匹配都较好. 但是对于 S_{11} , 如果匹配误差限制在平均测试值的 10% 以内, 段长必须小于 0.05mm. 同样在对 20 和 30 GHz 的模型进行仿真

时发现, 在匹配中 S_{11} 是主要考虑部分. 如果 S_{11} 的误差限制在 10% 以内, 段长应该小于 0.025 和 0.01mm. 在 CPW 中传播波的波长在 10GHz 时大约为 13 ~ 14mm, 这意味着模型的段长大约应为波长的 1/260 ~ 1/270, 以保证匹配误差为 10%.

5 结论

本文详细讨论了特征阻抗和损耗随着传输线几何尺寸的变化情况, 并在有损耗的硅衬底上采用 Cu/SiO₂ 互连工艺实现微带和 CPW 传输线. 在设计中, 不仅考虑传输线的几何尺寸, 还考虑低电阻率硅衬底的影响, 特别是对于 CPW. 另外增加传输线的金属厚度也可以显著降低损耗. 信号线和地之间的距离以及层叠结构互连层集成的传输线严重地影响着 Telegraphist 模型的参数. 计算这些参数是非常困难的, 但是一个更实用、现实的途径就是从测试芯片上提取模型. 对于传输线的分布式模型, 与传播波长相比较, Telegraphist 模型的段长是非常小的.

参考文献

- [1] Buchler J, Kasper E, Russer P, et al. Silicon high-resistivity-substrate millimeter-wave technology. IEEE Trans Microw Theory Tech, 1986, 34:1516
- [2] Rheinfelder C, Strohm K, Beisswanger F, et al. 26GHz coplanar waveguide MMIC's. IEEE Int Microwave Symp Dig, San Francisco, CA, 1996, 1:237
- [3] Ponchak G E, Downey A N, Katehi L P B. High frequency interconnects on silicon substrates. IEEE Radio Frequency Integrated Circuits Symposium, 1997:101
- [4] Ponchak G E, Katehi L P B. Measured attenuation of coplanar waveguide on CMOS grade silicon substrates with polyimide interface layer. Electron Lett, 1998, 34(13):1327
- [5] Laney D C, Larson L E, Malinowski J, et al. Low-loss microwave transmission lines and inductors implemented in a Si/SiGe HBT process. Proceeding of Bipolar/BiCMOS Circuits and Technology Meeting, 1998:101
- [6] Ponchak G E, Margomenos A, Katehi L P B. Low loss, finite width ground plane, thin film microstrip lines on Si wafers. Digest of Papers of Silicon Monolithic Integrated Circuits in RF Systems, 2000:43
- [7] Ruy W, Baik S H, Kim H, et al. Embedded microstrip interconnect lines for gigahertz digital circuits. IEEE Trans Advanced Packaging, 2000, 23(3):495
- [8] Cho H, Burk D E. A three-step method for the de-embedding of high frequency S-parameter measurements. IEEE Trans Electron Devices, 1991, 38(6):1371

Transmission Lines Embedded in Silicon Oxide Layers on Silicon Wafers

Sun Longjie^{1,2,†}, Yang Bo², and Guo Lihui²

(1 *Microelectronics Institute, Xidian University, Xi'an 710071, China*)

(2 *Microelectronics Institute, Xi'an University of Science and Technology, Xi'an 710075, China*)

Abstract : Transmission lines, microstrips and coplanar waveguides, are fabricated on lossy silicon substrates embedded in CMOS Cu/SiO₂ interconnect layers. The impedance, loss, and slowing factor are studied in detail as they relate to the geometric size of the transmission lines. We show that microstrips and coplanar waveguides embedded in silicon oxide can be achieved with low loss on lossy silicon wafers, providing the essential passive components for designing microwave and millimetre-wave circuits on silicon wafers.

Key words : CMOS interconnect technology; microstrip; coplanar waveguide

EEACC : 1350; 2570D

Article ID : 0253-4177(2006)01-0168-06

† Corresponding author. Email: slj@vip.163.com

Received 23 June 2005, revised manuscript received 28 September 2005

© 2006 Chinese Institute of Electronics