

室温全电可操作的 InAs/ GaAs 量子点存储器 *

杜 军^{1,†} 王卿璞¹ Balocco C² Song A M²

(1 山东大学物理与微电子学院, 济南 250100)

(2 School of Electrical and Electronic Engineering, University of Manchester, Manchester M60 1QD, U K)

摘要: 报道基于高电子迁移率晶体管 (HEMT) 结构的 InAs/ GaAs 量子点存储器, 它既可以在室温下工作, 又可以完全由栅极电压来控制其存储状态. 在室温下通过对 InAs/ GaAs 量子点存储器的延滞回线、偏压降温 C-V 等特性的实时测试, 证明了其存储机理是由量子点层的深能级引起的, 而非是由量子点本征能级的充、放电所造成的.

关键词: InAs/ GaAs 量子点; 存储器; 偏压降温; 深能级

PACC: 7320D

中图分类号: O472. 4 **文献标识码:** A **文章编号:** 0253-4177(2006)02-0363-05

1 引言

由于量子点中的载流子在三个维度方向都受到强的限制, 使得该结构中的能级产生分立, 从而使量子点具有了与原子相类似的性质, 因此, 人们通常又把量子点称为“人造原子”. 正是由于它所具有的一系列独特的性质, 近年来, 量子点已经被广泛应用到量子点红外光电探测器^[1]、激光器^[2,3]、光波导^[4]、单电子存储器^[5]、单电子电荷耦合器件^[6]、量子点存储器^[7]等光子、电子器件领域.

对于存储器来说, 最简单的结构也许就是把量子点与二维电子气 (2DEG) 紧靠着放在同一结构中, 通过调节栅极电压, 控制二维电子气对量子点层进行充、放电, 形成两种不同的状态^[8,9], 达到存储信息的目的. 当二维电子气对量子点层充电时, 这既降低了二维电子气的密度, 又增强了充电的量子点层对二维电子气的库仑散射作用. 因此通过测量源漏之间的电流就可以获得存储器的存储状态. 这种基于量子点层的存储器具有传统存储器件所不能比拟的优点: 工作电流小、功耗远低于传统存储器; 有相对独立的存储单元, 不会影响其他存储单元的存储效应^[10].

尽管量子点存储器的研究取得了很大进展, 但是目前大多数器件只能工作在低温下, 比如 Yusa 等人^[11]所报道的含有 InAs 量子点层的 GaAs/n-AlGaAs FET 结构的存储器只有在 4. 2 K 时才有存储效应; Schliemann 工作组^[12]报道的 AlGaAs/

GaAs 异质结构的量子点器件, 只有在 260 K 以下的温度范围才能观察到存储效应. Koike 等人^[13]设计的含 InAs 量子点层的 AlGaAs/ GaAs 异质结 FET, 虽然可以在室温下工作, 但其放电过程仍然需要借助光激发才能实现, 没有完全实现室温下全电可操作的量子点存储效应. 从实用角度来说, 既能在室温下工作, 又能全电操作的量子点存储器才是最重要的. 我们报道的器件克服了以上的缺点和不足, 同时具有室温、全电操作两大优点, 具有非常好的应用前景.

2 实验方法

2.1 样品结构

图 1 给出了样品的结构及导带结构示意图. 该结构是在调制掺杂的倒置 HEMT (high-electron-mobility transistor) 中加入了一层量子点层形成的. 该结构是用固态源分子束外延 (MBE) 系统按照如下顺序生长的: 首先在 GaAs 衬底上外延生长 500nm 的 GaAs 缓冲层; 接着生长 40nm 的 Al_{0.33}Ga_{0.67}As 层, 浓度为 $3 \times 10^{12} \text{ cm}^{-2}$ 的 Si 掺杂层 (-doping); 6nm 的 Al_{0.33}Ga_{0.67}As 层; 11nm 的 In_{0.15}Ga_{0.85}As 层, 两层 25nm 的 GaAs 层中间夹着两个分子层厚的 InAs 量子点层; 以及最后的 10nm Al_{0.33}Ga_{0.67}As 限制层和 5nm GaAs 盖层. 室温霍尔测试得到二维电子气的密度和迁移率分别为 $1.6 \times 10^{12} \text{ cm}^{-2}$ 和 $4800 \text{ cm}^2 / (\text{V} \cdot \text{s})$.

* 高等教育博士点基金资助项目 (批准号: 2000042204)

† 通信作者. Email: dujun@sdu.edu.cn

2005-07-29 收到, 2005-10-10 定稿

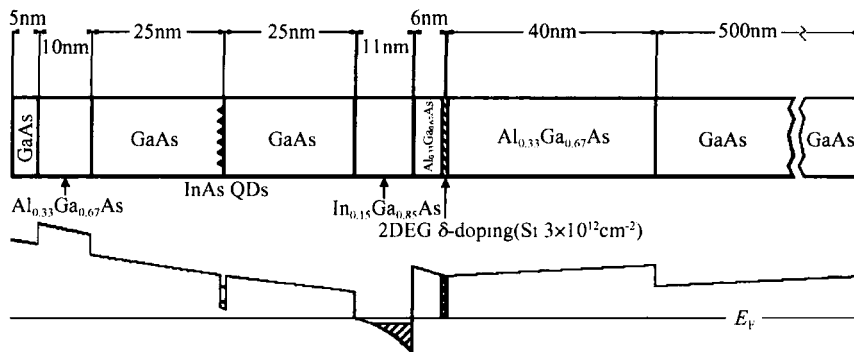


图 1 样品结构及导带示意图

Fig. 1 Structure of the sample and the corresponding conduction-band profile

图 2 给出了该结构中量子点的 PL 谱和用原子力显微镜 (AFM) 直接观察的未生长覆盖层的量子点形貌图 ($1\mu\text{m} \times 1\mu\text{m}$). 从 AFM 图中得到量子点的密度大约为 $4 \times 10^9 \text{ cm}^{-2}$.

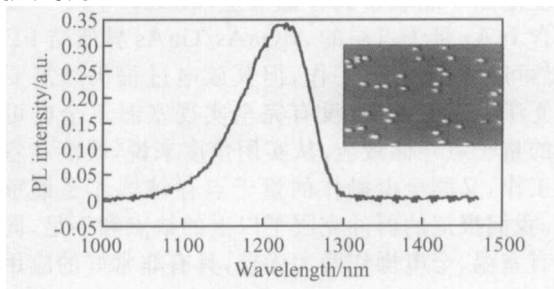


图 2 量子点样品的室温 PL 谱和 AFM 照片

Fig. 2 Room temperature PL spectrum and AFM image of the sample

2.2 器件加工

以 Au/Ge/Ni 合金在 450 退火形成的欧姆接触作为器件的源极与漏极, 然后蒸镀金, 光刻得到 $5\mu\text{m} \times 10\mu\text{m}$ 栅极. 该器件 (器件 1) 被用来进行延滞回线测试和存储效应实时测试. 使用相同的工艺步骤加工栅极为 $1\text{mm} \times 1\text{mm}$ 的器件 (器件 2) 进行 C-V 测试.

3 结果和讨论

3.1 FET 的 I-V 特性测试

为测量 Schottky 二极管的 I-V 特性曲线, 先将源极接地 ($V_s = 0$), 栅极电压保持常数 ($V_G = \text{constant}$), 漏极电压 V_D 从 0 变化到最大值, 然后改变栅极电压为另一常数, 重复漏极电压的变化过程, 得出源漏之间的电流 I_{DS} 随源漏电压 V_{DS} 的变化曲线 (图 3 和 4). 从图 3 中可以得到, 器件 1 栅极的阈值电压 V_{th} 大约为 -5V. 图 4 给出了器件 2 在不同温度下对应的 I-V 特性曲线, 这说明 FET 的性能是良好的.

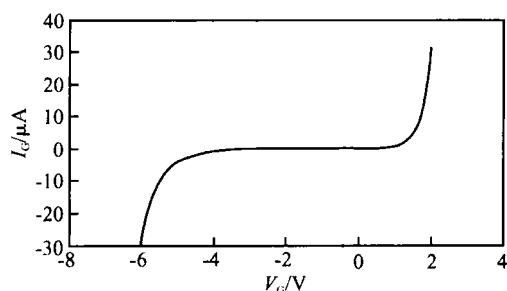


图 3 室温下 FET (器件 1) 的 I-V 特性曲线

Fig. 3 FET I-V curve at room temperature (Device 1)

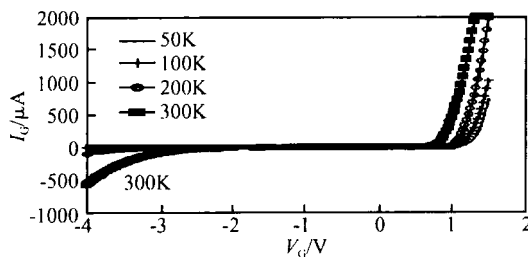


图 4 不同温度下 FET (器件 2) 的 I-V 特性曲线

Fig. 4 FET I-V curves at different temperatures (Device 2)

3.2 器件 1 的延滞回线测试

在室温下, 保持漏极电压 $V_D = 100\text{mV}$ 不变, 使栅极电压 V_G 从负值到正值进行回扫, 测量相应的源、漏之间的电流 I_{DS} , 测试耗时 2.5s, 其结果如图 5 所示. 从图中可以看出, 在同一电流 (I_{DS}) 下所对应的栅极电压 V_G 改变量约为 0.4V, 这说明栅极电压的变化, 使器件形成了两种不同的状态, 具有了存储性能. Schlieman 和 Kim 等工作组在类似结构中也观察到了这种存储效应^[12,14]. 但是我们在具有相似结构、不含量子点层的器件中, 并未观察到这种延滞现象, 这进一步说明了该器件的存储效应是由量子点层形成的. 对这一现象通常的解释是由量子点本征能级的充放电效应造成的^[7]: 当 V_G 从正偏压开

始时,量子点层的电势变低,2DEG 对量子点充电,这一方面降低了 2DEG 的密度,另一方面充电的量子点又对 2DEG 产生了库仑散射作用,从而减小了 2DEG 的电导,也即图 5 中所示的较低的电流曲线;反之,当 V_G 从负偏压开始时,量子点放电,减小了库仑散射作用,从而得到了图中所示的较高的电流曲线.然而这一解释不能与我们下面的实验相吻合.

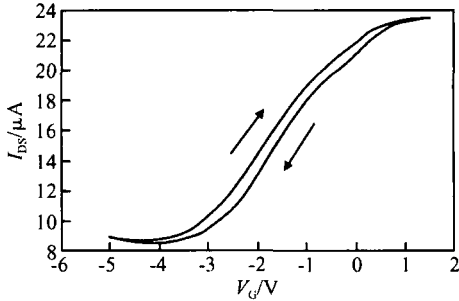


图 5 室温下测得的延滞回线

Fig. 5 Hysteresis curve at room temperature

3.3 器件 1 的存储器实时测试

为了进一步分析量子点存储效应的机理,我们又进一步测试了器件的存储时间.首先把源、漏同时接地时,对栅极施加一个正的脉冲信号,完成对量子点的充电;然后让栅极接地 ($V_G = 0$),同时施加一个正的漏极电压 V_D ,测出对应的漏极电流 I_{DS} ;再把源漏同时接地,对栅极加一个负偏压脉冲,完成对量子点放电,栅极再次接地 ($V_G = 0$),最后再使用相同的漏极测试电压 (V_D),测出漏极电流 I_{DS} .实验测得如图 6 所示的两种不同状态对应的电流值,相应的保持时间都在几十秒的量级.

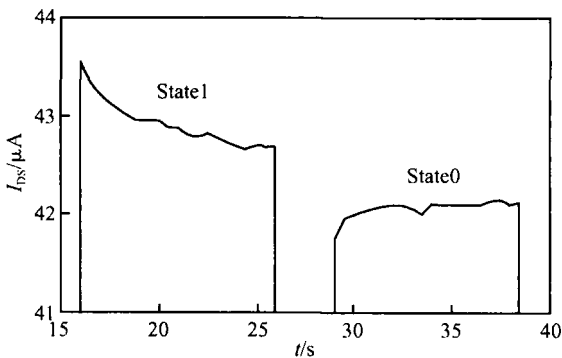


图 6 存储器实时测试结果

Fig. 6 Real-time memory measurement result

对于测量结果图 5 和图 6,通常认为是这两种不同的状态源自于量子点本征能级的充、放电过程.室温下这种量子点本征能级的热激发时间处在纳秒量级,这与我们所测得的实验结果是几十秒量级相差甚远.另外,我们利用 WinGreen 格林函数自洽模

拟计算得到的器件导带结构图给出了室温零偏压下,量子点的本征能级处在费米能级 E_F 之上,Engström 和 Schulz 等人^[15,16]利用测试 DLTS 也给出了类似的结果;Walther 等人^[17]在他们的实验中证实了深能级与量子点层中的点缺陷有关.此外,在不含量子点层的器件中我们并未观察到这种存储现象.因此,我们认为该器件所具有的存储效应不是量子点本征能级的充、放电形成的,而是量子点层的深能级造成的.下面的实验进一步研究了这一问题.

3.4 器件 2 的偏压降温 C-V 测试

在室温 300 K 时,对栅极加一定偏压,使电子脱离深能级的俘获,然后保持栅极偏压不变,把器件降温至一定温度(50 K),这时深能级将被“冻”住,不能再俘获电子^[18].我们利用偏压降温 (Bias-cooling) 的方法^[19],测量了器件在不同偏压下从室温降至 50 K 时电容随栅极电压的变化曲线,结果如图 7 所示.我们可以从变化曲线中了解电子随栅极偏压降低(负偏压)而被耗尽的详细过程.

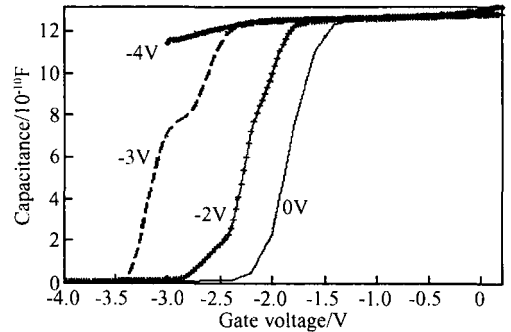


图 7 器件在不同降温偏压下 50 K 时的电容随栅极电压变化曲线

Fig. 7 Capacitance curves of device at 50 K under different biases

从图 7 中可以看出,器件电容下降的初始电压随降温时所加的栅极偏压发生了偏移,这一现象可能是由于量子点层深能级中的电子在不同初始偏压下被不同程度耗尽造成的.例如对于 0V 和 -3V 这两条曲线,由于不同的初始偏压导致不同的量子点层深能级充电状态,进而对 2DEG 具有不同的库仑散射作用,影响了 2DEG 中的电量 Q .根据 $V = Q/C$ (C 保持不变),所以会得到不同的电容下降初始偏压.另外,电容变化曲线中出现的台阶,可能是由于深能级的不同能量状态导致的.

以上的实验结果说明,器件的存储效应是与量子点层的深能级相关的.有关量子点层深能级的详细信息及其室温存储机理,有待于进一步的实验和理论研究,这对于研发和优化室温量子点存储器件具有重要的意义.

4 结论

报道的器件是基于 HEMT 结构的 InAs/ GaAs 量子点存储器,该器件既能在室温下工作,又可以只用栅极电压来控制其存储状态,简化了器件的结构,比其它需要附加光源激发的器件有了很大改进,具有十分重要的应用前景.在室温下通过对 InAs/ GaAs 量子点存储器的延滞回线、偏压降温 C-V 等特性的实时测试,证明了其存储机理是由量子点层的深能级引起的,而并非是量子点本征能级的充、放电所造成的.对这些量子点层深能级的进一步研究,不仅有利于完善量子点的生长机理和物理现象的分析研究,更有利于指导开发新型的量子点器件.

参考文献

- [1] Kim E T, Madhukara A, Ye Zhengmao, et al. High detectivity InAs quantum dot infrared photodetectors. *Appl Phys Lett*, 2004, 84(17) :3277
- [2] Wang Zhanguo, Liu Fengqi, Liang Jiben, et al. High power In(Ga)As/ GaAs quantum dot laser. *Chinese Journal of Semiconductors*, 2000, 21(8) :827 (in Chinese) [王占国, 刘峰奇, 梁基本, 等. 大功率 In(Ga)As/ GaAs 量子点激光器. *半导体学报*, 2000, 21(8) :827]
- [3] Wang Hui, Zhu Haijun, Wang Xiaodong, et al. Room temperature pulsed laser of longitude control InAs quantum dots. *Chinese Journal of Semiconductors*, 1999, 20(4) :328 (in Chinese) [汪辉, 朱海军, 王晓东, 等. 室温脉冲激射的纵向控制 InAs 量子点激光器. *半导体学报*, 1999, 20(4) :328]
- [4] Zhao Xinwei, Shuji K, Hideo I, et al. Fabrication and stimulated emission of Er-doped nanocrystalline Si waveguides formed on Si substrates by laser ablation. *Appl Phys Lett*, 1999, 74(1) :120
- [5] Sun Jinpeng, Wang Taihong. Single - electrons memories . *Nanoelectronic Device and Technology*, 2002, 8 :7 (in Chinese) [孙劲鹏, 王太宏. 单电子存储器. *纳米器件与技术*, 2002, 8 :7]
- [6] Fujiwara A, Takahashi Y. Manipulation of elementary charge in a silicon charge-coupled device. *Nature*, 2001, 410 :560
- [7] Balocco C, Song A M, Missous M. Room-temperature operations of memory devices based on self-assembled InAs quantum dot structures. *Appl Phys Lett*, 2004, 85(24) :5911
- [8] Wang T H, Li H W, Zhou J M. Characteristics of a field-effect transistor with stacked InAs quantum dots. *Appl Phys Lett*, 2003, 82(18) :3092
- [9] Wang T H, Li H W, Zhou J M. Charging effect in InAs self-assembled quantum dots. *Appl Phys Lett*, 2001, 79(10) :1537
- [10] Lombardo S, Salvo B D, Gerardi C, et al. Silicon nanocrystal memories. *Microelectron Eng*, 2004, 72 :388
- [11] Yusa G, Sakaki H. InAs quantum dot field effect transistors. *Superlattices Microstruct*, 1999, 25 :247
- [12] Schliemann A, Worschech L, Reitzenstein S, et al. Large threshold hysteresis in a narrow AlGaAs/ GaAs channel with embedded quantum dots. *Appl Phys Lett*, 2002, 81(11) :2115
- [13] Koike K, Saitoh K, Li S, et al. Room-temperature operation of a memory-effect AlGaAs/ GaAs heterojunction field-effect transistor with self-assembled InAs nanodots. *Appl Phys Lett*, 2000, 76(11) :1464
- [14] Kim H, Noda T, Kawazu T, et al. Control of current hysteresis effects in a GaAs/ nAlGaAs quantum trap field effect transistor with embedded InAs quantum dots. *Jpn J Appl Phys*, 2000, Part 1, 39 :7100
- [15] Engström O, Malmkvist M, Fu Y, et al. Thermal emission of electrons from selected s-shell configurations in InAs/ GaAs quantum dots. *Appl Phys Lett*, 2003, 83(17) :3578
- [16] Schulz S, Schnül S, Heyn C, et al. Charge-state dependence of InAs quantum-dot emission energies. *Phys Rev B*, 2004, 69 :195317
- [17] Walther C, Bollmann J, Kissel H, et al. Non-exponential capture of electrons in GaAs with embedded InAs quantum dots. *Physica B*, 1999, 273/ 274 :971
- [18] Abd-El M A, Belal A A E, Ali K, et al. Characteristics of gated GaAs/ Al_{0.3}Ga_{0.7}As heterostructures. *Phys Status Solidi A*, 2001, 187(2) :580
- [19] Long A R, Davies J H, Kinsler M, et al. A simple model for the characteristics of GaAs/ AlGaAs modulation-doped devices. *Semicond Sci Technol*, 1993, 8 :1581

Room Temperature Operated and Fully Gate-Bias Controlled Memory Devices Based on Self-Assembled InAs/ GaAs Quantum Dots^{*}

Du Jun^{1,†}, Wang Qingpu¹, Balocco C², and Song A M²

(1 School of Physics and Microelectronics, Shandong University, Ji 'nan 250100, China)

(2 School of Electrical and Electronic Engineering, University of Manchester, Manchester M60 1 QD, UK)

Abstract : Memory devices fabricated in high-electron-mobility transistors with embedded InAs quantum dots (QDs) can be fully controlled by gate bias at room temperature. The memory effect is due to the deep levels induced by the QD layer, and rather than the charging and discharging of intrinsic energy levels in QDs, which is demonstrated by the hysteresis, real-time and bias-cooling C-V measurements.

Key words : InAs/ GaAs self-assembled quantum dots; memory device; bias-cooling; deep levels

PACC : 7320D

Article ID : 0253-4177(2006)02-0363-05

^{*} Project supported by the Research Fund for the Doctoral Program of Higher Education (No. 2000042204)

[†] Corresponding author. Email: dujun@sdu.edu.cn

Received 29 July 2005, revised manuscript received 10 October 2005

© 2006 Chinese Institute of Electronics