

# 基于 GaAs 工艺的 36 GHz 压控振荡器\*

仇应华<sup>†</sup> 王志功 朱 恩 冯 军 熊明珍 夏春晓

(东南大学射频与光电集成电路研究所, 南京 210096)

**摘要:** 利用法国 OMMIC 公司的 0.2 $\mu\text{m}$  GaAs PHEMT 工艺,设计实现了一个 36GHz 压控振荡器电路.该电路采用完全差分的调谐振荡器结构,通过引进容性源极耦合差动电流放大器和调谐负载电路,提高了电路的性能.测试表明:该压控振荡器中心频率为 36GHz,调谐范围约为 800MHz,在偏离中心频率 10MHz 处的单边带相位噪声为 -98.83dBc/Hz.芯片面积为 0.5mm $\times$ 1mm,采用 -5V 单电源供电,核心单元功耗约为 200mW.

**关键词:** 压控振荡器; 共面波导; 容性耦合差动电流放大器; 砷化镓

EEACC: 1230B

中图分类号: TN75

文献标识码: A

文章编号: 0253-4177(2006)03-0556-04

## 1 引言

随着信息量需求的增长,高速光纤通信系统得到愈来愈广泛的应用.现在 2.5Gb/s 高速光纤通信系统已经进入大规模建设阶段,10Gb/s 高速光纤通信系统也已经进入应用阶段.未来骨干网光纤传输系统正在向 40Gb/s 速率迈进.因此设计超高速光纤通信集成电路具有重大应用价值.

压控振荡器是光接收机中时钟恢复电路的关键部分,也是多种微波毫米波电路的核心之一.随着工作频率的提高,有源器件的非线性变得越来越严重.而且振荡器必须要驱动其他电路,这种输出负载效应将反过来影响振荡器的频率稳定性和频谱纯度.因此设计工作在毫米波频率段的压控振荡器是对电路设计、工艺以及测试的挑战<sup>[1,2]</sup>.

国内最新发表的利用 0.18 $\mu\text{m}$  CMOS 工艺制作的压控振荡器工作到 11GHz<sup>[3]</sup>,利用 GaAs PHEMT 工艺制作的压控振荡器工作到 36GHz<sup>[4]</sup>.本文利用法国 OMMIC 公司的 0.2 $\mu\text{m}$  GaAs PHEMT 工艺,设计实现了一个 36GHz 压控振荡器电路.该电路芯片采用完全差分结构,易于集成在超高速锁相环和时钟恢复电路中,具有压控线性度好、面积小和功耗低的特点.芯片通过法国 CMP 多晶圆项目流片,在东南大学射频与光电集成电路研究所测试室进行在晶圆测试.

## 2 电路设计和分析

振荡器按其构成原理分为弛张振荡器和调谐振

荡器两大类.由于高  $Q$  值的调谐振荡器能很好地抑制中心频率以外的频率分量,所以通常调谐振荡器比弛张振荡器的输出有更高的频谱纯度<sup>[5]</sup>.

本设计目标是应用于 SDH STM-256 光纤通信系统中的 40GHz 压控振荡器,而所采用的 GaAs 工艺的特征频率为 60GHz,采用弛张振荡器设计 40GHz 的振荡器几乎是不可能的.因此采用调谐振荡器的设计方案.压控振荡器包括三部分:谐振和调谐部分、有源放大部分和输出缓冲部分.

### 2.1 谐振和调谐单元

谐振和调谐部分由 CPW1, CPW2, EF1, EF2, DF1, DF2 及  $R_3$  组成,如图 1 所示.带中心抽头的共面波导 CPW1, CPW2 作为电感和 EF1, EF2 的栅漏寄生电容组成谐振回路,EF1, EF2 的漏端连接到正控制端,中心抽头通过电阻  $R_3$  连接到负控制端.通过优化,共面波导的线宽和间距取 10 $\mu\text{m}$ ,共面波导的参数仿真结果如图 2 所示.作为短路线,共面波导在 40GHz 处呈现的电感值约为 0.1956nH,  $Q$  值为 13.2.因为随着差分控制电压的变化,EF1, EF2 的栅漏寄生电容变化,该电路不需要额外的可变电容管<sup>[6]</sup>.采用差分电压控制相比于单端电压控制,振荡器具有较大的压控范围和较低的相位噪声.

### 2.2 有源和放大单元

有源和放大部分的电路核心是容性耦合差动电流放大器.源漏极间短路的 EF4, EF5 起中和补偿的作用,可以提高工作频率,增大振荡幅度,减少负载电路的影响.在电阻  $R_1, R_2$  上面增加的 CPW3 和

\* 国家高技术研究发展计划资助项目(批准号:2003AA31G030)

<sup>†</sup> 通信作者. Email: qiuyinghua@seu.edu.cn

2005-05-31 收到, 2005-11-22 定稿

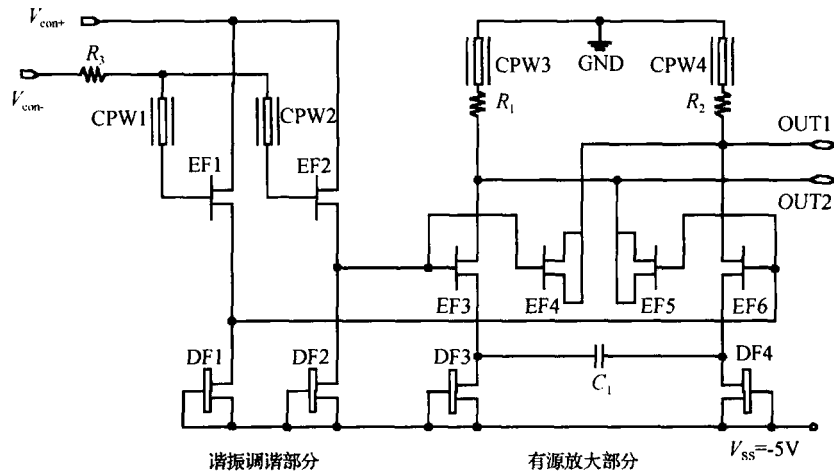


图 1 压控振荡器核心电路

Fig. 1 Schematic of VCO core circuit

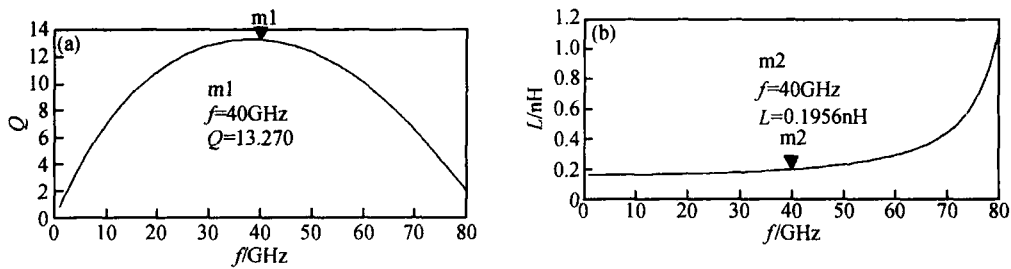


图 2 (a) 共面波导的仿真 Q 值; (b) 共面波导的仿真电感值

Fig. 2 (a) Q of CPW by simulation; (b) L of CPW by simulation

CPW4 用作电感,起高频补偿作用,可降低振荡器的相位噪声.代价是减小了压控范围.仿真结果表明压控范围由原先的 4GHz 减小至 1GHz.

增加的电容  $C_1$  使差分放大器下层构成容性耦合差动电流放大器( $C^3A$ ).基于电路的对称结构,小信号分析时通过对单端容性耦合差动电流放大器( $SSC^3A$ )来等效地分析  $C^3A$  结构.  $SSC^3A$  电路如图 3(a) 所示,简化等效模型如图 3(b) 所示.

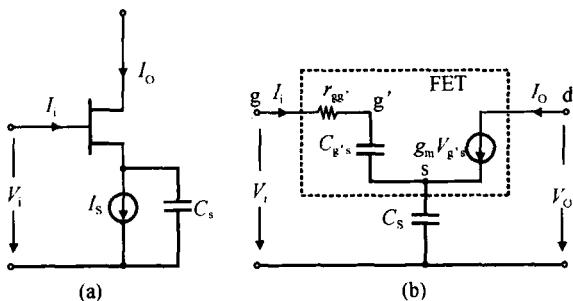


图 3 (a)  $SSC^3A$  电路示意图; (b)  $SSC^3A$  等效电路

Fig. 3 (a) Schematic of  $SSC^3A$ ; (b) Equivalent circuit of  $SSC^3A$

由等效模型可以推出  $SSC^3A$  的输入电阻和跨

导幅值:

$$R_{in} = r_{gg} - \frac{g_m}{(2f)^2 C_{gs} C_s} \quad (1)$$

$$|G_m| = \frac{\frac{g_m}{2 C_{gs}}}{r_{gg} \sqrt{\left[ f - \frac{g_m}{(2f)^2 C_{gs} C_s r_{gg}} \right]^2 + \left[ \frac{C_{gs} + C_s}{2 C_{gs} C_s r_{gg}} \right]^2}} \quad (2)$$

由(1)式可以知道,当  $f < f_0 = \frac{1}{2} \sqrt{\frac{g_m}{N C_{gs} C_s r_{gg}}}$  时,输入电阻是负值<sup>[1]</sup>.通过选择合适的晶体管和电容尺寸,可以在所需的中心频率上得到最大的负输入电阻.当

$f = f_{G_m} = \frac{1}{\sqrt{2}} \sqrt{\frac{g_m}{N C_{gs} C_s r_{gg}}}$  时, (2) 式中  $|G_m| = |G_m|_{max}$ . 所以  $C^3A$  的跨导幅值具有带通特性,中心频率为  $f_{G_m}$ ,这种特性有利于构造一个高效率的振荡器.

### 2.3 输出缓冲电路

输出缓冲电路如图 4 所示,由一级源极跟随器和一级差分放大器组成,所选晶体管的尺寸逐渐加大.源极跟随器主要起阻抗转换和电平位移的作用,

为兼顾输出阻抗匹配和输出信号幅度,  $R_1, R_2$  选择 100  $\Omega$  电阻. 输出极的设计电流为 8mA, 输出波形幅度为 400mV. 由于缓冲电路的隔离, 可以减小振荡回路上末端负载产生的影响.

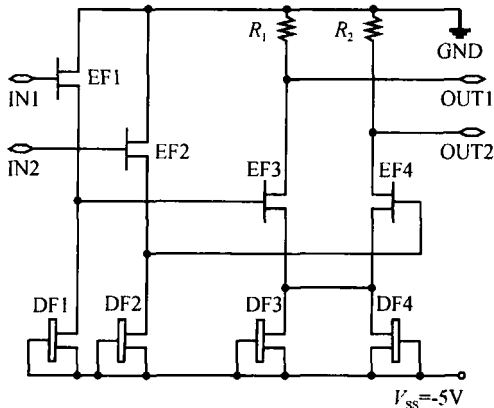


图 4 输出缓冲电路

Fig. 4 Schematic of output buffer circuit

### 3 相位噪声分析

对于调谐振荡器, 噪声电流均方根的谱密度乘以谐振回路阻抗大小的平方得到噪声电压的均方值的谱密度:

$$\begin{aligned} \frac{v_n^2}{f} &= \frac{i_n^2}{f} |Z|^2 = 4kTG \left( \frac{1}{G} \times \frac{0}{2Q} \right)^2 \\ &= 4kTR \left( \frac{0}{2Q} \right)^2 \end{aligned} \quad (3)$$

要知道噪声与载波信号的相对大小, 将均方噪声电压密度对均方载波信号电压进行归一化处理, 可以得到下面的相位噪声方程:

$$L(\ ) = 10 \lg \left[ \frac{v_n^2 / f}{V_{sig}^2} \right] = 10 \lg \left[ \frac{2kT}{P_{sig}} \left( \frac{0}{2Q} \right)^2 \right] \quad (4)$$

公式(4)说明, 给定偏移位置处的相位噪声随着载波功率和谐振回路的  $Q$  值的增大而减小, 因此提高信号幅度和共面波导的  $Q$  值可以减小相位噪声<sup>[5]</sup>. 本设计中通过增大工作电流来提高信号幅度, 优化共面波导的结构来提高  $Q$  值, 有源放大部分采用谐振结构进一步提高频谱纯度.

### 4 制造工艺和版图设计

该压控振荡器电路采用 OMMIC 公司 0.2  $\mu\text{m}$  GaAs PHEMT 工艺实现, 该工艺提供增强型和耗尽型两种晶体管, 阈值电压分别为 0.2V 和 -0.9V, 特征频率分别为 63GHz 和 60GHz. 金属连线有两层(IN 和 BE), IN 层为厚金属.

超高频集成电路的版图设计是非常重要的环节,

需要考虑合理布局、布线. 该电路是全差分结构, 版图设计时采用左右对称, 使高频互连线在尽可能短的同时抑制共模噪声. 芯片的下端为电源和控制端输入, 上端为压控振荡器信号输出. 由于 IN 线寄生参数相对 BE 层而言要小, 所以超高频信号线尽量选用 IN 线, 在两金属线交叉处采用空气桥来减少耦合电容<sup>[7]</sup>. 电感采用中心抽头的共面波导结构来实现, 在 40GHz 工作频率上仿真优化. 电路仿真采用 Agilent 公司的 ADS 工具进行, 在 Cadence 环境下完成版图设计. 图 5 为芯片显微照片, 芯片面积为 0.5mm  $\times$  1mm.

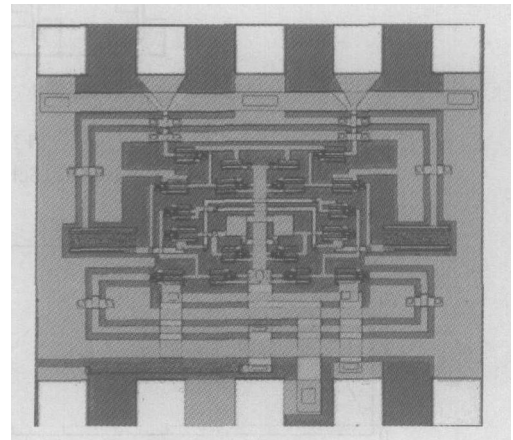


图 6 芯片显微照片

Fig. 6 Microphotograph of chip

### 5 芯片测试

该芯片在 Cascade Microtech 公司的芯片测试台上进行在晶圆测试. 采用 ADVANTEST 公司的 D3186 脉冲发生器输入伪随机数据, 用 Agilent 公司的 86100A 宽带示波器测试输出波形, 用 HP8593A 测试输出频谱. 输出信号采用 SGS GS (间距 150  $\mu\text{m}$ ) 高频探针测试. 芯片采用 -5V 电源供电, 核心部分功耗为 200mW. 测试表明, 该压控振荡器中心频率为 36GHz, 输出波形峰峰值为 180mV, 在偏离中心频率 10MHz 处的单边带相位噪声为 -98.83dBc/Hz, 如图 6 所示. 压控振荡器采用差分电压控制, 差分控制电压在 -1 ~ 1V 变化时, 调谐频率范围约为 800MHz, 电压-频率转换系数  $K_{VCO}$  为 400MHz/V. 压控曲线如图 7 所示, 可看出具有良好的线性度. 该压控振荡器实测频率与仿真结果(40GHz)相比下降了 1/10, 这是因为对电路的分布电容估计不够充分造成的, 可见在 40GHz 以上频率的电路仿真中需充分考虑寄生电容电感的影响并精心进行版图设计.

### 6 结论

采用法国 OMMIC 公司 0.2  $\mu\text{m}$  GaAs PHEMT

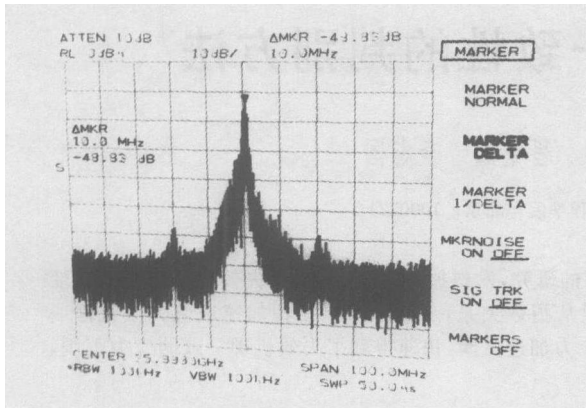


图 7 压控振荡器自由振荡的信号频谱

Fig. 7 Spectrum diagram of free-running VCO output signal

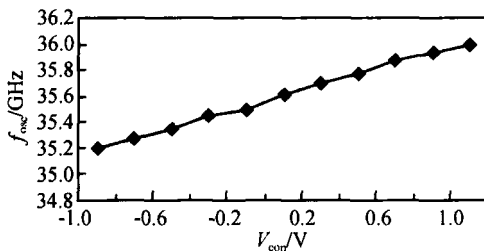


图 8 压控特性曲线

Fig. 8 Voltage-control-frequency curve

工艺,设计实现了36GHz压控振荡器.测试结果表明,该压控振荡器中心频率为36GHz,调谐范围约为800MHz,输出波形峰峰值为180mV,在偏离中

心频率 10MHz 处的单边带相位噪声为 - 98. 83dB/ Hz. 通过改变作为电感的共面波导版图参数,电路工作速率可望提高到 40GHz,从而可以应用到 40Gb/s 速率的光纤通信系统中,对于研究开发具有自主知识产权的超高速光纤通信集成电路具有积极意义.

参考文献

[ 1 ] Wang Zhigong. IC design for optic-fiber communications. Beijing : High Education Press ,2003 (in Chinese) [ 王志功. 光纤通信集成电路设计. 北京 : 高等教育出版社 ,2003 ]

[ 2 ] Razavi B. Design of monolithic phase-locked loops and clock recovery circuits a tutorial. In : Monolithic phase-locked loops and clock recovery circuits : theory and design. New York : IEEE Press ,1996

[ 3 ] Wang Xueyan , Zhu En , Xiong Mingzhen , et al. Design of 11GHz CMOS ring VCO. Chinese Journal of Semiconductors , 2005 ,26 (1) : 187 (in Chinese) [ 王雪艳 ,朱恩 ,熊明珍 ,等. 11GHz CMOS 环形压控振荡器设计. 半导体学报 ,2005 ,26 (1) :187 ]

[ 4 ] Yu Wen ,Sun Xiaowei ,Qian Rong ,et al. A compact Ka-band PHEMT MMIC voltage controlled oscillator. Chinese Journal of Semiconductors ,2005 ,26(6) :1111

[ 5 ] Thomas L. The design of CMOS radio-frequency integrated circuits. Cambridge University Press ,1998

[ 6 ] Wang Z G,Berroth M ,Nowotny U , et al. 7. 5Gb/s monolithically integrated clock recovery circuit using PLL and 0. 3μm gate length quantum well HEMT 's. IEEE Solid-State Circuits ,1994 ,29(8) :995

[ 7 ] Koehler K. Advanced high electron concentration GaAs/ Al<sub>x</sub>Ga<sub>1-x</sub>As pulse-doped double heterostructure for device application. Inst of Phys Conf Ser ,IOP Pub ,1990 :521

A 36GHz Voltage Control Oscillator in GaAs PHEMT Technology\*

Qiu Yinghua<sup>†</sup>, Wang Zhigong, Zhu En, Feng Jun, Xiong Mingzhen, and Xia Chunxiao

(Institute of RF & OE-ICs, Southeast University, Nanjing 210096, China)

**Abstract :** A 36GHz voltage-controlled oscillator is designed and realized in OMMIC 's 0. 2μm GaAs PHEMT technology. A fully differential structure is applied in the tunable oscillator. In order to improve the circuit performance, a capacitive-source-coupled current amplifier is used as the active part, and a single-tuned tank as a load. The measurement results show that the center frequency of the VCO is 36GHz and the tuning-range is 800MHz. The phase noise is - 98. 83dBc/ Hz at a 10MHz offset. The chip area is 0. 5mm ×1mm, and the DC power consumption of the core is 200mW under a single - 5V power supply.

**Key words :** VCO; CPW; capacitive-source-coupled current amplifier; GaAs

**EEACC :** 1230B

**Article ID :** 0253-4177(2006)03-0556-04

\* Project supported by the National High Technology Research and Development Program of China (No. 2003AA31G030)

<sup>†</sup>Corresponding author. Email: qiuyinghua@seu.edu.cn

Received 31 May 2005, revised manuscript received 22 November 2005