

具有 n^+ 浮空层的体电场降低 LDMOS 结构耐压分析*

张 波[†] 段宝兴 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

摘要: 针对薄外延横向功率集成技术的发展, 提出一种降低体内电场 REBULF (REduced BULk Field) 的新耐压技术, 并设计了一例具有 n^+ 浮空层的 REBULF LDMOS 新结构. 新耐压机理是通过嵌入在高阻衬底中的 n^+ 浮空层的等电位调制作用, 提高源端体内低电场而降低漏端体内高电场使纵向电场重新分配, 同时使衬底耐压提高. 借助二维数值分析, 验证了满足 REBULF 的条件为 n^+ 层的位置与衬底浓度的乘积不大于 $1 \times 10^{12} \text{cm}^{-2}$; 在保证低的比导通电阻条件下, 新结构较传统 LDMOS 结构击穿电压可提高 75% 以上.

关键词: LDMOS; 体电场; n^+ 浮空层; 击穿电压

EEACC: 21560R; 2560B

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)04-0730-05

1 引言

近年来, 为了满足功率集成以及系统集成的需要, 采用薄外延横向技术的可集成功率器件成为发展方向, 典型高压横向器件为 LDMOS (lateral double-diffusion MOS). 薄外延高压横向器件中的横向耐压可以通过 RESURF (reduced surface field) 及相应的技术解决, 如具有埋层的 RESURF^[1]; 漂移区 VLD 技术^[2,3]; 通过表面形成 p 型降场层^[4,5]; 采用具有 n^- 表面 VLD 层的漂移区^[6] 等. 然而, 器件的纵向耐压主要是通过穿通的 pn 结来承担, 即为全耗尽的 n^- 漂移区及部分耗尽的 p^- 衬底耐压之和, 当外延的漂移区为了满足隔离技术的需要逐渐向数微米及亚微米方向发展时^[7], 纵向耐压越来越成为决定器件击穿电压的主要因素, 而具有几百微米厚的器件衬底就成为解决问题的关键, 即通过采用新的结构使衬底承担几乎全部的纵向耐压.

本文为了进一步提高硅基薄外延(有源层)横向器件的纵向耐压, 提出一种具有 n^+ 浮空层的体电场降低 REBULF (REduced BULk Field) LDMOS 新结构. 这种结构通过在高阻衬底耗尽区中埋入一个等电位层, 将漏端的高电场重新分配(提高源端附近体内电场, 降低体内漏端电场), 通过调整器件体内的击穿位置而提高纵向击穿电压; 同时, 浮空等位层

与高阻衬底形成的平行平面 n^+p^- 结耗尽后使漏端电位提升而进一步增加了器件耐压.

2 器件结构

图 1 为 REBULF LDMOS 结构示意图. 它与传统 RESURF LDMOS 结构的不同在于, 距离 n^- 漂移区底部 w 处嵌入了一浓度很高 ($> 1 \times 10^{17} \text{cm}^{-3}$) 的 n^+ 层, 高浓度的 n^+ 层为浮空等位层. 当器件处于反向阻断状态并且漏端偏压 V_d 逐渐增大时, n^-p^- 结的耗尽层在漏端处将向衬底扩展. 当此耗尽层扩

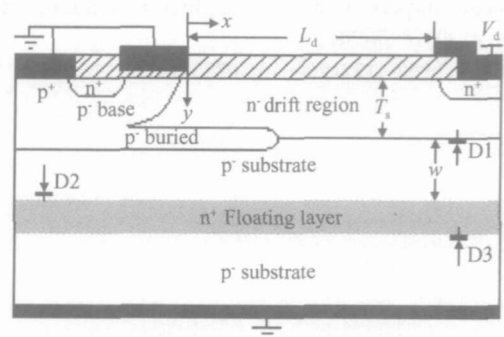


图 1 REBULF LDMOS 结构剖面示意图

Fig. 1 Cross section of REBULF LDMOS structure

展到漏端的浮空等位层 n^+ 时, 浮空等位层的等电势作用将漏端的高电势引向源端低场区, 使 D2 结反

* 模拟集成电路国家重点实验室和国家自然科学基金(批准号: 60576052)资助项目

[†] 通信作者. Email: zhangbo@uestc.edu.cn

2005-08-21 收到, 2005-10-19 定稿

偏后耗尽层又向源端扩展,这就将漏端的高电位引向源端,使体内电场重新分配.同时浮空等位层与 p⁻ 衬底形成的反偏平行平面结 D3 也在浮空等位层以下的衬底中形成耗尽区,这样又提升了漏端的电位,使得器件纵向耐压由漂移区全耗尽层、浮空等位层以上的衬底全耗尽区和以下的衬底部分耗尽区共同承担,纵向耐压较传统 RESURFLDMOS 结构提高.当没有 n⁺ 浮空等位层时,纵向耐压只由反偏的 D1 结承担.

3 结果分析

图 2(a) 为 REBULFLDMOS 结构的等势线分布,与图 2(b) 传统 RESURFLDMOS 结构的比较可以看出,如同 RESURF 原理中将耗尽区扩展到整个漂移区(浓度为 N_d)以降低源端表面高电场作用类似,通过 n⁺ 浮空层的等电位作用,使漏端密集的等势线有一部分分配到了源端的低场区,将耗尽区扩展到 REBULFLDMOS 结构的源端,这样就降低了漏端体内高电场;并且 n⁺ 浮空层与 p⁻ 衬底(浓度为 N_{sub})所产生的理想平行平面结,进一步从纵向降低漏端体内高电场,这就是我们将之命名为体电场降低 (REBULF) LDMOS 的根据.图 3 所示的电场分布进一步证明了这个原理.(图 2 的仿真条件为:REBULFLDMOS: T_s = 2μm; L_d = 48μm; N_{sub} = 5.0 × 10¹⁴ cm⁻³; N_d = 4.2 × 10¹⁵ cm⁻³. RESURFLDMOS: T_s = 2μm; L_d = 36μm; N_{sub} = 5.0 × 10¹⁴ cm⁻³; N_d = 4.8 × 10¹⁵ cm⁻³).

图 3(a) 为 n⁻ 漂移区与 p⁻ 衬底交界面的横向电场分布.虚线所示为传统 RESURFLDMOS (以 RESURFLDMOS (1) 表示) 结构的电场分布.从图中可以清晰看出,电场分布在漏端最大,满足 RESURF 优化的条件下,击穿发生在体内漏端处.如图 3(a) 所示的结构参数:击穿电压为 286V;当采用埋层 RESURF 结构时(以 RESURFLDMOS (2) 表示),p 型埋层的作用使电场分布在埋层与漂移区交界面处出现新的峰,使源端承受更大电场,器件击穿电压提高到 331V,比导通电阻为 62.5mΩ;对于 REBULFLDMOS 结构,当漏端 V_d 加 331V 电压时,从图 3(a) 可以看出漏端的高电场并没有达到硅的体临界击穿电场,器件没有击穿,这就是 REBULF 的作用,而使漏端峰值电场达到临界击穿电场时的外加偏压高达 642V,比导通电阻为 71.2mΩ.图 3(b) 为漏端纵向电场分布.可以看出,REBULFLDMOS 结构在 n⁺ 浮空层处出现新的电场峰,新电场峰降低了体内漏端的纵向电场,使器件耐压提高.图 3(c) 为源端纵向电场分布,较之于 RESURFLDMOS (2) 结构,REBULFLDMOS 结构场的大小和分布区域明显增

大,这是耗尽区扩展的结果.

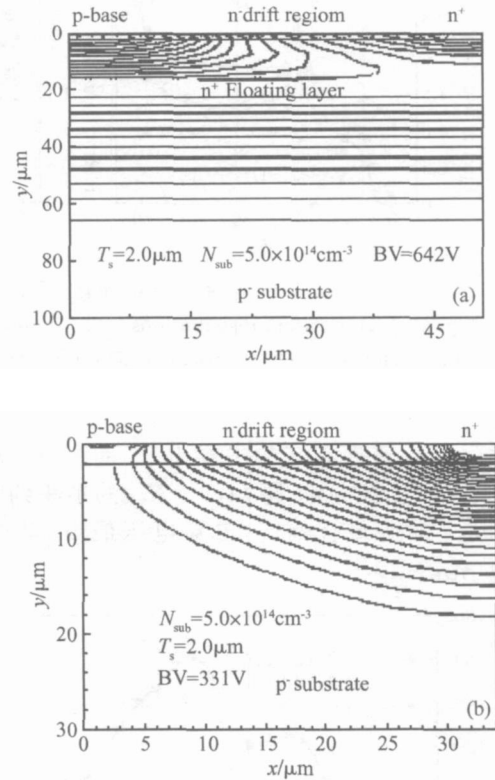


图 2 LDMOS 结构等势线分布 (a) REBULFLDMOS; (b) RESURFLDMOS

Fig.2 Potential distribution of LDMOS (a) REBULFLDMOS; (b) RESURFLDMOS

根据电荷守恒原理,满足一般 RESURF (single RESURF) 条件可表示为: N_d × T_s ≥ 1 × 10¹² cm⁻², 其中 N_d, T_s 分别为 n⁻ 漂移区浓度和厚度.对于本文提出的 REBULF 原理,关键参数为 W 和 N_{sub} (W 表示 n⁺ 层的位置; N_{sub} 为衬底浓度).

根据电荷守恒定律,可以确定 W 和 N_{sub} 的关系:

$$N_d \times T_s = N_{sub} \times W_p \tag{1}$$

$$N_d \times T_s = N_{sub} \times W \tag{2}$$

式中 N_d, W_p 分别表示传统 LDMOS 结构漂移区浓度和衬底耗尽区厚度; N_d 表示 REBULFLDMOS 结构漂移区浓度; T_s 为漂移区厚度.

由于必须满足: W > W_p, 因此

$$N_d > N_d \tag{3}$$

由 (1), (2), (3) 式, n⁺ 层位置可以通过下式确定:

$$W \times N_{sub} \geq 1 \times 10^{12} \text{ cm}^{-2} \tag{4}$$

图 4 为 REBULFLDMOS 结构的 W 与击穿电压关系曲线.其中图 4(a) 为不同衬底浓度下的变化曲线;图 4(b) 为衬底浓度为 5.0 × 10¹⁴ cm⁻³ 时不同漂移区厚度的情况.从图中可以看出,当器件参数满

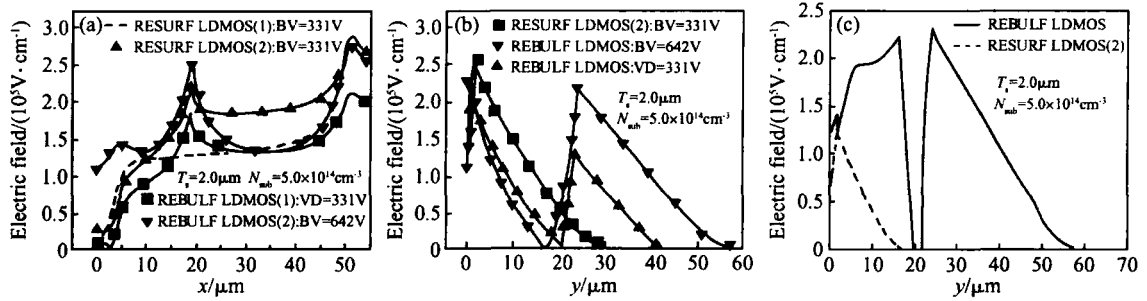


图 3 电场分布 (a) n⁻ 漂移区与 p⁻ 衬底结的横向电场; (b) 漏端纵向电场; (c) 源端纵向电场

Fig. 3 Electric field distributions (a) Lateral electric field profiles along the boundary of n⁻ drift region and p⁻ substrate; (b) Vertical electric field profiles around the drain; (c) Vertical electric field profiles around the source

足公式(4)时,器件有高的击穿电压.而当 w 大于 w_p 时,击穿电压迅速下降, w 与 N_{sub} 的乘积约为 $1 \times 10^{12} \text{ cm}^{-2}$ 时为最优情况,击穿电压最高(其中各 N_d 为优化的值).

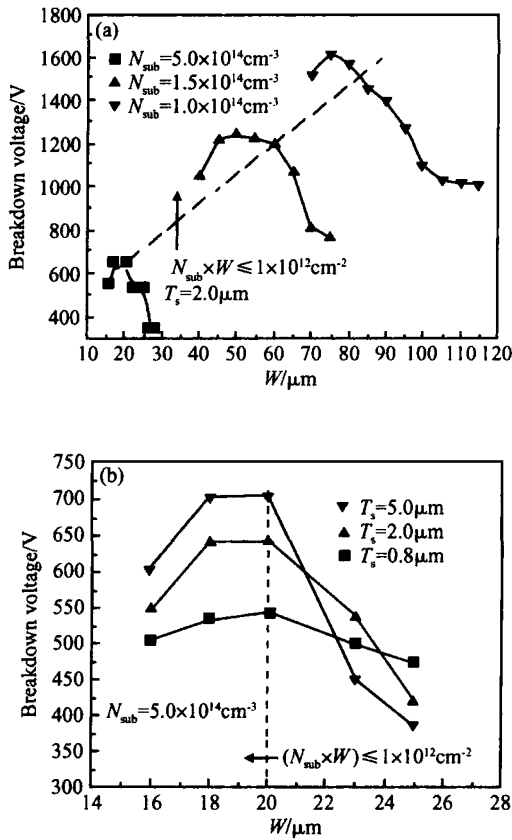


图 4 w 与击穿电压关系曲线 (a) 不同衬底浓度; (b) 不同漂移区厚度

Fig. 4 Breakdown voltage versus w at different substrate concentrations (a) and different thicknesses of drift region (b)

图 5 为 RESURF LDMOS (2) 与 REBULF LDMOS 两种结构在不同漂移区厚度、不同衬底浓

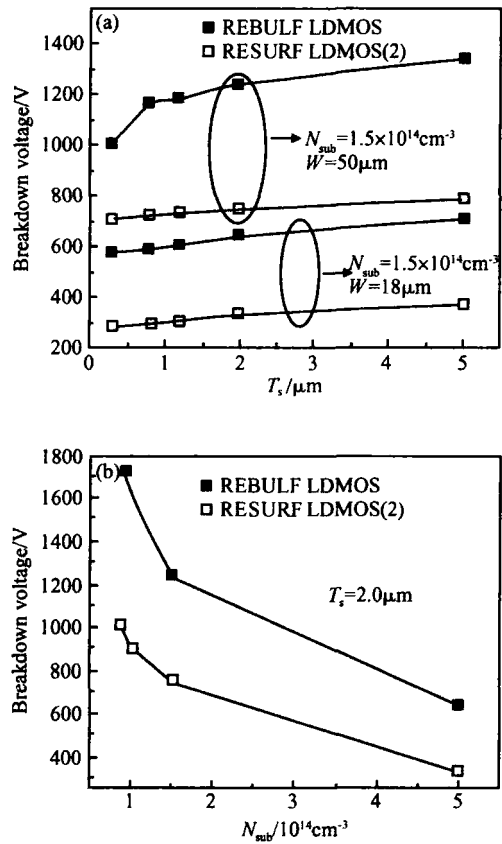


图 5 器件参数与击穿电压关系曲线 (a) 不同漂移区厚度; (b) 不同衬底浓度 ($N_{sub} \times w = 1 \times 10^{12} \text{ cm}^{-3}$)

Fig. 5 Breakdown voltage versus device parameters at different thicknesses of drift region (a) and different substrate concentrations (b)

度条件下的击穿电压比较.由于薄外延条件下器件的纵向耐压主要通过衬底承担,因此图 5(a)中的器件耐压随 T_s 增加而缓慢增加,图 5(b)中的击穿电压随 N_{sub} 增加而急剧减小.同时,由于 REBULF LDMOS 结构的 REBULF 效应,其优化的击穿电压较传统 RESURF LDMOS 结构提高 75% 以上.

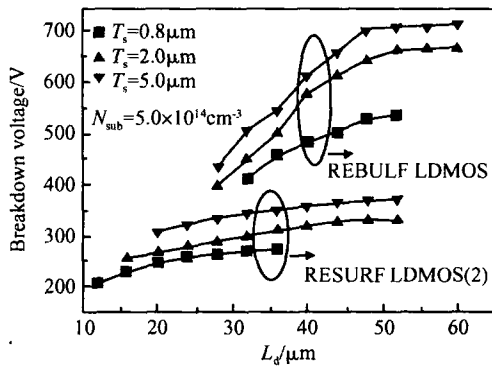


图 6 漂移区长度与击穿电压关系曲线

Fig. 6 Breakdown voltage versus the length of drift region

图 6 为漂移区长度 (L_d) 与击穿电压的关系曲线。可以看出,两种结构的击穿电压都随 L_d 的增大而趋于饱和。这是因为当 L_d 较小时,器件的击穿电压主要由横向耐压决定, L_d 增大到一定值时则由纵向耐压决定,器件耐压随 L_d 变化达到饱和;REBULF LDMOS 结构由于纵向耐压提高使得曲线饱和时的 L_d 大于 RESURF LDMOS 结构的饱和值,这也是采用新的衬底技术提高器件纵向耐压的目的所在。

通过 n^+ 浮空等位层提高 LDMOS 结构耐压的方法,与文献[8]的思想很类似,不同点在于本文是将 n^+ 浮空等位层埋于高阻衬底中, n^+ 浮空层与高阻衬底 p^- 形成的平行平面结 D3 提升了浮空层的电位,而文献[8]中 n^+ 层与高浓度衬底 p^+ 形成的 n^+p^+ 结错位了反偏 D2 结的耐压,使文献[8]中的结构不能满足高耐压要求。

本文中的 n^+ 浮空等位层不仅将其以上的电场重新分配,耗尽区向源端的体内低场区扩展,同时由于采用高阻衬底, n^+ 层与其以下的衬底耗尽区同时又将漏端的体电位提高而使击穿电压进一步增大。这种通过浮空等位层降低漏端体内电场的思想是一种新的终端技术,与 RESURF 降低表面电场的作用等同,两者同时使用可以解决薄有源层所需高耐压的问题。REBULF 技术可直接用于具有高阻衬底且衬底承担纵向耐压的器件结构中,如用于具有埋空隙的 APSOI 结构^[9]、具有 p 型埋层的 BPSOI 结构^[10] 与具有 n -buffer 层的 super junction LD-MOST 结构^[11] 等。具有 n^+ -floating 的 REBULF 结构与一般的硅栅 CMOS 工艺兼容,只是在材料的制备中有以下关键技术: p 型材料衬底- n^+ -floating 层的离子注入并退火-外延 w 厚的 p 型层-硼离子注入形成 p -type 埋层并起到防止低压区的穿通-外延 T_s 厚的 n 型层形成工作区。

4 结论

本文提出了一种降低横向高压器件体电场的新技术——REBULF 技术,这种技术不同于传统的表面终端技术之处在于通过嵌入高阻衬底的 n^+ 等势层,使体内电场重新分配,漏端体电场降低,源端体电场增加,同时提高衬底耐压。所设计的 REBULF LDMOS 结构是一种实现薄有源层高耐压的新结构。在优化的情况下,满足 REBULF 的条件为: n^+ 层的位置与衬底浓度的乘积不大于 $1 \times 10^{12} \text{ cm}^{-2}$ 。在保证低的比导通电阻条件下,REBULF LDMOS 的击穿电压比传统 LDMOS 结构提高 75% 以上,为解决 HVIC 和 PIC 技术中所需的薄有源层高耐压器件提供了一种新的设计思路。

参考文献

- [1] Stupp E H, Colak S, Ni J. Low specific on-resistance 400V LDMOST. IEDM Dig, 1981: 426
- [2] Stengl R, Gosele U, Fellinger C, et al. Variation of lateral doping as a field terminator for high-voltage power devices. IEEE Trans Electron Devices, 1986, 33: 426
- [3] Lai T M L, Sin J K O, Wang M, et al. Implementation of linear doping profile for high voltage thin-film SOI device. Proc 7th Int Symp Power Semiconductor Devices and ICs, 1995: 315
- [4] Hossain Z, Imam M, Fulton J, et al. Double-RESURF 700V N-channel LDMOS with best-in-class on-resistance. Proc Int ISPSD Conf, 2002: 137
- [5] De Souza M M, Sankara Narayanan E M. Double RESURF technology for HVICs. Electron Lett, 1996, 32(12): 1092
- [6] He Jin, Zhang Xing, Wang Yangyuan. Linearly varying surface-implanted n^- layer used for improving trade-off between breakdown voltage and on-resistance of RESURFLDMOS transistor. Solid-State Electron, 2001, 32: 969
- [7] Starke T K H, Holland P M, Hussain S, et al. Highly effective junction isolation structure for PICs based on standard CMOS process. IEEE Trans Electron Devices, 2004, 51: 1178
- [8] Khemka V, Parthasarathy V, Zhu Ronghua, et al. A floating RESURF (FRESURF) LD-MOSFET device concept. IEEE Electron Device Lett, 2003, 24(10): 664
- [9] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for buried air PSOI structure. Chinese Journal of Semiconductors, 2005, 26(9): 1818 (in Chinese) [段宝兴, 张波, 李肇基. 埋空隙 PSOI 结构的耐压分析. 半导体学报, 2005, 26(9): 1818]
- [10] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for PSOI structure with p -type buried layer. Chinese Journal of Semiconductors, 2005, 26(11): 2149 (in Chinese) [段宝兴, 张波, 李肇基. 具有 p 型埋层 PSOI 结构的耐压分析. 半导体学报, 2005, 26(11): 2149]
- [11] Park I Y, Salama C A T. CMOS compatible super junction LDMOST with n -buffer layer. Proc 17th Int Symp Power Semiconductor Devices and ICs, 2005: 163

Breakdown Voltage Analysis of a REBULF LDMOS Structure with an n^+ -Floating Layer*

Zhang Bo[†], Duan Baoxing, and Li Zhaoji

(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)

Abstract: A novel REBULF (reduced bulk field) concept is proposed for the development of a smart power integrated circuit with a thin epitaxy layer, and a new REBULF LDMOS device structure is designed with an n^+ -floating layer embedded in the high-resistance substrate. The mechanism of the improved breakdown characteristics is that a high electric field around the drain is reduced by a n^+ -floating layer, which causes the redistribution of the bulk electric field in the drift region, and the substrate supports more biases. The critical condition of the REBULF, which is analyzed and validated by a 2D MEDICI simulator, is that the product of the location of the n^+ -floating layer and the substrate doping cannot exceed $1 \times 10^{12} \text{cm}^{-2}$. The breakdown voltage of the REBULF LDMOS is 75% greater than that of a RESURF LDMOS.

Key words: LDMOS; bulk electric field; n^+ -floating layer; breakdown voltage

EEACC: 21560R; 2560B

Article ID: 0253-4177(2006)04-0730-05

* Project supported by the National Key Laboratory of Analog IC's and the National Natural Science Foundation of China (No. 60576052)

[†] Corresponding author. Email: zhangbo@uestc.edu.cn

Received 21 August 2005, revised manuscript received 19 October 2005

© 2006 Chinese Institute of Electronics