

# HfO<sub>2</sub> 高 k 栅介质等效氧化层厚度的提取\*

陈 勇<sup>1,†</sup> 赵建明<sup>1</sup> 韩德栋<sup>2</sup> 康晋锋<sup>2</sup> 韩汝琦<sup>2</sup>

(1 电子科技大学微电子与固体电子学院, 成都 610054)

(2 北京大学微电子系, 北京 100871)

**摘要:** 分两步提取了 HfO<sub>2</sub> 高 k 栅介质等效氧化层厚度(EOT). 首先, 根据 MIS 测试结构等效电路, 采用双频 C-V 特性测试技术对漏电流和衬底电阻的影响进行修正, 得出 HfO<sub>2</sub> 高 k 栅介质的准确 C-V 特性. 其次, 给出了一种利用平带电容提取高 k 介质 EOT 的方法, 该方法能克服量子效应所产生的反型层或积累层电容的影响. 采用该两步法提取的 HfO<sub>2</sub> 高 k 栅介质 EOT 与包含量子修正的 Poisson 方程数值模拟结果对比, 误差小于 5%, 验证了该方法的正确性.

**关键词:** 高介电常数栅介质; 等效氧化层厚度; 二氧化钪

**PACC:** 7340Q; 7360 **EEACC:** 2530F; 2520

**中图分类号:** TN386 **文献标识码:** A **文章编号:** 0253-4177(2006)05-0852-05

## 1 引言

随着超大规模集成电路技术的不断发展, 作为其基础器件的 MOS 晶体管的尺寸不断缩小, 为了获得良好的性能, 要求栅氧化层厚度也要相应地缩小. 而对于纳米尺度的 MOS 器件, 其栅氧化层厚度必须低于 3 nm, 如此薄的栅层会导致直接隧道效应等一系列问题, 极大地影响了器件的性能. 所以, 选择一种高 k 材料来代替传统的 SiO<sub>2</sub> 栅层, 以提高其相应的物理厚度就成为必然.

采用高 k 材料以后, 在保证栅对沟道有相同控制能力 ( $C_{ox} = \epsilon_{ox} / t_{ox}$  相同) 的条件下, 栅绝缘介质介电常数的增加将使栅介质层的物理厚度  $t_{ox}$  增大, 于是栅与沟道间的直接隧穿电流将大大减小. 当今普遍认为, 如果栅氧化层厚度降至 1.5 nm, 高介质材料就必须代替 SiO<sub>2</sub> 成为栅介质材料, 所以, 选择一种高 k 材料来代替传统的 SiO<sub>2</sub> 栅氧化层就成了一项浩大且当务之急的工程<sup>[1,2]</sup>.

在高 k 栅介质的研究中, 常用等效栅氧化层厚度 (EOT)  $t_{eq}$  作为衡量标准, 并与高 k 栅介质的实际物理厚度  $t_{highk}$  相区别. EOT 定义为: 高 k 栅介质和纯 SiO<sub>2</sub> 栅介质达到相同的栅电容时的纯 SiO<sub>2</sub> 栅介质的厚度. 然而, 在纳米器件中, 由于存在多晶硅耗尽、反型层或积累层电荷量子化等因素, 使得等效氧化层厚度的确定变得困难. 另一方面, C-V 测试中存在的栅介质漏电、衬底电阻等寄生元件也会使栅

介质电容测试结果产生误差, 通常的物理测量技术如椭偏仪方法对于极薄的介质厚度测试精度较差<sup>[3]</sup>; 而透射电镜 (TEM) 则具有设备昂贵、效率较低等缺点<sup>[4]</sup>. 在电学测量方面, C-V 特性曲线得出的结果往往包含了栅介质漏电、衬底电阻等寄生元件、电荷量子化、多晶硅耗尽的影响, 一般需要采用泊松方程与薛定谔方程自恰求解来拟合测试的 C-V 特性曲线, 从而排除电荷量子化、多晶硅耗尽效应的影响, 得到等效氧化层厚度<sup>[5,6]</sup>.

本文给出了一种利用高 k 介质 C-V 特性曲线直接得出其等效氧化层厚度的简便方法. 该方法首先采用双频测试技术对漏电流和衬底电阻进行修正得出准确的 C-V 特性; 其次, 由 C-V 曲线确定平带电压和平带电容, 根据平带电容简便地得出高 k 栅介质的等效氧化层厚度. 这是因为在平带电压下, 不存在反型层或积累层电容. 通过对 HfO<sub>2</sub> 高 k 栅介质 C-V 特性的测量计算, 得出其 EOT 为 2.12 nm, 该结果与包含量子修正的积累层电容数值模拟结果对比, 其误差小于 5%.

## 2 HfO<sub>2</sub> 高 k 栅介质电容特性测试

本文中的 HfO<sub>2</sub> 高 k 栅介质由北京大学微电子所制备<sup>[7]</sup>. n 型 Si (100) 衬底的掺杂浓度是  $2 \times 10^{15} \text{ cm}^{-3}$ , Al 电极图形为矩形, 面积为  $100 \mu\text{m} \times 50 \mu\text{m}$ .

实验中使用 Keithley 590 电容仪测试 HfO<sub>2</sub> 高 k 栅介质的 C-V 特性. 为了克服漏电流对 C-V 特性

\* 国防预研基金资助项目 (批准号: 51412010103D Z0215)

† 通信作者. Email: yongchen@uestc.edu.cn

2005-08-28 收到, 2005-11-18 定稿

的影响,采取 100kHz 和 1MHz 双频率进行测试及修正<sup>[8]</sup>,结果见图 1. 从图中的 *C-V* 曲线可以看出,曲线在靠近 2V 的较大正向偏压下发生畸变,这是由于漏电流所引起的<sup>[8]</sup>. 考虑到漏电流及衬底寄生

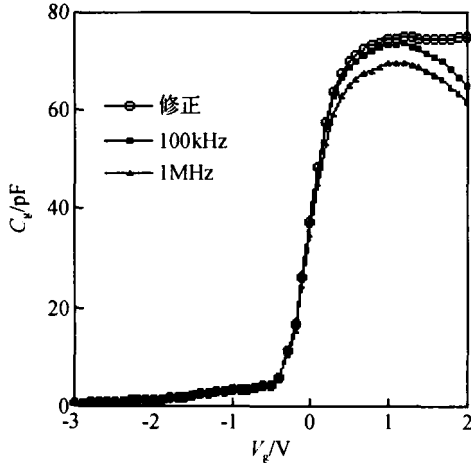


图 1 100kHz 和 1MHz 双频率 *C-V* 测试及修正结果

Fig. 1 Measured *C-V* curves for 100kHz and 1MHz frequencies and the corrected *C-V* results

电阻的影响,并计入测试探针台及连接线寄生电容,建立 MIS 测试结构的等效电路如图 2(a) 所示. 其中 *R<sub>t</sub>* 为隧穿漏电流等效电阻;*R<sub>s</sub>* 为衬底和栅及测试探针台连线寄生电阻;*C<sub>t</sub>* 为探针台及连接线寄生电容,*C<sub>t</sub>* 通过探针台开路电容测试确定为 6pF;图 2(a)中,*C* 才是所需的 HfO<sub>2</sub> 栅介质电容. 图 2(b)给出的是实际测试的等效电路,*C<sub>m</sub>* 是 *C-V* 仪给出的结果,而 *R<sub>m</sub>* 则可以由 *I-V* 漏电流测试确定.

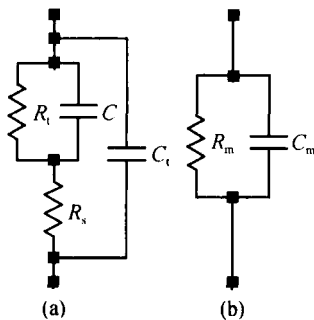


图 2 MIS 测试结构的等效电路 (a) 包含漏电流、串联电阻和寄生电容的精确模型;(b) 实际测试模型

Fig. 2 Equivalent circuit for MIS test structure (a) Accurate model including leakage current, series resistance and parasitical capacitance;(b) Measured model

从图 2(a) 和 (b) 的差异可知,*C-V* 仪测试出的 *C<sub>m</sub>* 并非 HfO<sub>2</sub> 结构栅电容 *C*,由两图阻抗之间的关系,可以得出实际的栅介质电容如下<sup>[8]</sup>:

$$C = \frac{f_1^2 C_{m_1} (1 + Q_{m_1}^2) - f_2^2 C_{m_2} (1 + Q_{m_2}^2)}{f_1^2 - f_2^2} \quad (1)$$

其中  $C_{m_1} = C_m - C_t, C_{m_2} = C_m - C_t, C_{m_1}, R_{m_1}, Q_{m_1}$  和  $C_{m_2}, R_{m_2}, Q_{m_2}$  分别是在频率  $f_1$  和  $f_2$  测得的电容及漏电阻及品质因素. 品质因素  $Q_m$  为

$$Q_{m_i} = \frac{1}{R_{m_i} C_{m_i}} \quad (2)$$

图 1 给出了修正的 *C-V* 特性曲线,可见积累电容与偏压无关,而在未修正的测试中,*R<sub>t</sub>* 与 *R<sub>s</sub>* 的共同作用使得较大偏压积累区 *C-V* 特性曲线发生畸变<sup>[4]</sup>. 从 *C-V* 特性曲线中最大的积累层电容,可以根据如下公式近似计算出 HfO<sub>2</sub> 介质的等效氧化层厚度 EOT.

$$EOT = \epsilon_{ox} \epsilon_0 A / C_{max} \quad (3)$$

其中  $\epsilon_{ox}$  为二氧化硅的相对介电常数; $\epsilon_0$  是真空中介电常数;*A* 为所测电容的面积;*C<sub>max</sub>* 是测得的积累区电容. 可见,经过修正后得出的等效氧化层厚度 EOT 较修正前的小,经计算,  $EOT = 2.35\text{nm}$ .

尽管对测试系统进行了修正,通过这种方法计算出的氧化物等效厚度的值比实际的氧化物厚度要大,这是因为这个公式给出的厚度包括了电荷积累层的厚度.

### 3 考虑量子化的 EOT 提取方法

由于样品采用金属电极,不存在多晶硅耗尽. 然而根据(3)式计算的等效氧化层厚度并未考虑积累层电荷厚度的影响,因此结果欠准确,本小节将根据 *C-V* 特性的测量结果,采用平带电容方法得出等效氧化层厚度的准确结果<sup>[9,10]</sup>.

首先,在 *C-V* 曲线中,无论积累区还是反型区,都存在硅能带的势阱或势垒,因而都存在量子效应,见图 3(a). 如果采用多晶硅栅,还会产生多晶硅耗尽. 而产生积累或反型的外加偏压还会产生大的漏电流. 这些都使按(3)式计算的 EOT 存在较大的误差<sup>[6]</sup>.

然而,如果在 MIS 结构中所加的外加偏压是平带电压,则不存在势阱或势垒,量子效应、多晶硅耗尽可以忽略不计. 而且往往平带电压较小,不会产生大的漏电流,所以也就克服了上述种种弊端,运用平带电容,采用经典的理论就可以准确计算出等效氧化层厚度,见图 3(b).

图 4 是利用平带电压求 EOT 的示意图,其中 *C* 为平带时的总电容,则其表达式为

$$C = \frac{C_{ox} C_s |_{FB}}{C_{ox} + C_s |_{FB}} \quad (4)$$

其中  $C_{ox}$  为 HfO<sub>2</sub> 高 *k* 介质等效氧化层电容

$$C_{ox} = \frac{\epsilon_{ox} \epsilon_0 A}{EOT} \quad (5)$$

其中  $\epsilon_{ox}$  为 SiO<sub>2</sub> 的相对介电常数; $\epsilon_0$  为真空中的介

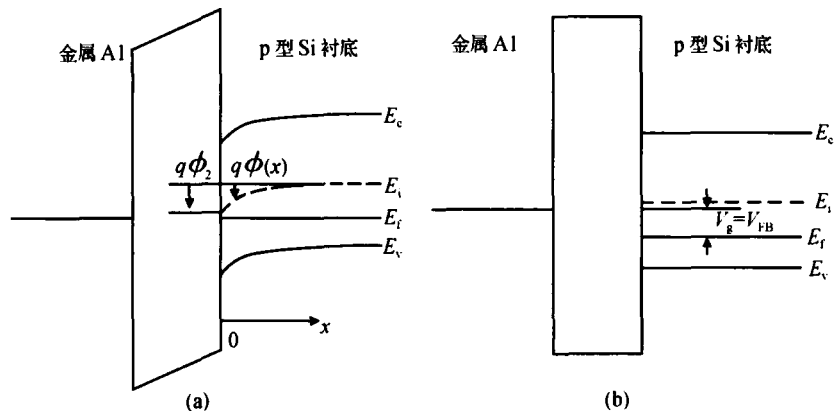


图 3 高 k 介质 MIS 结构能带图 (a) 未加偏压; (b) 加平带电压  
Fig. 3 Band diagram for a high k MIS capacitance (a) Zero gate-voltage; (b) Flat-band

电常数; A 为电极面积;  $C_s|_{FB}$  为半导体表面的平带电容, 有<sup>[11]</sup>:

$$C_s|_{FB} = \frac{\sqrt{2} \epsilon_{Si} q}{L_D} \quad (6)$$

其中, 德拜长度

$$L_D = \left( \frac{2 \epsilon_{Si} q kT}{q^2 p_{p0}} \right)^{1/2} \quad (7)$$

由 (4) ~ (6) 式, 得出:

$$EOT = \frac{\epsilon_{ox} q A}{C} - \frac{L_D}{\sqrt{2}} \times \frac{\epsilon_{ox}}{\epsilon_{Si}} \quad (8)$$

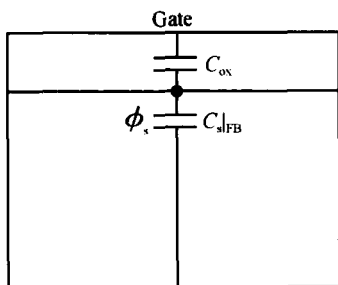


图 4 利用平带电压求 EOT 示意图

Fig. 4 Sketch to get EOT from flat-band condition

因此, 只要根据测量出的 C-V 特性曲线求解出平带电容, 即可利用 (6) 式求出等效氧化层厚度. 对于 MIS 结构, 由半导体表面的面电荷密度  $Q_s$  与表面能带弯曲量  $V_s$  存在如下关系<sup>[11]</sup>:

$$Q_s = - \frac{2 \epsilon_{Si} q kT}{q L_D} F \left( \frac{qV_s}{kT}, \frac{n_{p0}}{p_{p0}} \right) \quad (9)$$

$$F \left( \frac{qV_s}{kT}, \frac{n_{p0}}{p_{p0}} \right) = \left\{ \left[ \exp \left( - \frac{qV}{kT} \right) + \frac{qV}{kT} - 1 \right] + \frac{n_{p0}}{p_{p0}} \left[ \exp \left( - \frac{qV}{kT} \right) + \frac{qV}{kT} - 1 \right] \right\}^{1/2} \quad (10)$$

对 (9) 式求解一阶和二阶导数, 利用 (8) 式, 可以从 C-V 特性曲线得出平带电压时, 下列公式成立<sup>[9]</sup>.

$$\frac{C}{C^2} + \frac{3}{2} \left( \frac{C}{2kT|C|} \right)^{1/2} - 3 = 0 \quad (11)$$

这样, 在 C-V 特性曲线上利用数学方法求得一阶和二阶导数, 并根据 (11) 式得出平带电压和平带电容, 代入 (8) 式, 求得 EOT 为 2.12nm, 见图 5. 可见, 考虑量子修正后, EOT 比采用 (1) 式少了 0.23nm, 这也就是等效的电荷积累层厚度.

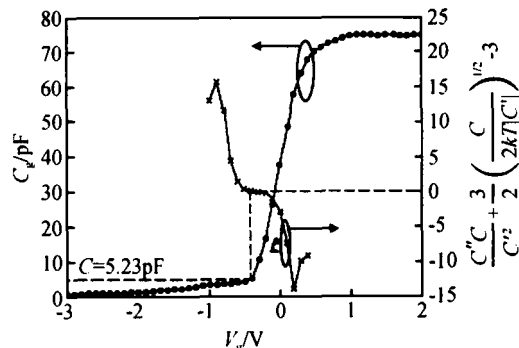


图 5 根据 C-V 曲线和 (11) 式求平带电压和平带电容示意图  
Fig. 5 Figure to obtain the flat-band voltage and flat band capacitance from C-V curve and Eq. (11)

### 4 结果与讨论

为了验证以上的提取结果, 利用如下量子修正的一维 Poisson 方程对  $HfO_2$  高 k MIS 结构进行了数值模拟<sup>[12,13]</sup>,

$$\epsilon_{Si} \frac{d^2 \phi(x)}{dx^2} = q [ (n_p(x) + p_p(x)) \times (1 - \exp(-x/\lambda_{th})^2) - n_D^+ + p_A^- ] \quad (12)$$

其中  $n_D^+$  和  $p_A^-$  分别为电离施主和电离受主浓度;  $\phi(x)$  为静电势;  $n_p(x)$  和  $p_p(x)$  分别表示 x 处的电子和空穴浓度;  $(1 - \exp(-x/\lambda_{th})^2)$  项描述了量子修正;  $\lambda_{th}$  为载流子的热波长, 通常  $\lambda_{th} = 1.1nm$ .

$$\lambda_{th} = \frac{h}{2 \sqrt{2} mkT} \quad (13)$$

其中  $T$  是绝对温度;  $m$  是载流子的有效质量;  $h$  和  $k$  分别为普朗克常数和波尔兹曼常数. 对 (12) 式进行数值求解, 其栅电容按如下公式计算

$$C(EOT, V_g) = \epsilon_{si} \epsilon_0 \frac{d}{dV_g} (E_{nik}(EOT, V_g)) \quad (14)$$

对于分别测试的栅电容  $C_m(V_g)$ , 可通过求解下式得出 EOT,

$$C(EOT, V_g) - C_m(V_g) = 0 \quad (15)$$

图 6 所示为上述经典量子修正的一维 Poisson 方程求解出的积累层电子浓度分布示意图. 可见量子修正项  $(1 - \exp(-x/\lambda_{th})^2)$  使得积累层电荷远离界面, 因而直接由积累区电容得出的介质厚度要大于实际厚度, 积累层厚度不能忽略. 表 1 给出了不同栅压下数值求解 (15) 式得出的 EOT, 其中  $C_m(V_g)$  按 (1) 式修正后的结果取值, 可见在 0.6 ~ 1.2V 较宽的栅压范围内, (15) 式计算出的等效氧化层厚度一致性较好, 且结果 EOT 与 2, 3 两节所述方法得出的结果 2.12nm 相差不到 5%, 这充分说明了本文中所采用的两步法: (1) 克服漏电流和衬底电阻的双频 C-V 特性测试技术; (2) 利用平带电容提取 HfO<sub>2</sub> 高 k 介质 EOT 的准确性.

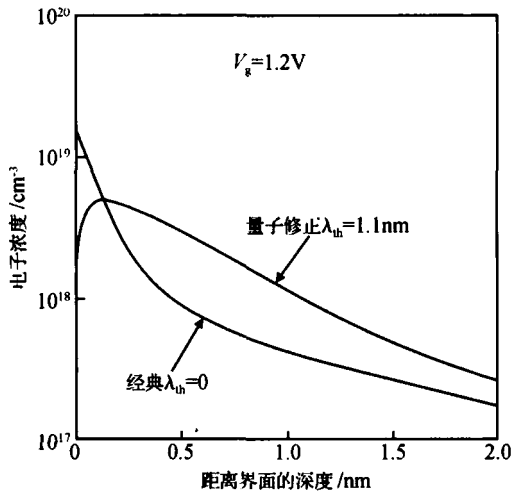


图 6 量子效应对积累层电荷分布的影响

Fig. 6 Quantum effects on the accumulated charge distribution

表 1 不同栅压下数值模拟得出的 EOT

Table 1 Simulated EOT for various gate voltage

V <sub>g</sub> /V	EOT/nm
0.6	2.21
0.7	2.18
0.8	2.14
0.9	2.09
1.0	2.04
1.1	2.06
1.2	2.10

## 5 结论

在纳米尺寸器件中, 由于存在多晶硅耗尽、反型层或积累层电荷量子化、栅介质漏电等因素, 使得 HfO<sub>2</sub> 高 k 栅介质有效氧化层厚度的确定变得复杂和困难, 另一方面, C-V 测试中存在的寄生元件也会使栅介质电容测试结果产生误差. 本文在分析 MIS 测试结构及 C-V 特性的基础上, 给出了栅介质电容的等效电路测试修正, 及利用平带电容提取高 k 介质 EOT 的简化方法, 该方法能排除漏电流、衬底电阻等寄生参数影响并克服量子效应所产生的积累层电容效应, 仅利用两个频率下的 C-V 测试结果即可计算出 EOT. 通过对实际 HfO<sub>2</sub> 高 k 栅介质 EOT 的提取及与数值模拟结果的对比, 验证了该方法的正确性和有效性.

## 参考文献

- [1] Wilk G D, Wallace R M, Anthony J M. High-k gate dielectrics: Current status and materials properties considerations. J Appl Phys, 2001, 89(10): 5243
- [2] Lee J C. High-k dielectrics and MOSFET characteristics. IEDM Tech Dig, 2003: 395
- [3] Momose H S, One M, Yoshitomi T, et al. 1.5nm direct-tunneling gate oxide Si MOSFET's. IEEE Trans Electron Devices, 1996, 43(8): 1233
- [4] Henson W K, Ahmed K Z, Vogel E M, et al. Estimating oxide thickness of tunnel oxides down to 1.4nm using conventional capacitance-voltage measurements on MOS capacitors. IEEE Electron Device Lett, 1999, 20(4): 179
- [5] Sune J, Olivo P, Ricco B. Self-consistent solution of the Poisson and Schrodinger equations in accumulated semiconductor insulator interfaces. J Appl Phys, 1991, 70(1): 337
- [6] Sune J, Olivo P, Ricco B. Quantum-mechanical modeling of accumulation layers in MOS structure. IEEE Trans Electron Devices, 1992, 39(7): 1732
- [7] Wang Chenggang, Han Dedong, Yang Hong, et al. Characteristics of leakage current mechanisms and SILC effects of HfO<sub>2</sub> gate dielectric. Chinese Journal of Semiconductors, 2004, 25(7): 841 (in Chinese) [王成刚, 韩德栋, 杨红, 等. HfO<sub>2</sub> 高 k 栅介质漏电流机制和 SILC 效应. 半导体学报, 2004, 25(7): 841]
- [8] Yang K J, Hu Chenming. MOS capacitance measurements for high-leakage thin dielectrics. IEEE Trans Electron Devices, 1999, 46(7): 1500
- [9] Ricco B, Olivo P, Nguyen T N, et al. Oxide-thickness determination in thin-insulator MOS structures. IEEE Trans Electron Devices, 1988, 35(4): 432
- [10] Chen C H, Fang Y K, Yang W, et al. Determination of deep ultrathin equivalent oxide thickness (EOT) from measuring flat-band C-V curve. IEEE Trans Electron Devices, 2002, 49(4): 695
- [11] Sze S M. Physics of semiconductor devices. 2nd edition. John Wiley & Sons Inc, 1981
- [12] Rios R, Arora Narain D. Determination of ultra-thin gate

oxide thicknesses for CMOS structures using quantum effects. IEDM Tech Dig, 1994:613

near the Si/SiO interface of a MOSFET. Solid-State Electron, 1989, 32(10):839

[13] Hsich W T, Vogelsang R, Kircher R, et al. Carrier transport

## Extraction of Equivalent Oxide Thickness for $\text{HfO}_2$ High k Gate Dielectrics \*

Chen Yong<sup>1,†</sup>, Zhao Jianming<sup>1</sup>, Han Dedong<sup>2</sup>, Kang Jinfeng<sup>2</sup>, and Han Ruqi<sup>2</sup>

(1 School of Microelectronics and Solid State Electronics, University of Electronic Science and Technology of China, Chengdu 610054, China)

(2 Department of Microelectronics, Peking University, Beijing 100871, China)

**Abstract:** The equivalent oxide thickness (EOT) of an  $\text{HfO}_2$  high k dielectric is extracted in two steps. First, a dual-frequency technique is employed for the C-V curve to overcome the effects of leakage current and substrate resistance. Second, an approach using flat-band capacitance is demonstrated for extracting the EOT of a high k dielectric, without the effects of inversion or accumulation capacitance. The relative error between the EOT extracted by this two-step approach and by the quantum corrected Poisson equation is less than 5%, thus validating the approach.

**Key words:** high-k dielectric; equivalent oxide thickness;  $\text{HfO}_2$

**PACC:** 7340Q; 7360      **EEACC:** 2530F; 2520

**Article ID:** 0253-4177(2006)05-0852-05

\* Project supported by the National Defense Advanced Research Foundation of China (No. 51412010103D Z0215)

† Corresponding author. Email: yongchen@uestc.edu.cn

Received 28 August 2005, revised manuscript received 18 November 2005

©2006 Chinese Institute of Electronics