

# 双面阶梯埋氧型 SOI 结构的耐压分析

段宝兴<sup>†</sup> 张 波 李肇基

(电子科技大学 IC 设计中心, 成都 610054)

**摘要:** 在单面阶梯埋氧型 SOI 结构的基础上, 提出了一种双面阶梯埋氧 SOI 新结构. 双面阶梯的电荷积累作用使其纵向电场突破了传统上受界面电荷为零限制的 3 倍关系, 埋氧层的电场可以高达  $200\text{V}/\mu\text{m}$ ; 而且双面阶梯对表面电场的调制作用使其表面电场达到近乎理想的均匀分布. 借助二维 MEDICI 数值分析软件, 验证了此结构具有同时优化横向 SOI 基高压器件横、纵向电场, 提高击穿电压的优点.

**关键词:** 双面阶梯埋氧 SOI; 电荷积累; 表面电场; 击穿电压

**EEACC:** 2560R; 2560B

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2006)05-0886-06

## 1 引言

SOI (silicon-on-insulator) 技术与结隔离 (JI) 智能功率技术相比, 具有更好的性能<sup>[1]</sup>, 但是, 有两个重要的缺点限制了横向大功率 SOI 器件的发展, 一是由于埋氧层的存在, 使得器件自热效应增加<sup>[2]</sup>; 二是由于受自由电荷为零的界面高斯定理的限制使得埋氧层中承受的电压有限<sup>[3]</sup>. 为了解决以上问题, 人们提出了多种方法, 如 Merchant 等人设计了漂移区掺杂浓度沿横向线性分布<sup>[4]</sup>; Nakagawa 提出在  $n^-$  漂移区与埋氧层之间增加一层浓度较高且很薄的  $n^+$  层<sup>[5]</sup>, 或在埋氧层上加一薄层高阻 SIPOS 来屏蔽衬底偏压的影响<sup>[6]</sup>; 在埋层上刻蚀局域槽型结构<sup>[7,8]</sup>; 新的双 RESURF 结构<sup>[9]</sup>; 部分埋氧层 SOI (PSOI) 结构<sup>[10]</sup> 等.

由于 SOI 横向高压器件的耐压由横向与纵向共同决定 (取决于两个最低者), 因此获得所需的击穿电压必须对横向与纵向电场同时优化. 横向的优化是使表面电场分布趋于均匀, SBOSOI (step buried oxide silicon-on-insulator) 结构<sup>[11]</sup> 利用阶梯埋层可以在表面电场分布中引入新的峰而使电场分布趋于均匀, 这是一种新的设计思想. 纵向优化是使介质埋层电场增强, 有两种方法: 一种是通过在 Si 与  $\text{SiO}_2$  界面之间引入电荷来屏蔽  $\text{SiO}_2$  中的高电场, 使 Si 在更高的电压下击穿而提高耐压, 文献<sup>[5~8]</sup> 就是根据这个原理设计的; 另一种方法是引入低介电系数的埋层来突破常规 Si/ $\text{SiO}_2$  系统的 3 倍电场关系, APSOI (air partial silicon-on-insulator) 结构<sup>[12]</sup> 就是引入空隙使埋层介质中的电场高于常规

$\text{SiO}_2$  埋层的电场.

本文在 SBOSOI 的基础上, 提出了一种双阶梯的埋层结构, 称为 D-SBOSOI (double-step buried oxide silicon-on-insulator), 在埋层与漂移区界面也形成阶梯埋层分布, 这个阶梯分布使正电荷积累, 积累的正电荷结合阶梯积累的负电荷可以使阶梯部分电场更加增强, 以提高 SBOSOI 的调制作用; 同时, 这种正电荷的积累也起到了如文献<sup>[5~8]</sup> 中的屏蔽作用. 所以, 用这种思想设计的 D-SBOSOI 结构可以同时优化横向与纵向电场分布.

## 2 器件结构

图 1(a) 为 D-SBOSOI 结构当阶梯的阶数  $N$  等于 2 时的结构示意图. 这种双阶梯埋层对表面电场的调制原理与单面阶梯埋层的类似, 不同之处在于 I 层 (埋氧层) 上表面阶梯的存在, 使得 SOI 层耗尽后出现空穴层的积累 (D 端加正电压, G, S 端和衬底接地), 积累的空穴密度在阶梯拐角处最大, 并沿  $x$  方向衰减 (图 1(b) 示意出了这种电荷的分布), 与单面阶梯埋层相同, 在下埋层阶梯有相同分布的电子. 积累的空穴层发出的电力线终结于下阶梯积累的电子层, 由于在阶梯拐角处电荷的密度最大, 所以在此处形成很强的电场峰, 当漂移区较薄 (小于  $10\mu\text{m}$  左右) 时, 强的电场峰对表面电场形成明显的调制, 在横向表面电场分布中出现新的峰而使漏、源两端的电场峰大大减小. 并且由于漏端下方空穴层的积累, 屏蔽了此处 I 层中的高电场, 导致硅层发生击穿时, I 层中的电场高于常规 SOI 器件中由自由电荷为零的界面高斯定理决定的电场关系 (对埋氧

<sup>†</sup> 通信作者. Email: bxduan@163.com

2005-08-30 收到, 2005-10-14 定稿

层近似为 3 倍关系),这就通过增加介质层中的电场 提高了器件的纵向耐压.

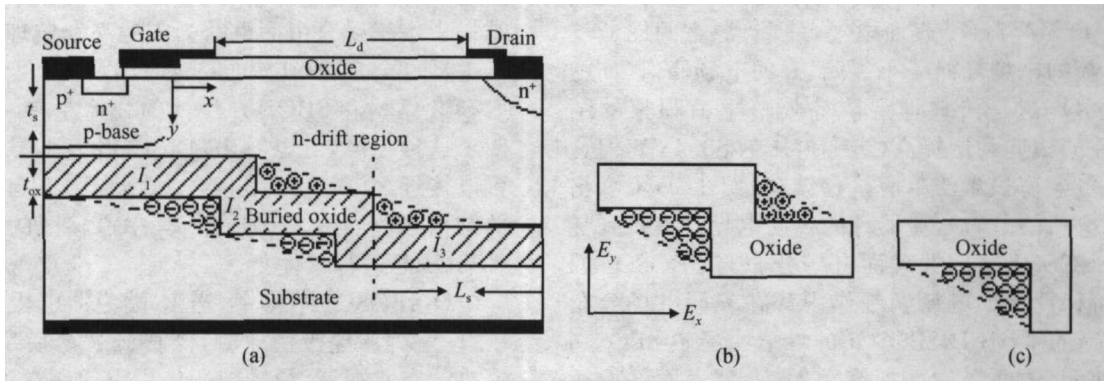


图 1 (a) D-SBOSOI 结构剖面示意图;(b) D-SBOSOI 结构电荷分布图;(c) SBOSOI 结构电荷分布图  
 Fig.1 (a) Cross section of D-SBOSOI structure;(b) Charge distribution of D-SBOSOI structure;(c) Charge distribution of SBOSOI structure

### 3 结果分析

图 2(a) 和 (b) 为三种结构(一般 SOI, SBOSOI

和 D-SBOSOI)的表面电场和 I 层上界面电场分布. 由图 2(a)可以看出,一般 SOI 结构表面电场分布在源端与漏端有两个峰,满足 RESURF 条件时两个峰等高,在两个峰之间电场值很小,这使得器件易于

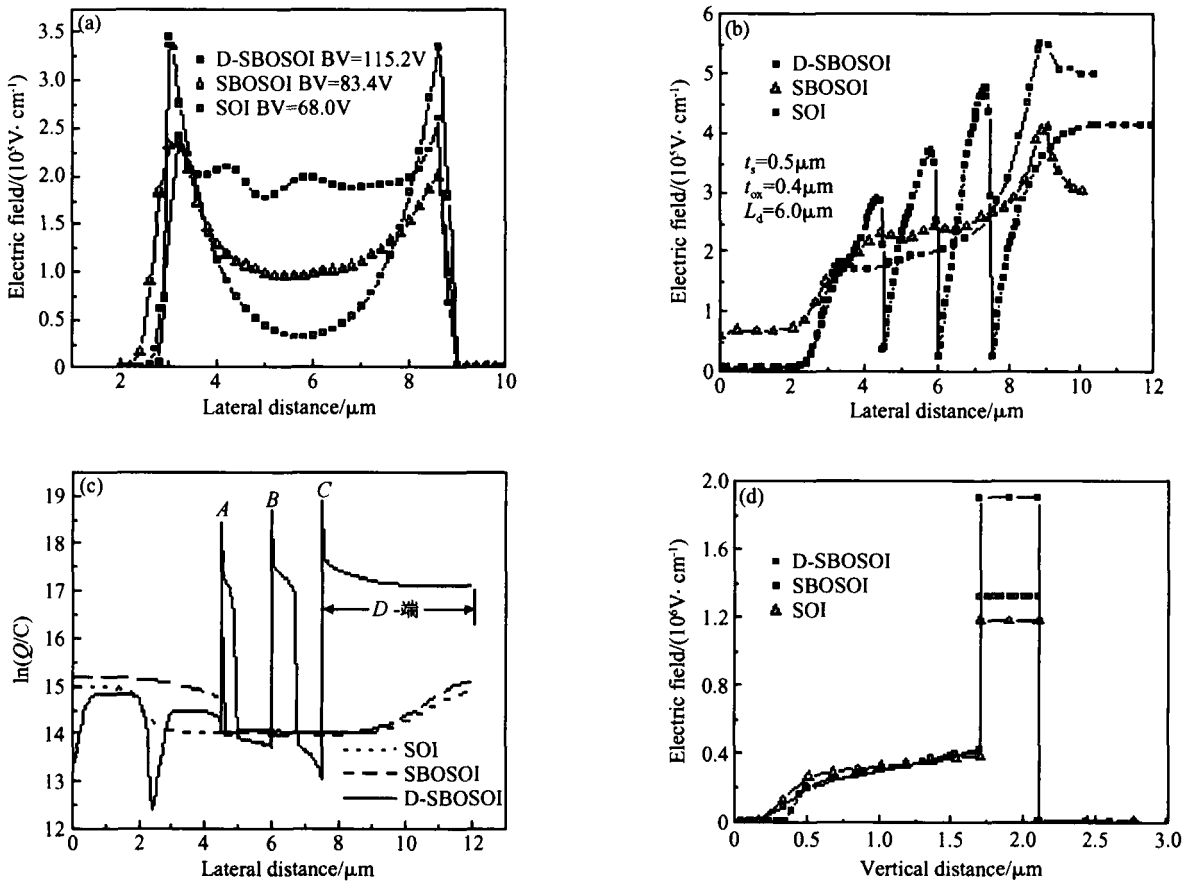


图 2 (a) 表面电场分布;(b) I 层上界面电场分布;(c) I 层上界面电荷分布;(d) 纵向电场分布  
 Fig.2 (a) Surface electric field distributions;(b) Electric field distributions between SOI and buried oxide;  
 (c) Charge distributions between SOI and buried oxide;(d) Vertical electric field distributions

在源端或漏端击穿, 击穿电压只有 68V; 对于 SBOSOI 结构, 由于阶梯埋层的电场出现新的峰(如图 2(b) 所示) 调制了表面电场, 使漏、源之间的低场区出现新的电场峰而减小了漏、源的电场峰值(如图 2(a) 所示), 这是阶梯埋层阶梯处负电荷积累的结果, 器件的横向耐压提高(击穿电压为 83.4V), 但这种只有负电荷积累的单面阶梯结构(图 1(c) 示意出了这种电荷的分布), 使器件的纵向电场没有得到优化. D-SBOSOI 结构的表面电场分布与 SBOSOI 的类似, 阶梯埋层的电场调制作用都在表面电场分布中出现新的峰, 但 D-SBOSOI 的峰值明显较 SBOSOI 的大, 使漏、源两端的高场峰大大减小, 表面电场达到近乎理想的均匀分布(横向电场优化的极限), 由图 2(b) 可以看出, 由于 D-SBOSOI 结构中正、负电荷的同时积累, 在阶梯埋层处电场峰高于 SBOSOI 的结构.

图 2(c) 和(d) 为三种结构的 I 层上界面空穴浓度和漏端纵向电场分布. 从图 2(c) 可以看出, 由于 D-SBOSOI 结构的上阶梯埋层作用, 漂移区完全耗尽后在阶梯处有很高浓度的空穴层积累(A, B, C 表示在阶梯处的空穴浓度), 靠近漏端的 I 层上界面积累的空穴(图 2(c) 中的 D-端) 屏蔽了 I 层中的高电

场, 使有源区中的硅层在高的电压下达到临界击穿电场, 这就增强了 I 层中的电场, 突破了一般 SOI 结构中由于受自由面电荷为零的高斯定理限制的电场关系. D-SBOSOI 纵向 I 层中的电场可以达到一般 SOI 结构和 SBOSOI 结构的 2 倍左右, 图 2(d) 说明了这种规律, 可以看出, D-SBOSOI I 层中的电场可以接近  $200\text{V}/\mu\text{m}$ , 击穿电压增加到 115.2V. 器件的结构参数如图 2(b) 所示, 其中漂移区的浓度根据 RESURF 进行了优化.

D-SBOSOI 结构中, 当  $I_1$  端为漏电极且加正电压,  $I_3$  端为源电极接地时, 漂移区耗尽后反型, 反型形成的空穴在漏、源横向场作用下向源端运动, 在阶梯处电荷运动受阻形成积累. 为了进一步说明这个原理, 若将  $I_1$  端漏电极与  $I_3$  端的源电极对换, 即  $I_3$  端为漏电极加正电压而  $I_1$  端为源电极接地, 漂移区反型后就不会形成电荷的积累. 图 3(a) 为漏、源调换(用 D-SBOSOI(2) 表示) 之后的等势线分布, 可以看出, 由于没有形成电荷的积累, 等势线分布没有图 3(b) (漏、源没有调换, 用 D-SBOSOI(1) 表示) 均匀, 击穿电压只有 54.6V. 图 3(c) 给出了一般 SOI 结构、D-SBOSOI(1) 结构、D-SBOSOI(2) 结构的表面电场分布, 可以看出, D-SBOSOI(2) 结构表面电场

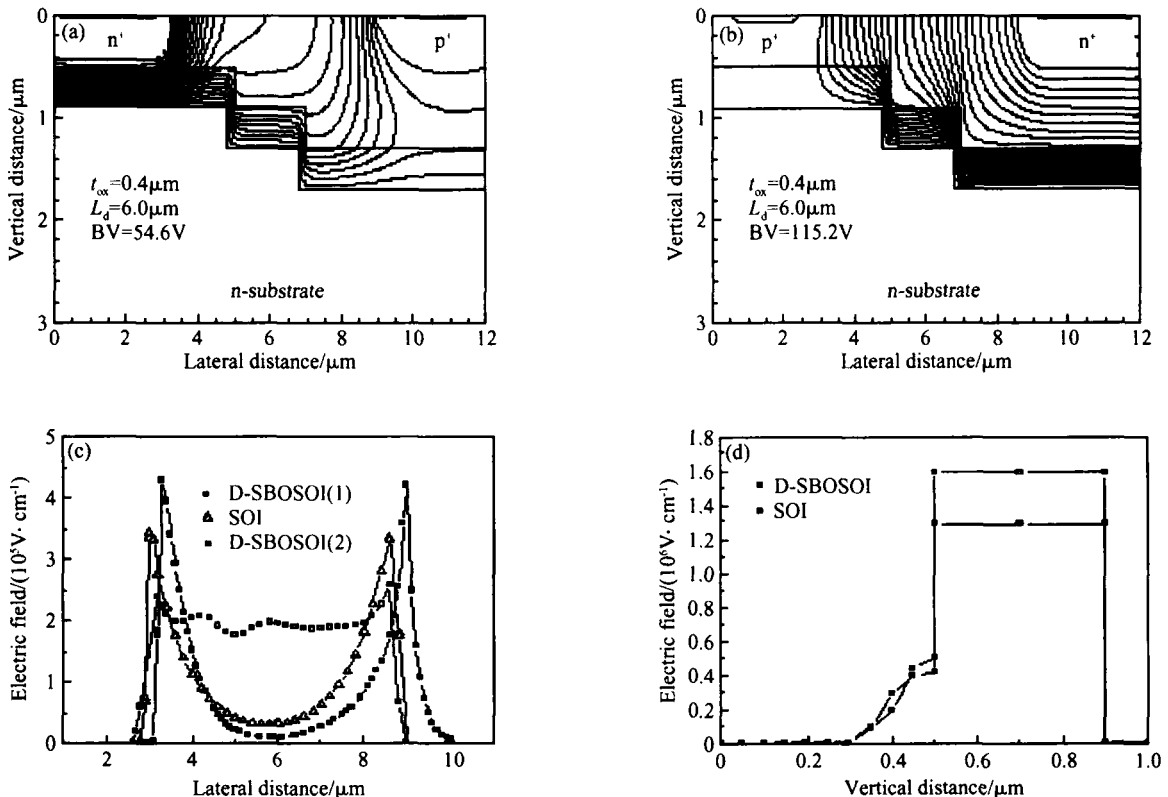


图 3 (a) D-SBOSOI(2) 的等势线分布; (b) D-SBOSOI(1) 的等势线分布; (c) 表面电场分布; (d) 纵向电场分布  
 Fig. 3 (a) Potential distribution of D-SBOSOI(2); (b) Potential distribution of D-SBOSOI(1); (c) Surface electric field distribution; (d) Vertical electric field distribution

在漏、源两端的高场区更高,中间的低场区更低;图 3(d)为 D-SBOSOI(2) 结构漏端纵向场分布,可以看出,由于没有形成空穴的积累,电场满足自由电荷为零的高斯定理的电场关系. 器件的结构参数如图 3 (a)和(b)所示,其中漂移区的浓度根据 RESURF 进行了优化.

D-SBOSOI 结构中漏端阶梯处积累的空穴密度  $Q$  随埋层阶梯数  $N$  和埋层厚度  $t_{ox}$  增加而增加,对 I 层的高电场屏蔽作用增强, I 层中的电场在硅层达

到临界击穿电场时会更大. 图 4 (a) 说明了这个规律,可以看出,在 D-SBOSOI 结构中随阶梯数和埋层厚度增加,  $E_{SiO_2} / E_{Si}$  增大;对于 SBOSOI 结构,由于没有形成空穴层的积累,  $E_{SiO_2} / E_{Si}$  满足自由面电荷为零的高斯定理的电场关系. 图 4 (b) 为击穿电压与  $N$  的关系曲线,可以看出,随  $N$  增加, D-SBOSOI 的击穿电压由于 I 层电场的增加而增加, SBOSOI 结构的击穿电压几乎不随  $N$  变化.

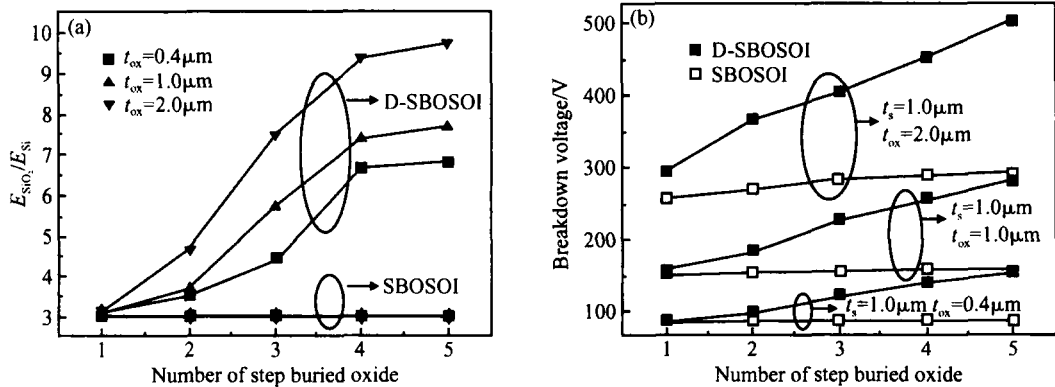


图 4  $E_{SiO_2} / E_{Si}$  (a) 和击穿电压 (b) 与埋层阶梯数关系曲线

Fig. 4  $E_{SiO_2} / E_{Si}$  (a) and breakdown voltage (b) versus number of step buried oxide

D-SBOSOI 结构漏端阶梯处(阶梯长度为  $L_s$ ) 积累的空穴密度与  $L_s$  大小有关,图 5 (a) 为漏端纵向电场与  $L_s$  的关系,随  $L_s$  减小,阶梯处积累的空穴密度越高,对 I 层高场的屏蔽作用越强,硅层与 I 层交界面处硅层一侧的电场越小,纵向 I 层中的电场越高;当  $L_s$  减小到漏端电极尺寸时, I 层中的电场增加趋于饱和;但同时随  $L_s$  减小,阶梯埋层对表面场调制的结果使靠近漏端阶梯产生的电场峰向漏端

的高场峰移动,导致表面电场趋于不均匀,横向耐压逐渐减小,图 5 (b) 说明了表面电场变化的规律. 图 5 (c) 为  $L_s$  与器件击穿电压的关系,可以看出,随  $L_s$  减小,击穿电压先上升后下降,峰值为当  $L_s$  为  $L_d$  的  $1/3$  时(对于阶梯数为 2),这可从图 5 (a) 和 (b) 解释,随  $L_s$  减小,虽因 I 层中的电场增强纵向耐压被提高,但由于表面电场趋于不均匀而使横向耐压下降.

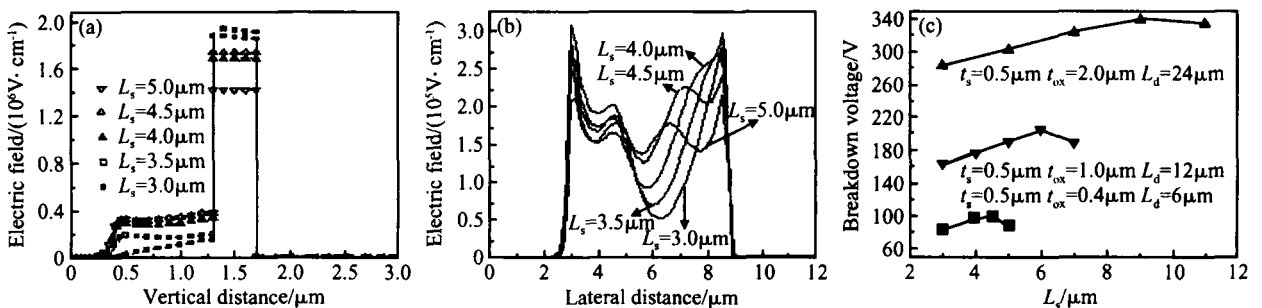


图 5 (a) 纵向电场分布; (b) 表面电场分布; (c) 击穿电压与  $L_s$  的关系

Fig. 5 (a) Vertical electric field distribution; (b) Surface electric field distribution; (c) Breakdown voltage versus  $L_s$

图 6 (a) 和 (b) 分别为击穿电压与 SOI 层厚度 ( $t_s$ ) 及 I 层厚度 ( $t_{ox}$ ) 的关系. 由图 6 (a) 可以看出,随  $t_s$  增加,三种结构的击穿电压线性增加, D-SBOSOI

结构由于 I 层场的增强,击穿电压高于 SBOSOI 和一般 SOI 结构. 图 6 (b) 中随  $t_{ox}$  增加,击穿电压也逐渐增加,当  $t_{ox}$  很小 ( $< 0.5\mu m$ ) 时, D-SBOSOI 的击穿

电压略高于另两种结构,随  $t_{ox}$  增加,击穿电压增加的比例增加.这是因为当  $t_{ox}$  很小时,阶梯 I 层积累的空穴密度较小,屏蔽作用不强,随  $t_{ox}$  增加,空穴密度增加而屏蔽作用增强.

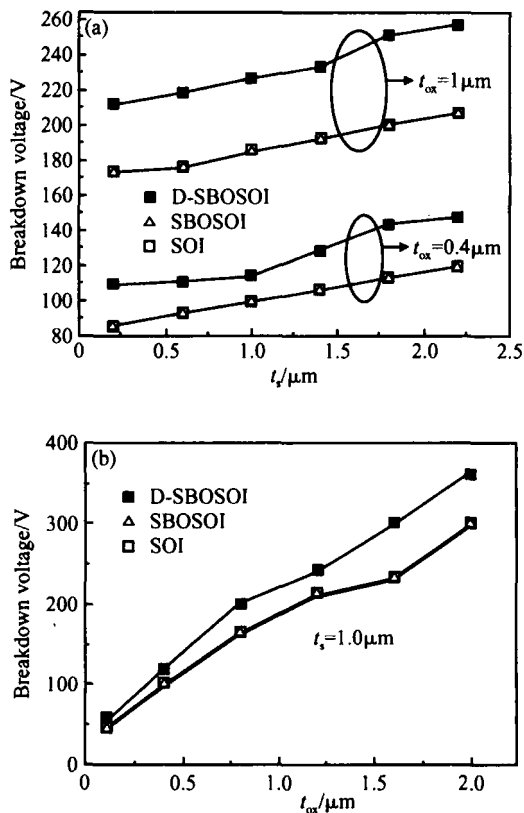


图 6 器件参数与击穿电压关系曲线 (a) 不同漂移区厚度; (b) 不同 I 层厚度

Fig. 6 Breakdown voltage versus device parameters at different thicknesses of drift region (a) and at different thicknesses of buried oxide (b)

这种结构工程上可以采用两种方法实现,一种是通过分区氧离子注入 SIMOX 技术,这种技术与传统的 SIMOX 技术不同之处在于氧离子注入过程 (SIMOX 工艺共分氧离子注入和高温退火两个阶段),分区氧注入 SIMOX 技术是在不同的注入区域通过调节注入能量和剂量,获得双面阶梯分布的埋层,高温退火过程与传统的 SIMOX 技术相同;另一种方法是采用阶梯氧化加 bonding (键合) 技术,此技术是先通过反应离子刻蚀将硅刻蚀成阶梯状,然后氧化,在硅片上就形成阶梯氧化层,再在氧化层上淀积掺杂多晶硅,通过将多晶硅抛光后与另一个硅片键合,最后根据需要的 SOI 层厚度形成阶梯埋氧型 SOI 材料.

## 4 结论

本文在单面阶梯埋氧 SOI 结构基础上,提出了

一种双面阶梯埋氧 SOI 新结构 (D-SBOSOI). 此结构通过双面阶梯对空穴和电子同时积累,积累的空穴层屏蔽了 I 层中高电场对 SOI 层的影响,使 SOI 层击穿时, I 层中的电场突破了传统上受自由面电荷为零的高斯定理限制关系,在优化条件下, I 层中的电场可高达  $200\text{V}/\mu\text{m}$ ;正负电荷的同时积累使阶梯对表面电场的调制作用增强,表面电场在优化条件下近乎达到理想的均匀分布.因此,此结构是利用 SOI 技术中的 I 层作用,达到对横向 SOI 高压器件横、纵向场的同时优化,是一种新的器件设计思想.

## 参考文献

- [1] Colinge J P. Silicon-on-insulator technology: Materials to VLSI. Kluwer Academic Publishers, 1991
- [2] Lim H T, Udrea F, Garner D M, et al. Modelling of self-heating effect in thin SOI and partial SOI LDMOS power devices. Solid-State Electron, 1999, 43: 1267
- [3] Udrea F, Garner D, Sheng K, et al. SOI power devices. Electronics and Communication Engineering Journal, 2000: 12(1): 27
- [4] Merchant S, Arnold E, et al. Realization of high breakdown voltage ( $> 700\text{V}$ ) in thin SOI device. Proc 3rd Int Symp Power Semiconductor Devices and ICs, 1991: 31
- [5] Yasuhara N, Nakagawa A, Furukawa K. SOI device structures implementing 650V high voltage output devices on VLSIs. IEDM Tech Dig, 1991: 141
- [6] Nakagawa A, Yasuhara N, Baba Y. Breakdown voltage enhancement for devices on thin silicon layer/silicon dioxide film. IEEE Tran Electron Devices, 1991, 38(7): 1650
- [7] Plikat R, Silber D, Wondrak W. Very high voltage integration in SOI based on a new floating channel technology. Proceedings of IEEE International SOI Conference, 1998: 56
- [8] Kapels H, Plikat R, Silber D. Dielectric charge traps: a new structure element for power devices. Proc Int Symp Power Semiconductor Devices and ICs, 2000: 205
- [9] Li Zhaoji, Guo Yufeng, Fang Jian, et al. A new 2-D analytical model of double RESURF in SOI high voltage devices. Proc ICSICT, 2004: 328
- [10] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for PSOI structure with p-type buried layer. Chinese Journal of Semiconductors, 2005, 26(11): 2149 (in Chinese) [段宝兴, 张波, 李肇基. 具有 p 型埋层 PSOI 结构的耐压分析. 半导体学报, 2005, 26(11): 2149]
- [11] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for step buried oxide SOI structure. Chinese Journal of Semiconductors, 2005, 26(7): 1396 (in Chinese) [段宝兴, 张波, 李肇基. 阶梯埋氧型 SOI 结构的耐压分析. 半导体学报, 2005, 26(7): 1396]
- [12] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for buried air PSOI structure. Chinese Journal of Semiconductors, 2005, 26(9): 1818 (in Chinese) [段宝兴, 张波, 李肇基. 埋空隙 PSOI 结构的耐压分析. 半导体学报, 2005, 26(9): 1818]

## Breakdown Voltage Analysis for a Double Step Buried Oxide SOI Structure

Duan Baoxing<sup>†</sup>, Zhang Bo, and Li Zhaoji

(IC Design Center, University of Electronic Science & Technology, Chengdu 610054, China)

**Abstract:** A novel structure with a double step buried oxide SOI (D-SBOSOI) is developed on the basis of single step buried oxide structure. The relation of three times the vertical electric field between the silicon and buried oxide in conventional structure has been broken due to charge accumulation on the step buried oxide in D-SBOSOI, resulting in an electric field of  $200\text{V}/\mu\text{m}$  in the buried oxide. Furthermore, the surface electric field in this structure reaches nearly ideal uniform distribution due to the additive electric field modulation by double step buried oxide. The results show that the breakdown voltage is increased because the vertical and lateral fields are optimized in this structure by virtue of 2D MEDICI simulation.

**Key words:** double step buried oxide SOI; charges accumulation; surface electric field; breakdown voltage

**EEACC:** 2560R; 2560B

**Article ID:** 0253-4177(2006)05-0886-06

---

<sup>†</sup> Corresponding author. Email: bxduan@163.com

Received 30 August 2005, revised manuscript received 14 October 2005