

n 埋层 PSOI 结构射频功率 LDMOS 的输出特性

王小松 李泽宏[†] 王一鸣 张波 李肇基

(电子科技大学微电子与固体电子学院, 成都 610054)

摘要: 提出了具有 n 埋层 PSOI(部分 SOI)结构的射频功率 LDMOS 器件. 射频功率 LDMOS 的寄生电容直接影响器件的输出特性. 具有 n 埋层结构的 PSOI 射频 LDMOS, 其 n 层下的耗尽层宽度增大, 输出电容减小, 漏至衬底的结电容比常规 LDMOS 和 PSOI LDMOS 分别降低 39.1% 和 26.5%. 1dB 压缩点处的输出功率以及功率增益比 PSOI LDMOS 分别提高 62% 和 11.6%, 附加功率效率从 34.1% 增加到 37.3%. 该结构器件的耐压比体硅 LDMOS 提高了 14%.

关键词: PSOI; n 埋层; 射频功率 LDMOS; 输出特性

PACC: 9870D; 7340Q

中图分类号: TN722.1

文献标识码: A

文章编号: 0253-4177(2006)07-1269-05

1 引言

射频功率器件是无线通信技术的重要基础^[1~3]. 射频功率 LDMOS 被广泛应用于无线通信的窄带和高增益技术中, 被认为是一种很成功的射频功率器件^[2,4], 有如下优点: (1) 在大电流范围内的跨导保持较大并为常数, 故线性放大的动态范围较大, 并在较大输出功率时能有较大的线性增益; (2) 交叉调制失真较低; (3) 较高的性价比. 然而 LDMOS 的寄生输出电容又会直接影响器件的输出特性, 包括功率增益、附加功率效率等.

学者们提出了 SOI LDMOS 结构以期减小器件的寄生效应和提高耐压^[5~8], 但 SOI 结构的自热效应和源极的外引线电感的缺点致使 SOI LDMOS 的开发及应用都受到很大的影响. 鉴于此, Ren 等人

提出了 PSOI 射频功率 LDMOS 结构, 该结构能够减小输出电容, 提高击穿电压, 改善输出特性^[1,2].

本文首先提出具有 n 埋层的 PSOI 结构的射频功率 LDMOS 器件, 然后分析 n 埋层 PSOI 射频功率 LDMOS, PSOI 射频功率 LDMOS 和常规的体硅射频功率 LDMOS 的输出特性, 借助 MEDICI 以及 Affirma RF Simulator 进行数值分析. 文中还对三种器件的耐压进行了分析, 最后给出结论.

2 器件结构

常规射频功率 LDMOS, PSOI 射频功率 LDMOS, n 埋层 PSOI 射频功率 LDMOS 的结构分别如图 1(a), (b), (c) 所示. 图中虚线为示意的耗尽区, 为了分析方便, 图 1(a) 中的点线将 n⁺ 漏/p⁺ 外延层

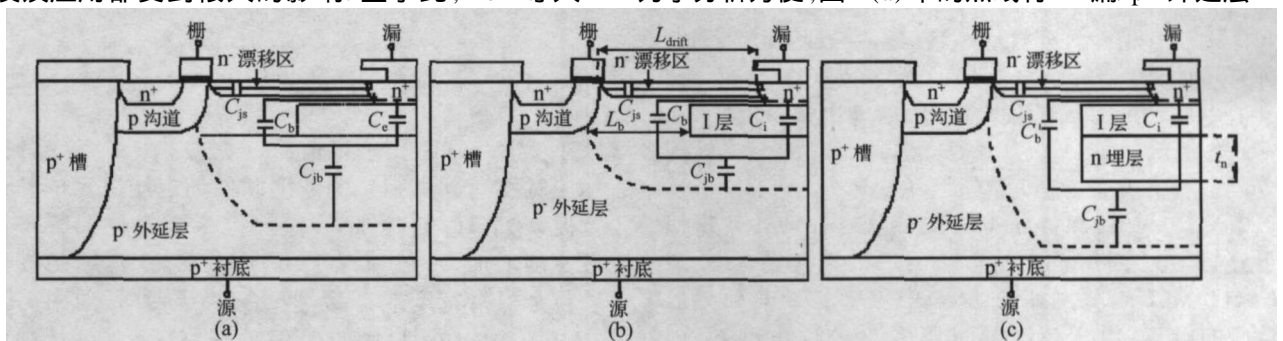


图 1 三种射频功率 LDMOS 结构剖面示意图 (a) 常规射频功率 LDMOS; (b) PSOI 射频功率 LDMOS; (c) n 埋层 PSOI 射频功率 LDMOS

Fig. 1 Cross section of three structures of RF power LDMOS (a) Normal RF power LDMOS; (b) Partial SOI RF power LDMOS; (c) Buried n layer partial SOI RF power LDMOS

[†]通信作者. Email: lizh@uestc.edu.cn
2005-12-31 收到, 2006-03-03 定稿

结的耗尽区划分为三部分, t_n 表示 n 埋层的厚度, L_{drift} 表示漂移区长度, L_b 表示与电容 C_b 对应的那部分耗尽区的横向距离. 射频功率 LDMOS 中, 输出电容由漏至衬底电容 (C_{ds})、漏至栅电容 (C_{gd}) 及漏区与源区的互连金属电容组成. 漏区与源区的互连金属电容可以通过版图的设计来减小, 而器件的寄生电容 C_{ds} 和 C_{gd} 只能通过结构的设计以及优化来减小.

3 输出特性

射频功率 LDMOS 的小信号等效电路如图 2 所示. 可得到传至负载 R_L 的功率为^[1,9]:

$$P_{out} = \frac{V_{in}^2 g_m^2 R_L}{2(1 + C_{oss}^2 R_L^2)} \quad (1)$$

式中 C_{oss} 为器件的输出电容, 其表达式为: $C_{oss} = C_{gd} + C_{ds}$. 从(1)式可看出, 随着 C_{oss} 的增加, 输出功率 P_{out} 减小, 随着频率的增加, 这种关系尤为明显.

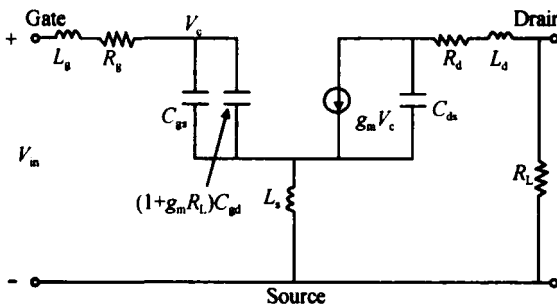


图 2 LDMOS 的小信号等效电路图

Fig. 2 Small-signal equivalent circuit of the LDMOS device

图 1(a) 中, 漏至衬底电容 C_{ds} 主要为 n^+ 漏/ p^- 外延层的结电容, 由结两端的耗尽区宽度、结面积、反偏电压和 p^- 外延层的掺杂浓度等决定. 得到

$$C_{ds} = \frac{(C_b + C_c) C_{jb}}{C_b + C_c + C_{jb}} + C_{js} \quad (2)$$

式中 C_{js} 为 n^- 漂移区中的耗尽区电容, 同时, 为便于分析, 本文将 n^+ 漏/ p^- 外延层的结电容划分为 C_b , C_c 和 C_{jb} , 分别如图 1(a) 中点线划分的耗尽区对应的电容. 由于结电容可等效为平行板电容, 因此, 通过减小结面积可以实现电容的减小, 但是这将使得接触电阻增加, 驱动电流减小. 因此, 不能完全通过减小结面积来减小输出电容.

图 1(b) 中, 在 n^+ 漏/ p^- 外延层之间引入一埋氧层, 该结构器件称为 PSOI 射频功率 LDMOS. C_{ds} 表达式为:

$$C_{ds} = \frac{(C_b + C_i) C_{jb}}{C_b + C_i + C_{jb}} + C_{js} \quad (3)$$

式中 C_i 为埋氧层的电容. 为便于分析, 假设图 1(a) 和图 1(b) 中在外延层耗尽区中的 L_b 不变, 埋氧层简单取代了原来在该处的耗尽层 (即 C_i 取代了 C_c), 由于 SiO_2 的相对介电常数小于 Si 的相对介电常数, 所以 C_i 小于 C_c . 可知, PSOI 射频功率 LDMOS 的输出电容小于常规 LDMOS 器件的输出电容. 实际上由于 SiO_2 层的存在致使电场方向发生了改变, 图 1(b) 中的 C_b 对应的 L_b 减小, 所以 C_b 也相应减小. 因此, 埋氧层的存在减小了 C_{ds} . 借助高斯定理, SiO_2 层的电场是 Si 中的 3 倍, 由此纵向电压大部分降于 SiO_2 层, Si 层下的结电压减小, 其所对应的耗尽层宽度减小, 电容 C_{jb} 有所增加. 为了克服 PSOI 射频功率 LDMOS 结构的这一不足之处, 在埋氧层的下边埋置了 n 层, 该 n 层能够增加 C_{jb} 对应的耗尽层宽度, 减小漏至衬底电容. 输出电容 C_{ds} 与 n 埋层的厚度 t_n 及浓度 N_d 的关系如图 3 所示. 从图中可知, 当 n 埋层浓度大于或等于 $7 \times 10^{14} cm^{-3}$ 时, 在 $V_{gs} = 0V$, $V_{ds} = 28V$ 条件下, 随着 t_n 从零开始增加, n 埋层/ p^- 外延结的耗尽层宽度将逐渐接近由结二侧浓度和外加电压决定的耗尽宽度, 这时 C_{ds}

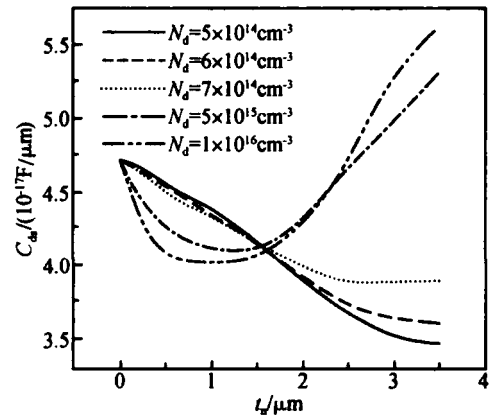


图 3 $V_{gs} = 0V$ 和 $V_{ds} = 28V$ 时 C_{ds} 与 t_n , N_d 的关系

Fig. 3 C_{ds} versus t_n and N_d when $V_{gs} = 0V$ and $V_{ds} = 28V$

减小. 当 t_n 增加到一定值后, n 埋层/ p^- 外延结的耗尽层宽度达到由结二侧浓度和外加电压决定的耗尽宽度, 随着 t_n 再增加, n 埋层中未被耗尽的等势区域宽度增加. 一般情况下 n 埋层/ p^- 外延结的耗尽层将会保持宽度地下移, 但由于实际射频功率 LDMOS 结构中 p^+ 衬底的存在, n 埋层/ p^- 外延结的耗尽层宽度将在耗尽层下移过程中减小, 此时 C_{jb} 增大, 相应地 C_{ds} 增大. 为使 C_{jb} 最小, 应使 n 埋层/ p^- 外延结的耗尽层宽度达到最大值, 如图 3 所示, 当 n 埋层为低掺杂 (小于 $7 \times 10^{14} cm^{-3}$) 时, 随着 t_n 从零开始增加, n 埋层/ p^- 外延结的耗尽层宽度也将逐渐接近由结二侧浓度和外加电压决定的耗尽宽度, 由于 n 埋层是低掺杂, 所以此时 n 埋层中的耗尽区

宽度是 C_{jb} 大小的决定因素之一, C_{jb} 随着 t_n 增加而减小, C_{ds} 也减小, 直至 n 埋层填满埋氧层底部至 p^+ 衬底间的区域.

优化得到三种结构器件的结构参数为: 源、漏结深为 $1\mu\text{m}$, 源、漏区浓度为 $1.6 \times 10^{19}\text{cm}^{-3}$, 漂移区结深为 $0.5\mu\text{m}$, 漂移区浓度为 $1.3 \times 10^{16}\text{cm}^{-3}$, 漂移区长度为 $4.5\mu\text{m}$, p 沟道浓度为 $4.2 \times 10^{16}\text{cm}^{-3}$, 衬底浓度为 $1 \times 10^{18}\text{cm}^{-3}$, 外延层浓度为 $4.9 \times 10^{14}\text{cm}^{-3}$, 外延层的厚度为 $6\mu\text{m}$, p^+ 槽浓度为 $2.1 \times 10^{18}\text{cm}^{-3}$. PSOILD MOS 的 t_n 厚度为 $1.5\mu\text{m}$. n 埋层 PSOILD MOS 的 t_n 厚度为 $1.5\mu\text{m}$, n 埋层厚度为 $3.5\mu\text{m}$, n 埋层浓度为 $5 \times 10^{14}\text{cm}^{-3}$.

借助二维仿真器 MEDICI, 在 $V_{gs} = 0\text{V}$, $f = 1\text{MHz}$ 条件下得到三种结构的 C_{ds} 与 V_{ds} 关系及 C_{gd} 与 V_{ds} 关系, 分别如图 4(a), (b) 所示. 从图 4(a) 可知, 漏端电压 $V_{ds} = 0\text{V}$ 时, n 埋层 PSOILD MOS 的 $C_{ds} = 6.13 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$, 比常规 LDMOS 的 $C_{ds} = 2.94 \times 10^{-16}\text{F} \cdot \mu\text{m}^{-1}$ 降低了 79.1%, 比 PSOILD MOS 的 $C_{ds} = 9.12 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$ 降低了 32.8%; 工作状态下, $V_{ds} = 28\text{V}$ 时, n 埋层 PSOILD MOS 的 $C_{ds} = 3.465 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$, 相对于常规 LDMOS 的 $C_{ds} = 5.687 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$ 降低了 39.1%, 相对于 PSOILD MOS 的 $C_{ds} = 4.714 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$ 降低了 26.5%.

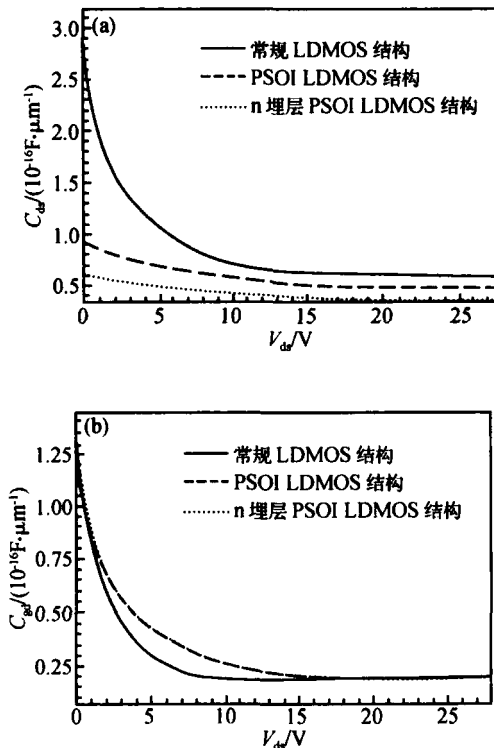


图 4 (a) 三种结构的 C_{ds} 与 V_{ds} 关系曲线; (b) 三种结构的 C_{gd} 与 V_{ds} 关系曲线
Fig. 4 (a) C_{ds} of three structures versus V_{ds} ; (b) C_{gd} of three structures versus V_{ds}

在三种结构中, C_{gd} 由漂移区与栅重叠的氧化层电容和 C_{js} 串联组成^[10]. 在本文的分析中三种结构具有相同的结构尺寸, 所以三种结构的漂移区与栅重叠的氧化层电容值相同. 对于 PSOILD MOS 结构和 n 埋层 PSOILD MOS 结构, 在 $V_{ds} = 28\text{V}$ 时, 其 t_n 层和 n 埋层的存在改变了器件的纵向电场分布, 没有影响到其横向的电场分布, 所以三种结构的 C_{js} 亦相等. 从图 4(b) 可知, 当 $V_{ds} = 0\text{V}$ 时, 三种结构的 C_{gd} 均为 $1.33 \times 10^{-16}\text{F} \cdot \mu\text{m}^{-1}$; $V_{ds} = 28\text{V}$ 时, 三种结构的 C_{gd} 均为 $1.94 \times 10^{-17}\text{F} \cdot \mu\text{m}^{-1}$.

通过 Affirma RF Simulator 分析 LDMOS 的输出特性, 在 $f = 1\text{GHz}$, $V_{ds} = 28\text{V}$, $V_{gs} = 4\text{V}$ 时, 得到功率增益、附加功率效率与输入功率的关系分别如图 5, 图 6 所示. 三种结构的阈值电压 $V_{th} = 3.75\text{V}$, 沟道长度为 $0.8\mu\text{m}$, 栅宽为 $1474\mu\text{m}$. 在 1dB 压缩点处, n 埋层 PSOILD MOS 的输出功率为 16.86W, 比常规 LDMOS 的输出功率 6.54W 提高了 158%, 比 PSOILD MOS 的输出功率 10.41W 提高了 62%; n 埋层 PSOILD MOS 的功率增益为 19.78dB, 相对常规 LDMOS 的功率增益 15.73dB 提高了 25.7%, 相对 PSOILD MOS 的功率增益 17.72dB 提高了 11.6%; n 埋层 PSOILD MOS 的附加功率效率为 37.3%, 常规 LDMOS 的附加功率效率为 32.1%, PSOILD MOS 的附加功率效率为 34.1%.

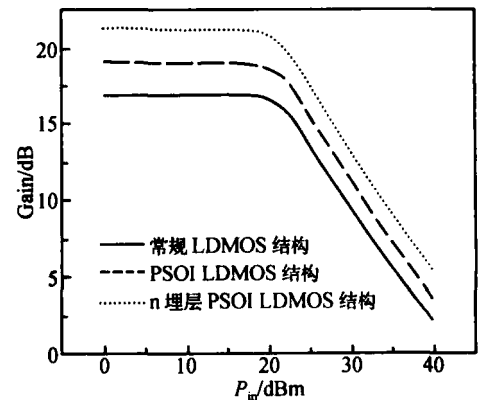


图 5 功率增益与输入功率关系曲线
Fig. 5 Power gain versus input power

LDMOS 击穿电压与漂移区长度关系如图 7 所示. 从图 7 看出, n 埋层 PSOILD MOS 在漂移区长度较大时由于有埋氧层的存在而提高了击穿电压, 在 $L_{drift} = 4.4\mu\text{m}$ 时, 其击穿电压为 108.4V, 比常规 LDMOS 的 94.9V 提高了 14%, 具有与 PSOI 射频功率 LDMOS 同样的击穿特性.

以上 LDMOS 器件都为 n 沟, 同理对 p 沟 LDMOS 分析可得到具有该类结构器件的输出特性大大优于常规 LDMOS 及 PSOI LDMOS. p 沟 LD-

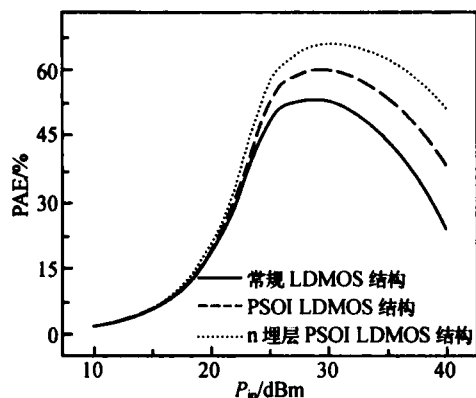


图 6 附加功率效率与输入功率关系曲线

Fig. 6 Power-added efficiency versus input power

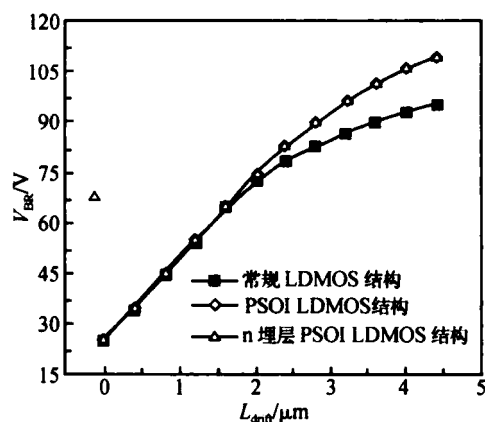


图 7 LDMOS 击穿电压与漂移区长度关系

Fig. 7 Breakdown voltage versus length of the drift region of three structures

MOS 的埋层为 p 型。

随着 SOI 材料制备技术的发展,具有 n 埋层的部分 SOI 材料可以通过键合的方法实现.此技术是先在 p^+ 衬底上外延 p^- 层,接着注入磷或砷,扩散,刻槽,在槽中填充 SiO_2 ,抛光后采用低温键合技术与另一硅片键合,然后利用减薄技术形成 n 埋层的部分 SOI 材料。

4 结论

本文提出了具有 n 埋层的 PSOI 射频功率 LDMOS 结构.分析表明,该结构器件的输出特性要大大优于常规 LDMOS 及 PSOI LDMOS.在 $V_{ds} = 0\text{V}$, $V_{gs} = 0\text{V}$, $f = 1\text{MHz}$ 时,n 埋层 PSOI LDMOS 的 C_{ds} 比常规 LDMOS 降低了 79.1%,比 PSOI LDMOS 降低了 32.8%;在 $V_{ds} = 28\text{V}$, $V_{gs} = 0\text{V}$, $f = 1\text{MHz}$ 时,n 埋层 PSOI LDMOS 的 C_{ds} 比常规 LDMOS 降低了 39.1%,比 PSOI LDMOS 降低了

26.5%.1dB 压缩点处,n 埋层 PSOI LDMOS 的输出功率以及功率增益比 PSOI LDMOS 分别提高 62%和 11.6%,附加功率效率从 34.1%增加到 37.3%;比常规 LDMOS 分别提高 158%和 25.7%,附加功率效率从 32.1%增加到 37.3%.具有 n 埋层 PSOI LDMOS 的击穿电压比常规 LDMOS 提高了 14%,与 PSOI LDMOS 具有相同的击穿特性.该器件的 PSOI 结构还具有比常规射频功率 LDMOS 器件泄漏电流小等优点,并且可缓解 SOI 结构所带来的自热效应。

参考文献

- [1] Ren Changhong, Cai Jun, Liang Y C, et al. The partial silicon-on-insulator technology for RF power LDMOSFET device and on-chip microinductors. *IEEE Trans Electron Device*, 2002, 49 (12): 2271
- [2] Ren Changhong, Liang Y C, Xu Shuming. New RF LDMOS structure with improved power added efficiency for 2GHz power amplifiers. *TENCON Proceedings*, 2000, 3: 29
- [3] Wood A, Dragon C, Burger W. High performance silicon LDMOS technology for 2GHz RF power amplifier applications. *International Electron Devices Meeting*, 1996: 87
- [4] Chen X B. Power MOSFET and high voltage integrated circuit. Nanjing: Press of Southeast University, 1989 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1989]
- [5] Fiorenza J G, del Alamo J A, Antoniadis D A. A RF power LDMOS device on SOI. *Proceedings of SOI Conference*, IEEE International, 1999: 96
- [6] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. *Chinese Journal of Semiconductors*, 2003, 24(2): 194 (in Chinese) [罗卢杨, 方健, 罗萍, 等. 具有降场电极和 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报, 2003, 24(2): 194]
- [7] Duan Baoxing, Zhang Bo, Li Zhaoji. Breakdown voltage analysis for a step buried oxide SOI structure. *Chinese Journal of Semiconductors*, 2005, 26(7): 1396 (in Chinese) [段宝兴, 张波, 李肇基. 阶梯埋氧型 SOI 结构的耐压分析. 半导体学报, 2005, 26(7): 1396]
- [8] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure and its breakdown mechanism of a SOI high voltage device with a shielding trench. *Chinese Journal of Semiconductors*, 2005, 26(11): 2154 (in Chinese) [罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. 半导体学报, 2005, 26(11): 2154]
- [9] Trivedi M, Khandelwal P, Shenai K. Performance modeling of RF power MOSFET's. *IEEE Trans Electron Devices*, 1999, 46(8): 1794
- [10] Xu Shuming, Foo Pangdow, Wen Jianqing, et al. RF LDMOS with extreme low parasitic feedback capacitance and high hot-carrier immunity. *Technical Digest of International Electron Device Meeting*, 1999: 201

Output Characteristics of a Buried n Layer RF Power PSOI LDMOS

Wang Xiaosong, Li Zehong[†], Wang Yiming, Zhang Bo, and Li Zhaoji

(*College of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China, Chengdu 610054, China*)

Abstract : A novel buried n layer partial SOI RF power LDMOS is proposed. The output characteristics of the RF power LDMOS are greatly affected by the parasitic capacitance. Because the depletion width under the buried oxide layer of the proposed structure increases, the output capacitance decreases. Its drain-substrate capacitance is 39.1% and 26.5% less than that of the normal LDMOS and the partial SOI LDMOS respectively. At the 1dB compression point, its output power and power gain are 62% and 11.6% higher than those of the partial SOI LDMOS respectively, and the power-added efficiency of the proposed structure increases from 34.1% to 37.3%. The breakdown voltage of the proposed structure is 14% higher than that of the bulk structure.

Key words : PSOI; buried n layer; RF power LDMOS; output characteristics

PACC : 9870D; 7340Q

Article ID : 0253-4177(2006)07-1269-05

[†]Corresponding author. Email: lizh@uestc.edu.cn

Received 31 December 2005, revised manuscript received 3 March 2006