

# 基于多值逻辑方法的二值神经元 MOS 电路设计技术\*

杭国强<sup>†</sup>

(浙江大学信息与电子工程学系, 杭州 310027)

**摘要:** 提出一种通过引入多值求和信号指导设计二值神经元 MOS 电路的方法. 对每个神经元 MOS 管的逻辑功能均采用传输开关运算予以表示. 在此基础上设计了实现常用二变量逻辑函数的神经元 MOS 电路和全加器等电路. 采用所提出的方法综合得到的电路结构十分简单, 而且很容易确定各耦合电容之间的取值比例. 设计结果同时表明, 利用浮栅电压信号易于实现求和的优点, 通过引入求和辅助变量可显著简化对电路的综合过程. 采用 TSMC 0.35 $\mu\text{m}$  双层多晶硅 CMOS 工艺参数的 HSPICE 模拟结果验证了所提出设计方案的正确性.

**关键词:** 开关理论; 神经元 MOS 电路; 多输入浮栅 MOS 电路; 控阈技术

**EEACC:** 1100; 1265A; 2570D

**中图分类号:** TN432

**文献标识码:** A

**文章编号:** 0253-4177(2006)07-1316-05

## 1 引言

多输入浮栅 MOS 或称神经元 MOS (neuron-MOS) 晶体管是一种具有单个器件功能性强、阈值控制灵活等特点的新型器件<sup>[1]</sup>. 该器件可以采用标准的双层多晶硅 CMOS 工艺制造, 在神经网络、模拟电路、二值和多值数字电路的设计中已显现出了良好的应用前景, 对它的研究日益受到重视<sup>[2]</sup>. 就二值数字电路而言, 已提出了一些采用该器件的基本单元电路和全加器等子系统设计方案<sup>[3~9]</sup>. 文献[3, 4]提出了一种采用浮栅电势图 (floating-gate potential diagram, FPD) 指导神经元 MOS 数字电路设计的方法. FPD 法具有较好的直观性, 但使用并不方便. 神经元 MOS 器件在浮栅上的电压是对输入信号的加权求和, 求和的结果必然导致多级信号的产生. 这样, 即使是在二值数字电路中, 浮栅上的电压实际上表现为一个多值信号, 这表明此时可以引入多值逻辑电路的设计方法来指导对二值神经元 MOS 电路的设计. 本文正是基于这一观点, 应用开关信号理论<sup>[10]</sup>, 并借鉴作者在文献[11, 12]中提出的阈值控制原理, 提出了一种适用于神经元 MOS 电路设计的新方法. 该方法首先建立了描述浮栅 MOS 开关栅极输入(控制)信号、传输源以及检测阈值三者之间相互作用关系的传输运算表示式, 在此基础上对每个浮栅 MOS 管的逻辑功能均采用了公

式化表示, 由此可以对神经元 MOS 电路阈值的控制和电路综合进行有效指导.

## 2 神经元 MOS 反相器和开关运算定义

### 2.1 神经元 MOS 反相器

图 1(a) 所示电路为由 p 沟道和 n 沟道浮栅 MOS 管构成的互补神经元 MOS 反相器<sup>[1]</sup>, 其中浮栅由第一层多晶硅形成, 多个输入控制栅则由第二层多晶硅形成. 输入端与浮栅之间通过电容实现耦合, 反相器各端电压与耦合电容如图 1(b) 所示. 图中  $V_F$  表示浮栅上的电压,  $V_1, V_2, \dots, V_n$  为输入信号电压;  $C_{0n}$  和  $C_{0p}$  分别为浮栅与衬底和浮栅与 n 阱之间的电容, 它们主要由栅氧化层电容  $C_{ox}$  构成,  $C_1, C_2, \dots, C_n$  为各个输入栅与浮栅之间的耦合电容. 这样, 反相器浮栅电压  $V_F$  由下式决定:

$$V_F = \frac{\sum_{i=1}^n C_i V_i + C_{0p} V_{DD}}{C_1 + C_{0n} + C_{0p}} \quad (1)$$

假设由浮栅端看进去的反相器的阈值电压(开关电压)为  $V_{inv}$ , 则当  $V_F > V_{inv}$  时反相器导通, 反之反相器截止. 因此电路设计时可以保持  $V_{inv}$  不变(例如可取  $V_{inv} = V_{DD}/2$ ), 通过改变耦合电容之间的比例关

\*浙江省自然科学基金资助项目(批准号: Y105124)

<sup>†</sup>通信作者. Email: hanggq@mail.hz.zj.cn

2005-11-09 收到, 2006-02-09 定稿

系或改变控制端电压来调整电路相对于某一输入信号的开关阈值。

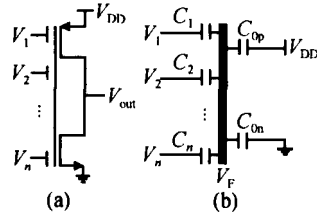


图 1 (a) 互补神经元 MOS 反相器; (b) 电容模型

Fig. 1 (a) Complementary neuron MOS inverter; (b) Capacitive model

### 2.2 开关运算定义

根据开关-信号理论<sup>[10]</sup>,为了描写浮栅 MOS 开关与信号之间的相互作用,定义如下四种基本运算:

高阈比较运算

$$x \triangleright \begin{cases} T, & x > t \\ F, & x < t \end{cases} \quad (2)$$

低阈比较运算

$$x \triangleleft \begin{cases} T, & x < t \\ F, & x > t \end{cases} \quad (3)$$

式中  $x \in \{0, 1, \dots, m-1\}$ , 它反映浮栅上的信号变化状态,其值等于浮栅 MOS 开关输入端的高电平数目. 注意  $x$  并不代表实际电压大小,实际电压值还需考虑加权系数,这一点与直接求和是不同的.  $t \in \{0.5, \dots, m-1.5\}$  代表检测阈,用于检测输入(控制)信号中高电平的数目. T 和 F 描写浮栅 MOS 管的通与断两种开关状态. 在物理上,上述二式分别描述 n 沟道和 p 沟道浮栅 MOS 管的工作状态.

传输运算

$$s \triangleright \begin{cases} s, & \phi = T \\ \phi, & \phi = F \end{cases} \quad (4)$$

式中  $s$  为传输源;  $\phi$  是表示浮栅 MOS 管开关状态的开关变量,  $\phi \in \{T, F\}$ . 当浮栅 MOS 管导通时该源信号被传输至输出端.  $\phi$  为高阻态,表示传输管截止时输出呈现高阻态.

并运算

$$s_1 \triangleright \# s_2 \triangleright \begin{cases} s_1 \triangleright, & \phi = F \\ s_2 \triangleright, & \phi = F \end{cases} \quad (5)$$

式中“传输运算  $\triangleright$ ”的运算级别高于并运算“ $\#$ ”; 为开关变量,  $\phi \in \{T, F\}$ . 上式中当  $s_1 \triangleright s_2$  时不允许  $\phi$  同时为 T,因为它在物理上表示源  $s_1$  与  $s_2$  之间短路. (5) 式描述了两路由浮栅 MOS 开关控制传输的信号源在输出端的并接. 例如在图 1 (a) 中,可以用  $s_1$  表示传输源  $V_{DD}$ ,用  $s_2$  表示传输源 0 (接地端),用  $\phi$  描述 p 型浮栅 MOS 管的开关状态,用  $\psi$  描述 n 型浮栅 MOS 管的开关状态.

### 3 采用多值逻辑方法的神经元 MOS 电路设计

神经元 MOS 电路的开关状态是由浮栅上的电压决定的,而该电压是对各输入信号的加权求和,因此在电路设计时可反映求和的量作为一个辅助信号来使用. 例如,在表示一些常用的二变量函数  $f(x, y)$  时可以把  $\phi = x \& y$  当作辅助变量来使用. 需要说明的是  $\phi$  反映参加求和的输入信号的高电平数目,因此  $\phi = 1$  时的实际电压信号与输入信号  $x = 1$  或  $y = 1$  时的电压信号是不相等的,因为浮栅上电压是加权求和而不是直接求和. 表 1 所示的真值表中已将该辅助变量列上,并且可以看出表中的诸函数均可简单地表示为  $\phi$  的函数. 由于一级神经元 MOS 电路具有反相功能,因此对补函数  $\overline{f(x, y)}$  的综合易于实现,而要实现  $f(x, y)$  只需后接一级普通 CMOS 反相器. 由真值表 1 可得与非运算的传输运算表达式:

$$x \triangleright y = 1 \triangleright^{1.5} \# 0 \triangleright^{1.5} \quad (6)$$

上式表明,当  $\phi < 1.5$  时,输出为 1;反之,输出为 0. 设从浮栅端看进去的电路的阈值电压为  $V_{inv} = V_{DD}/2$ . 取输入端耦合电容  $C_1 = C_2$ ,若忽略寄生电容,则上式要求  $C_1 V_{DD}/C_{TOT} < V_{DD}/2$ ,其中  $C_{TOT}$  为总的耦合电容. 当  $C_{TOT} = C_1 + C_2 = 2C_1$  时,显然该不等式不成立(除非增大阈值电压  $V_{inv}$ ),因此需要增加一接地电容  $C_3$ ,此时  $C_{TOT} = C_1 + C_2 + C_3 = 2C_1 + C_3$ ,一定能满足不等式要求. 当  $\phi > 1.5$  时,  $2C_1 V_{DD}/C_{TOT} > V_{DD}/2$ ,因此求得  $C_3 < 2C_1$ . 由此设计的与非门电路如图 2 (a) 所示,例如可取  $C_1 = C_2 = C_3$ . 若设计时取  $V_{inv} > V_{DD}/2$ ,则相应的电路实现如图 2 (b) 所示.

表 1 常用二变量函数  $f(x, y)$  的真值表

Table 1 Truth table of two-variable common functions

$f(x, y)$		$\overline{x \& y}$	$x \& y$	$\overline{x \& y}$	$x \& y$	$\overline{x \oplus y}$	$x \oplus y$
0	0	0	1	0	1	0	1
0	1	1	0	0	1	0	1
1	0	1	0	0	1	0	1
1	1	2	0	1	0	1	0

由真值表 1 可得或非运算的传输运算表达式:

$$x \triangleright y = 1 \triangleright^{0.5} \# 0 \triangleright^{0.5} \quad (7)$$

上式表明,当  $\phi > 0.5$  时,电路传输 0. 取输入端耦合电容  $C_1 = C_2$ ,  $V_{inv} = V_{DD}/2$ ,上式要求  $C_1 V_{DD}/C_{TOT} > V_{DD}/2$ . 当  $C_{TOT} = C_1 + C_2 = 2C_1$  时,该不等式也不能成立(除非降低阈值电压  $V_{inv}$ ),因此可增加一接  $V_{DD}$  的小电容  $C_0$ . 这样  $(C_1 + C_0) V_{DD}/C_{TOT} > V_{DD}/2$  就一

定能满足,其中  $C_{TOT} = C_1 + C_2 + C_0 = 2C_1 + C_0$ . 加入  $C_0$  后为保证  $x = y = 0$  时,电路传输“1”,要求  $C_0 V_{DD} / (2C_1 + C_0) < V_{DD} / 2$ ,因此得  $C_0 < 2C_1$ . 由此设计的电路如图 3(a)所示.若设计时取  $V_{inv} < V_{DD} / 2$ ,则相应的电路实现如图 3(b)所示.

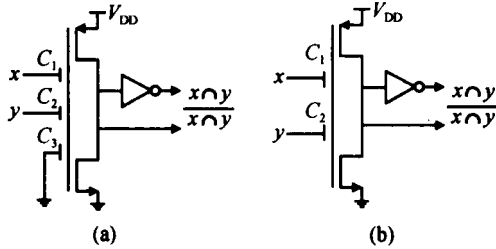


图 2 神经元 MOS 与/与非门 (a)  $V_{inv} = V_{DD} / 2$ ; (b)  $V_{inv} > V_{DD} / 2$

Fig. 2 Neuron-MOS AND/NAND gates (a)  $V_{inv} = V_{DD} / 2$ ; (b)  $V_{inv} > V_{DD} / 2$

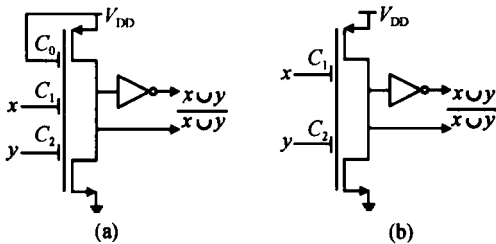


图 3 神经元 MOS 或/或非门 (a)  $V_{inv} = V_{DD} / 2$ ; (b)  $V_{inv} < V_{DD} / 2$

Fig. 3 Neuron-MOS OR/NOR gates (a)  $V_{inv} = V_{DD} / 2$ ; (b)  $V_{inv} < V_{DD} / 2$

同样,由真值表 1 可得异或非运算的传输运算表达式:

$$\begin{cases} x \oplus y = 1 \triangleright^{(2.5-2c_+)} \# 0 \triangleright^{(2.5-2c_+)} \\ c = 1 \triangleright^{1.5} \# 0 \triangleright^{1.5} \end{cases} \quad (8)$$

(8)式中借鉴了作者在文献[11,12]中提出的阈值控制技术.该式表明产生  $x \oplus y$  的检测阈值受到了  $c$  信号的控制,因此实现  $x \oplus y$  需要两级电路.产生控制信号  $c$  的表达式与(6)式是一致的,因此该电路即为二输入与非门.现在讨论后级电路对耦合电容的设计要求.设后级电路中与  $x$  和  $y$  端相接的电容分别为  $C_4$  和  $C_5$ ,且  $C_4 = C_5$ ,与控制端  $c$  相接的电容为  $C_6$ ,当  $c = 1$ , (8)式要求  $C_6 V_{DD} / (C_4 + C_5 + C_6) < V_{DD} / 2$ ,求得  $C_6 < 2C_4$ ;当  $c = 0$ ,即  $c = 2$  时,也要求  $(C_4 + C_5) V_{DD} / (C_4 + C_5 + C_6) < V_{DD} / 2$ ,求得  $C_6 > 2C_4$ ,这与前一种情况相矛盾.因此需增加一接地电容  $C_7$  以满足设计要求.这样当  $c = 1, c = 0$  时,要求  $C_6 V_{DD} / (2C_4 + C_6 + C_7) < V_{DD} / 2$ ,得  $C_6 < 2C_4 + C_7$ ;当  $c = 1, c = 1$  时,要求  $(C_4 + C_6) V_{DD} / (2C_4 + C_6 + C_7) > V_{DD} / 2$ ,得  $C_6 > C_7$ ;当  $c = 0, c = 2$

时,要求  $2C_4 V_{DD} / (2C_4 + C_6 + C_7) < V_{DD} / 2$ ,得  $C_6 > 2C_4 - C_7$ .由此设计的电路如图 4 所示,其中  $C_6$  的选择需满足上述三个不等式的要求.例如,可取  $C_4 = C_5 = C_7, C_6 = 2C_4$ .

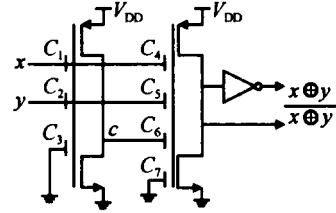


图 4 神经元 MOS 异或/异或非门

Fig. 4 Neuron-MOS XOR/XNOR gate

现在讨论二值神经元 MOS 全加器的设计,由于它的进位输出  $c_+$  及和输出  $s$  完全反映求和的结果,因此与反映两个待加输入  $x, y$  及低位进位输入  $c_0$  中的高电平数目  $= x \& y \& c_0$  有关.表 2 为引入变量后的二值全加器真值表,此时浮栅上的信号可以看作一个四值逻辑信号 ( $m = 4$ ).由表 2 可得:

$$s = \frac{1}{c_+} \triangleright^{(2.5-2c_+)} \# 0 \triangleright^{(2.5-2c_+)} \quad (9)$$

$$c_+ = 1 \triangleright^{1.5} \# 0 \triangleright^{1.5} \quad (10)$$

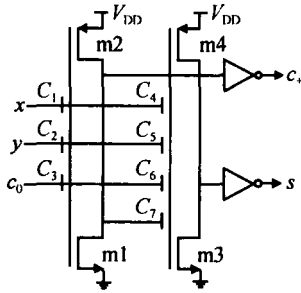
表 2 引入和信号的二值全加器真值表

Table 2 Truth table of full adder adopting summation signal

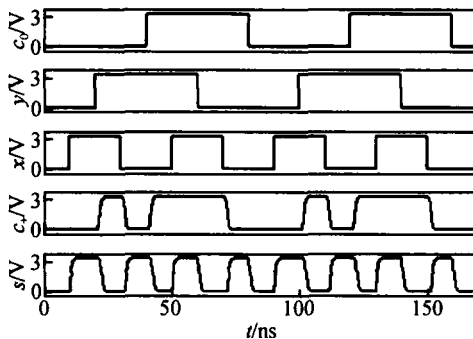
	0	1	2	3
$\bar{s}$	1	0	1	0
$\bar{c}_+$	1	1	0	0

注意到(9)式中引入了文献[11,12]中提出的阈值控制技术,当  $c_+ = 1$  时,检测阈值为 0.5,而当  $c_+ = 0$  时,检测阈值上跳至 2.5.先讨论产生  $\bar{c}_+$  的电路设计,设三个输入端  $x, y$  及  $c_0$  的耦合电容分别为  $C_1, C_2$  和  $C_3$ ,并取  $C_1 = C_2 = C_3$ . (10)式要求:  $C_1 V_{DD} / 3C_1 < V_{DD} / 2, 2C_1 V_{DD} / 3C_1 > V_{DD} / 2$ ,显然这两个不等式一定能成立.因此产生  $\bar{c}_+$  的电路只需要一个三输入端的浮栅 MOS 反相器,且各输入端具有相同的耦合电容.由于产生  $\bar{s}$  的电路阈值受到  $\bar{c}_+$  信号的控制,因此该电路至少有四个输入端.假设与三个输入信号  $x, y$  及  $c_0$  相接的耦合电容分别为  $C_4, C_5$  和  $C_6$ ,并取  $C_4 = C_5 = C_6$ ,与  $\bar{c}_+$  信号相接的耦合电容为  $C_7$ .根据(9)式,当  $\bar{c}_+ = 1$  时,要求  $C_7 V_{DD} / (3C_4 + C_7) < V_{DD} / 2$ ,得  $C_7 < 3C_4$ ,且  $(C_4 + C_7) V_{DD} / (3C_4 + C_7) > V_{DD} / 2$ ,得  $C_7 > C_4$ ;当  $\bar{c}_+ = 0$  时,要求  $2C_4 V_{DD} / (3C_4 + C_7) < V_{DD} / 2$ ,得  $C_7 > C_4$ ,且  $3C_4 V_{DD} / (3C_4 + C_7) > V_{DD} / 2$ ,得  $C_7 < 3C_4$ .可见无论  $\bar{c}_+ = 1$  或  $\bar{c}_+ = 0$ ,对电容  $C_7$  的选择要求是一致的,即满足  $C_4 < C_7 < 3C_4$ .由此设计的基于神经元 MOS 管的二

值全加器电路如图 5(a) 所示. 例如, 可取  $C_1 = C_2 = C_3 = C_4 = C_5 = C_6, C_7 = 2C_4$ .



(a)



(b)

图 5 神经元 MOS 全加器 (a) 全加器; (b) 瞬态特性

Fig. 5 Neuron-MOS full adder (a) Full adder; (b) Simulated waveforms of transient characteristics

以上设计表明, 采用多值逻辑方法指导设计二值神经元 MOS 电路是有效的, 基于这种方法综合得到的电路均具有十分简单的结构, 而且各耦合电容之间的取值比例十分明确. 所提出的电路均已通过 HSPICE 模拟程序验证. 以图 5(a) 所示的全加器电路为例, 输入为格雷码编码的信号, 取耦合电容  $C_1 \sim C_6$  为 100fF,  $C_7 = 200fF$ , 电源电压  $V_{DD} = 3.3V$ , 采用 TSMC 0.35 $\mu m$  双层多晶硅 CMOS 工艺参数经 HSPICE 模拟得到其瞬态特性如图 5(b) 所示. 表 3 给出了图 5(a) 所示神经元 MOS 全加器与迄今为止所提出的最简单的带驱动输出的 CMOS 全加器<sup>[13]</sup>在 MOS 管数、功耗以及速度方面的比较结果. 电路模拟比较时, 取所有 MOS 管的沟道长度  $L = 0.35\mu m$ , 图 5(a) 中 m1 和 m2 的沟道宽度分别为  $W = 1.05\mu m$  和  $W = 3.15\mu m$ , m3 和普通 nMOS 管的沟道宽度  $W = 0.525\mu m$ , m4 和普通 pMOS 管的沟道宽度  $W = 1.575\mu m$ ; 输入信号与图 5(b) 相同; 输出端接负载电容 100fF. 可以看出神经元 MOS 全加器在 MOS 管数和内部互联线数两方面均得到了显著减少. 需要指出的是, 在满足各耦合电容比例关系的条件下, 电容的具体取值可增大或减

小, 这应依据寄生电容的影响而定. 减小耦合电容的取值可以提高电路的速度. 此外, 对图 5(a) 所示电路, 第一级神经元电路的负载较大, 加大该级浮栅 MOS 管的尺寸可以减少电路的延迟时间, 但同时也会增加馈通电流, 这需权衡利弊.

表 3 全加器性能比较

Table 3 Performance comparison between adders

全加器	MOS 管数	平均功耗/ $\mu W$	平均延迟/ ns	
			和输出	进位输出
图 5(a)	8	497.8	1.61	1.88
文献[13]	22	102.4	0.87	0.89

### 4 结论

本文提出了一种通过引入中间求和变量指导设计二值神经元 MOS 数字电路的开关级设计技术. 由于浮栅上的电压是对各输入端信号的加权求和, 求和的结果必然导致浮栅上出现多级电压信号(而不仅仅是两种取值), 因此在二值神经元 MOS 电路的设计中引入多值逻辑的设计方法就显然是合理的. 在传统的 CMOS 电路中, MOS 器件的阈值是由工艺决定的, 不易改变; 电路的阈值虽可以通过调整 MOS 管几何尺寸比来改变, 但几何尺寸确定后对电路阈值的控制很难实现. 神经元 MOS 器件相对于输入信号端的阈值可以受外部信号的控制, 这给实施电路电压阈值的控制提供了条件. 在电路设计理论方面, 本文以开关-信号理论为指导, 建立了描述神经元 MOS 开关栅极输入(控制)信号、传输源以及阈值三者之间相互作用关系的传输运算表示式, 这样对于每个神经元 MOS 管的逻辑功能均采用了公式化表示, 从而可以有效指导对神经元 MOS 电路阈值的控制和电路的综合. 由于在电路设计时将阈值作为了一个参量加以利用, 使得电路设计更为灵活, 并增强了综合电路的能力. 从传输运算表达式(而不是从经验出发)所获得的综合结果均具有十分简单的结构, 对阈值的控制机理很明确, 并且很容易确定各耦合电容之间的取值关系. 采用 TSMC 0.35 $\mu m$  双层多晶硅 CMOS 工艺参数的 HSPICE 模拟结果验证了该设计的正确性. 阈值控制技术的实施, 除了应具有易控性外, 另一个条件是电路中存在多值信号(如浮栅上的信号). 因为对多值信号的检测必然需要多个检测阈, 这才有了控制的对象. 多值逻辑电路具有多个检测阈开关, 阈值控制技术无疑是有用武之地的, 因此本文提出的方法可推广至对多值神经元 MOS 电路的设计.

## 参考文献

- [ 1 ] Shibata T, Ohmi T. A functional MOS transistor featuring gate-level weighted sum and threshold operations. *IEEE Trans Electron Devices*, 1992, 39(6) :1444
- [ 2 ] Hasler P, Lande T S. Overview of floating-gate devices, circuits, and systems. *IEEE Trans Circuits Syst* ,2001, 48(1) :1
- [ 3 ] Shibata T, Ohmi T. Neuron MOS binary-logic integrated circuits- part : design fundamentals and soft-hardware-logic circuits implementation. *IEEE Trans Electron Devices*, 1993, 40(3) :570
- [ 4 ] Shibata T, Ohmi T. Neuron MOS binary-logic integrated circuits- part :Simplifying techniques of circuit configuration and their practical applications. *IEEE Trans Electron Devices*, 1993, 40(5) :974
- [ 5 ] Weber W, Prange S J, Thewes P, et al. On the application of the Neuron MOS transistor principle for modern VLSI design. *IEEE Trans Electron Devices*, 1996, 43(10) :1700
- [ 6 ] Berg Y, Wisland D T, Lande T S. Ultra low-voltage/ low-power digital floating-gate circuits. *IEEE Trans Circuits Syst* , 1999, 46(7) :930
- [ 7 ] Rodriguez-Villegas E, Huertas G, Avedillo M J, et al. A practical floating-gate Muller-C element using MOS threshold gates. *IEEE Trans Circuits Syst* ,2001, 48(1) :102
- [ 8 ] Sinencio L F C, Sanchez A D, Angulo J R. A novel serial multiplier using floating-gate transistors. *Proc of IEEE International Symposium on Circuits and Systems*, Vancouver, Canada, 2004, -861
- [ 9 ] Sakamoto M, Mizukami S, Hamano D, et al. A design of 4-operand redundant binary parallel adder using neuron MOS. *Proc of IEEE International Symp on Circuits and Systems*, Vancouver, Canada, 2004, -793
- [ 10 ] Wu Xunwei, Prosser F. Design theory of digital circuits at switch level. *Science in China (Series E)*, 1996, 39(4) :424
- [ 11 ] Hang Guoqiang, Ren Hongbo, Wu Xunwei. Design of current-mode CMOS quaternary circuits based on threshold-controllable technique. *Chinese Journal of Semiconductors*, 2002, 23(5) :523 (in Chinese) [ 杭国强, 任洪波, 吴训威. 基于控阈技术的四值电流型 CMOS 电路设计. *半导体学报*, 2002, 23(5) :523]
- [ 12 ] Hang Guoqiang. Universal design method for current-mode CMOS adders based on threshold-controllable technique. *Acta Electronica Sinica*, 2004, 32(8) :1367 (in Chinese) [ 杭国强. 基于控阈技术的电流型 CMOS 全加器的通用设计方法. *电子学报*, 2004, 32(8) :1367]
- [ 13 ] Zhang N, Wu H. A new design of the CMOS full adder. *IEEE J Solid-State Circuits*, 1992, 27(5) :840

## A Design Technique of Neuron MOS Binary Circuits Based on Multiple-Valued Logic<sup>\*</sup>

Hang Guoqiang<sup>†</sup>

(Department of Information & Electronic Engineering, Zhejiang University, Hangzhou 310027, China)

**Abstract :** A design method for binary neuron MOS circuits employing a summation signal with multiple values is presented. The logical relation of each neuron MOS transistor is formulated using the transmission operation in order to make effective and practical use of the circuits. Using the proposed method, some neuron MOS circuits realizing two-variable common functions and a full adder are designed, and the ratio of the coupling capacitance in each circuit can be calculated conveniently. All the proposed circuits have very simple configurations. Furthermore, the synthesis procedures can be simplified significantly since the voltage signals are added easily by means of floating gates in the neuron MOS transistors. The effectiveness of the proposed approach is validated by HSPICE simulation using TSMC 0.35 $\mu\text{m}$  double-polysilicon CMOS technology.

**Key words :** switching theory; neuron MOS circuit; multiple-input floating-gate MOS circuit; threshold-controllable technique

**EEACC :** 1100; 1265A; 2570D

**Article ID :** 0253-4177(2006)07-1316-05

<sup>\*</sup>Project supported by the Natural Science Foundation of Zhejiang Province (No. Y105124)

<sup>†</sup>Corresponding author. Email: hanggq@mail.hz.zj.cn

Received 9 November 2005, revised manuscript received 9 February 2006