

# 射频功率 LDMOS 槽形漂移区结构优化设计

王一鸣 李泽宏<sup>†</sup> 王小松 翟向坤 张 波 李肇基

(电子科技大学微电子与固体电子学院, 成都 610054)

**摘要:** 对射频功率 LDMOS 槽形漂移区的结构进行了优化设计. 基于射频功率 LDMOS 的频率特性, 提出了矩形、倒三角形和正三角形槽结构, 对槽的位置、深度、宽度进行分析, 在满足相同的耐压和导通电阻条件下, 得出最优结构为正三角形槽结构, 该结构实现了最大程度地减小寄生反馈电容的目的, 寄生反馈电容减小了 24%, LDMOS 的截止频率提高了 15%.

**关键词:** 射频功率 LDMOS; 槽形结构; 寄生反馈电容; 截止频率

**PACC:** 9870D; 7340Q

**中图分类号:** TN722.1

**文献标识码:** A

**文章编号:** 0253-4177(2006)08-1441-06

## 1 引言

射频功率 LDMOS 以其高增益、极好的线性度以及较低的生产成本被广泛应用于无线通信系统<sup>[1,2]</sup>. 且 LDMOS 与超大规模集成技术兼容, 容易与其他工艺和器件集成<sup>[3]</sup>. 与射频功率双极晶体管相比较, 特别是在射频应用方面, LDMOS 在大电流范围内的跨导保持较大并为常数以及交叉调制失真小是双极晶体管所不能达到的<sup>[4]</sup>. 提高射频功率 LDMOS 的特性, 需要减小 LDMOS 的寄生电容, 学者们一直在进行分析研究<sup>[5~8]</sup>, 如 Ren 等人提出了 PSOI 射频功率 LDMOS 结构<sup>[5]</sup>, 本研究小组提出的 n 埋层 PSOI 射频功率 LDMOS 结构<sup>[6]</sup>等. 为了减小寄生反馈电容 ( $C_{gd}$ ), 提高截止频率 ( $f_t$ ), 我们在槽形漂移区功率 MOS 器件和屏蔽槽 SOI 高压器

件的研究基础上<sup>[9,10]</sup>, 研究发现槽形漂移区结构可减小 LDMOS 的  $C_{gd}$ .

本文首先提出不同结构形状的槽形漂移区 LDMOS, 然后在功率 LDMOS 器件必须满足耐压和导通电阻的条件下, 分析寄生反馈电容. 借助二维仿真器 MEDICI 对槽的位置、深度、宽度进行分析, 最后给出优化结构设计.

## 2 结构与分析

槽形漂移区结构为矩形、倒三角形和正三角形的 LDMOS 器件分别如图 1(a), (b) 和 (c) 所示. 器件制作在  $p^-$  外延层上, 一个重掺杂  $p^+$  sinker 层扩散至与衬底相连, 以消除源极外引线电感, 使射频增益增大.

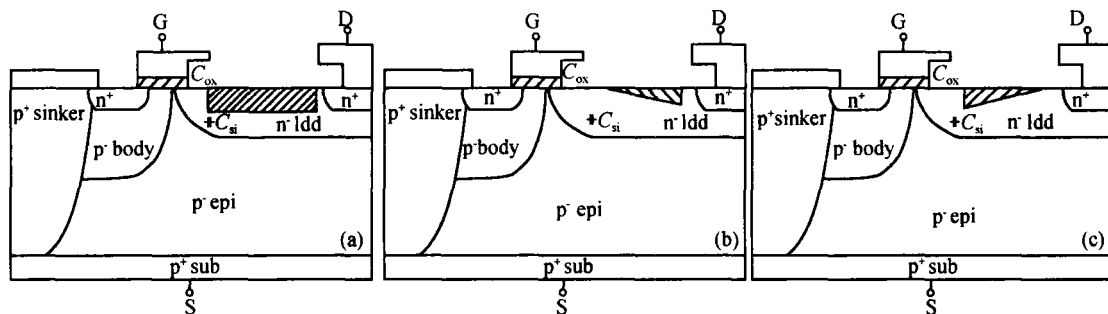


图 1 漂移区槽形结构射频功率 LDMOS (a) 矩形槽 LDMOS 结构; (b) 倒三角形槽 LDMOS 结构; (c) 正三角形槽 LDMOS 结构

Fig. 1 Cross section of trench structures of RF power LDMOS (a) LDMOS of rectangle trench structure; (b) LDMOS of converse triangle trench structure; (c) LDMOS of triangle trench structure

<sup>†</sup>通信作者. Email: lizh@uestc.edu.cn

2005-12-30 收到, 2006-03-03 定稿

由文献[11]可知,寄生反馈电容  $C_{gd}$  为:

$$C_{gd} = \frac{C_{ox} C_{si}}{C_{ox} + C_{si}} \quad (1)$$

式中  $C_{ox}$  为栅极与漂移区重叠氧化层电容,其与栅极与漂移区重叠面积和栅氧厚度有关; $C_{si}$  为漂移区耗尽电容,与漂移区结深和掺杂浓度有关.为了尽可能减小  $C_{gd}$ ,应从减小  $C_{ox}$  与  $C_{si}$  角度考虑.在器件的栅极与漂移区重叠面积和栅氧厚度一定的情况下, $C_{ox}$  值确定,所以要减小  $C_{gd}$ ,就应减小  $C_{si}$ .漂移区刻槽,填充二氧化硅或者氮化硅等绝缘材质,由于二氧化硅、氮化硅的介电常数小于硅,因此  $C_{si}$  变小.漂移区刻槽器件必须满足 LDMOS 的耐压及导通电阻等基本特性,在上述三种器件的结构参数相同且不变条件下,借助二维仿真器 MEDICI 对漂移区具有槽形结构的射频功率 LDMOS 进行分析,得到优化结构.以下分析为槽中填充二氧化硅绝缘材质.

### 3 结果与讨论

#### 3.1 矩形槽结构

LDMOS 的栅长为  $1.2\mu\text{m}$ ,栅氧厚度为  $100\text{nm}$ ;漂移区横向初始位置在  $7\mu\text{m}$  处,漂移区结深为  $1.5\mu\text{m}$ .器件的工作电压为:源漏端电压  $28\text{V}$ ,栅压  $4\text{V}$ .为了满足耐压达到  $110\text{V}$  以上,以及在漏电流为  $3\text{A}$  时源漏导通电压保持在  $1\text{V}$ ,得到优化的漂移区长度为  $4.6\mu\text{m}$ .在  $f = 1\text{MHz}$  条件下,测得在不同漏源电压下,常规结构的寄生反馈电容的值如下: $V_{ds} = 28\text{V}$  时,  $C_{gd} = 2.33 \times 10^{-17} \text{F}/\mu\text{m}$ ;  $V_{ds} = 50\text{V}$  时,  $C_{gd} = 1.90 \times 10^{-17} \text{F}/\mu\text{m}$ .

首先,分析槽在器件中的起始位置对器件特性的影响.取槽宽为  $2\mu\text{m}$ ,在不同槽深下,耐压和导通电压随槽起始位置移动的变化如图 2(a),(b) 所示.

从图 2(a) 中可看出,槽靠近栅端时,耐压较高,随着槽向右侧移动,耐压下降.这是因为,由于 MOS 管在栅边缘处电场集中,击穿常常容易在这里发生,在靠近栅处的槽可以承受栅边缘最大电场,特别是槽越深能够承受的最大电场范围增大,所以耐压较高;而当槽远离栅,向右侧移动,使器件表面电场分布发生变化,导致耐压下降.

同样,如图 2(b) 所示,随着槽向右端移动时,导通电阻也将减小,这可从电流路径变化分析.当槽靠近栅端时,电流流经漂移区的路径较长,而且槽左侧电流通路很窄;当槽向右端移动时,使槽左侧电流通路变宽,导通电阻减小,但与常规结构相比,电流路径变长,所以导通电阻仍然大于常规结构时的值.

在不同漏源电压下, $C_{gd}$  随槽起始位置移动的变化曲线(取槽宽  $2\mu\text{m}$ ,槽深  $0.4\mu\text{m}$ ) 如图 3(a) 所示.

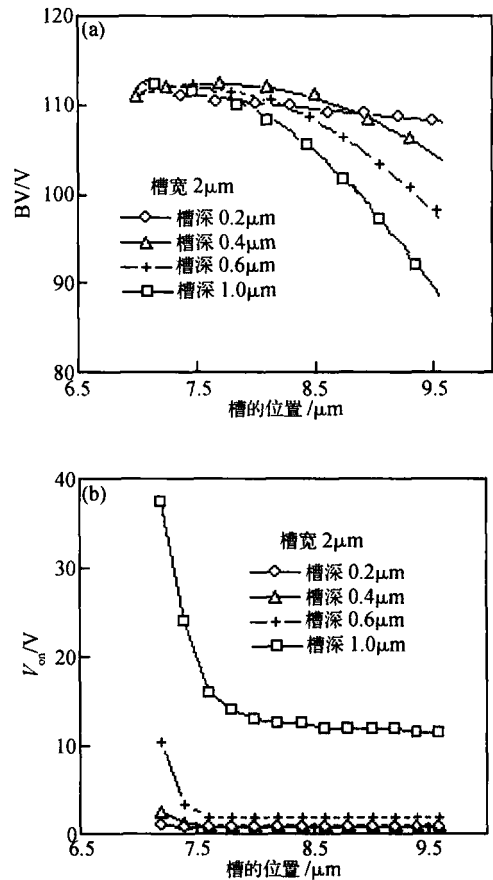


图 2 矩形槽结构 (a) 在不同槽深下,耐压随槽位置移动的变化;(b) 在不同槽深下,导通电压随槽位置移动的变化  
Fig. 2 Rectangle trench structure (a) Breakdown voltage versus position of trench under different depths of trench; (b) On-state voltage versus position of trench under different depths of trench

从图中可看出,当电压较小时,随着槽的位置向右端移动, $C_{gd}$  将减小,当槽移动到某个位置后 ( $8.6\mu\text{m}$ ),  $C_{gd}$  趋于平稳,几乎不再减小.这是因为当槽向右端移动时,耗尽区不断展宽,漂移区由部分耗尽到全耗尽,此时,  $C_{gd}$  不再变化.当电压较大时,随着槽的位置向右端移动,  $C_{gd}$  逐渐增大.这是因为电压较大时,漂移区始终是全耗尽的,当槽向右侧移动时,槽的左侧出现了未耗尽部分,如图 3(b) 所示,致使  $C_{gd}$  增大.

从以上对槽起始位置的分析得到,为了满足耐压达到  $110\text{V}$  以上,导通电压保持在  $1\text{V}$ ,取槽横向起始位置为  $7.6\mu\text{m}$  处最优.

现在分析槽深和槽宽对器件特性的影响.在不同槽宽下,耐压和导通电压与槽深的关系如图 4(a),(b) 所示.

从图 4(a) 中可看出,当槽较宽时,由于对器件表面电场有影响,所以耐压随着槽深的增加而下降;

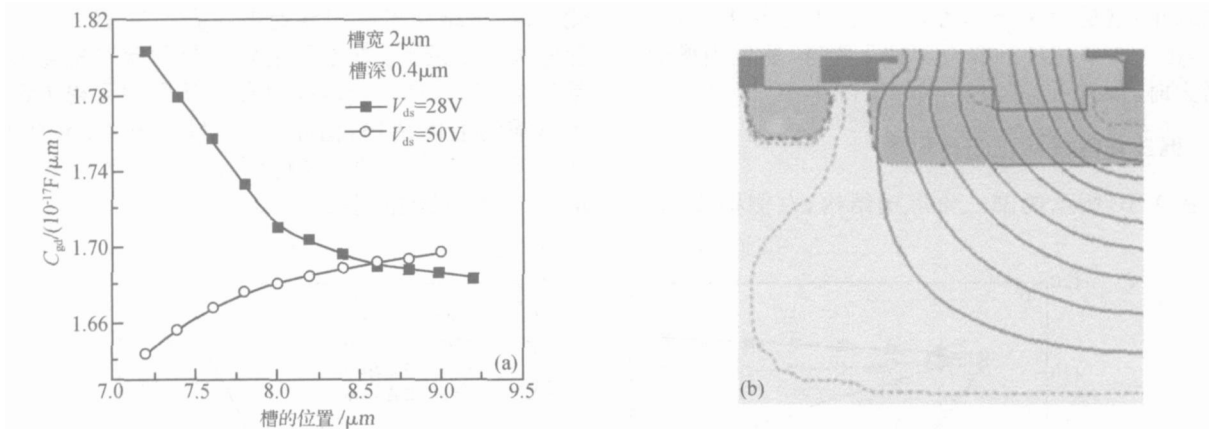


图 3 (a) 不同漏源电压下  $C_{gd}$  随槽位置移动的变化; (b) 电压较大时耗尽区宽度

Fig. 3 (a)  $C_{gd}$  versus position of trench under different voltage; (b) Depletion region width under large voltage

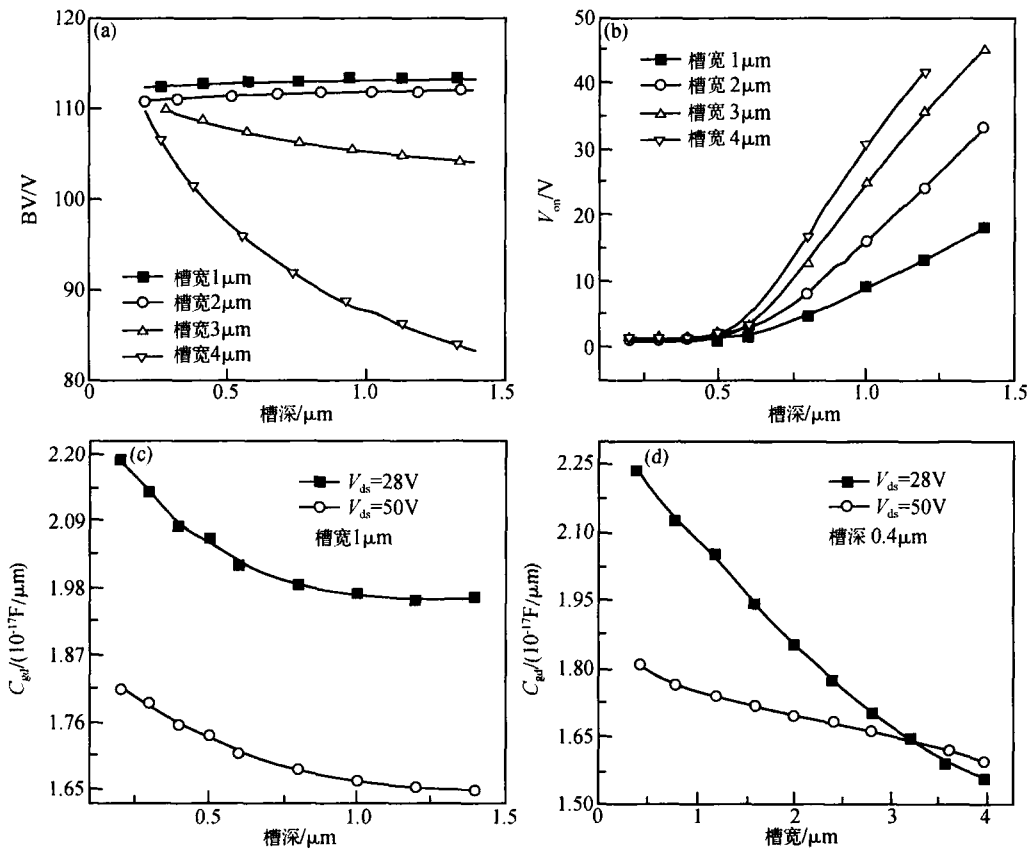


图 4 矩形槽结构 (a) 在不同槽宽下, 耐压与槽深的关系; (b) 在不同槽宽下, 导通电压与槽深的关系; (c) 在不同电压下,  $C_{gd}$  与槽深的关系; (d) 在不同电压下,  $C_{gd}$  与槽宽的关系

Fig. 4 Rectangle trench structure (a) Breakdown voltage versus the depth of the trench under different widths of trench; (b) On state voltage versus the depth of the trench under different widths of the trench; (c)  $C_{gd}$  versus the depth of the trench under different voltages; (d)  $C_{gd}$  versus the width of the trench under different voltages

从图 4(b) 中可看出, 当槽深和槽宽增加时, 由于电流通路弯曲, 使电流路径变长, 而且使电流流经漂移区的通路变得很窄, 所以导通电阻变得很大. 从图中可确定矩形槽的最优结构为: 槽宽  $2 \mu\text{m}$ , 槽深  $0.4 \mu\text{m}$ . 此

时, 可计算出在  $V_{ds} = 28 \text{V}$  条件下, 寄生反馈电容  $C_{gd} = 1.85 \times 10^{-17} \text{F}/\mu\text{m}$ , 比常规结构减小了 21 %.

在不同电压下  $C_{gd}$  与槽深和槽宽的关系如图 4 (c), (d) 所示. 从图中可知,  $C_{gd}$  随着槽深和槽宽的增

加而减小,这是因为槽越大,耗尽区展宽越大,另一方面,由于二氧化硅的介电常数小于硅,所以当槽面积增大时,使得  $C_{si}$  减小,从而  $C_{gd}$  减小.

### 3.2 倒三角形槽和正三角形槽

图 1(b) 所示的倒三角形槽结构,左侧槽浅,右

侧槽深. 该结构耐压和导通电压在不同槽宽下与槽深的关系以及  $C_{gd}$  在不同电压下与槽深和槽宽的关系如图 5(a), (b), (c), (d) 所示. 从图中可得出倒三角形槽的最优结构:槽宽  $3\mu\text{m}$ ,槽深  $0.4\mu\text{m}$ . 此时,在  $V_{ds} = 28\text{V}$  条件下,可得到  $C_{gd} = 1.83 \times 10^{-17} \text{F}/\mu\text{m}$ ,比常规结构减小了 22%.

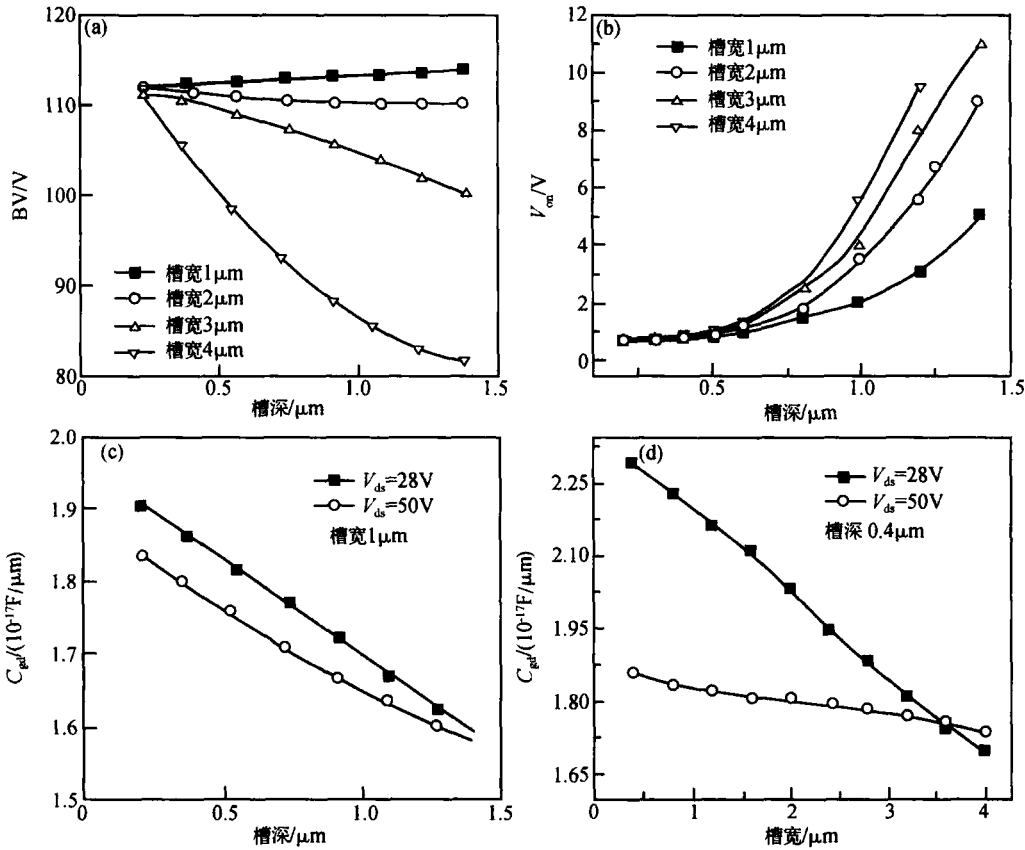


图 5 倒三角形槽结构 (a) 在不同槽宽下,耐压与槽深的关系;(b) 在不同槽宽下,导通电压与槽深的关系;(c) 在不同电压下,  $C_{gd}$  与槽深的关系;(d) 在不同电压下,  $C_{gd}$  与槽宽的关系

Fig. 5 Converse triangle trench structure (a) Breakdown voltage versus the depth of the trench under different widths of trench;(b) On-state voltage versus the depth of the trench under different widths of the trench;(c)  $C_{gd}$  versus the depth of the trench under different voltages;(d)  $C_{gd}$  versus the width of the trench under different voltages

图 1(c) 所示的正三角形槽结构,左侧槽深,右侧槽浅. 这样的结构有两个好处:(1) 左侧靠近栅边缘的槽较深,可以承受栅边缘最大电场,可提高耐压;而右侧槽较浅,对器件表面电场影响不大,这样,可较好地使耐压达到  $110\text{V}$ . (2) 由于是三角形结构,在槽展宽时,对电流在漂移区的路径影响不大,所以可较容易地使导通电压保持在  $1\text{V}$ . 正三角形槽结构耐压和导通电压在不同槽宽下与槽深的关系以及  $C_{gd}$  在不同电压下与槽深和槽宽的关系如图 6(a), (b), (c), (d) 所示. 可确定正三角形槽最优结构:槽

宽  $4\mu\text{m}$ ,槽深  $0.4\mu\text{m}$ . 得到  $C_{gd} = 1.79 \times 10^{-17} \text{F}/\mu\text{m}$ ,比常规结构减小了 24%. 从  $C_{gd}$  的变化可知,正三角形槽结构是几种漂移区具有槽的最优结构,能在满足耐压和导通电阻的同时,最大程度地减小  $C_{gd}$ .

### 3.3 截止频率

寄生反馈电容的减小会极大地改进器件射频特性,特别是器件截止频率. 截止频率公式<sup>[4]</sup>为:

$$f_t = \frac{g_m}{2(C_{gs} + C_{gd})} \quad (2)$$

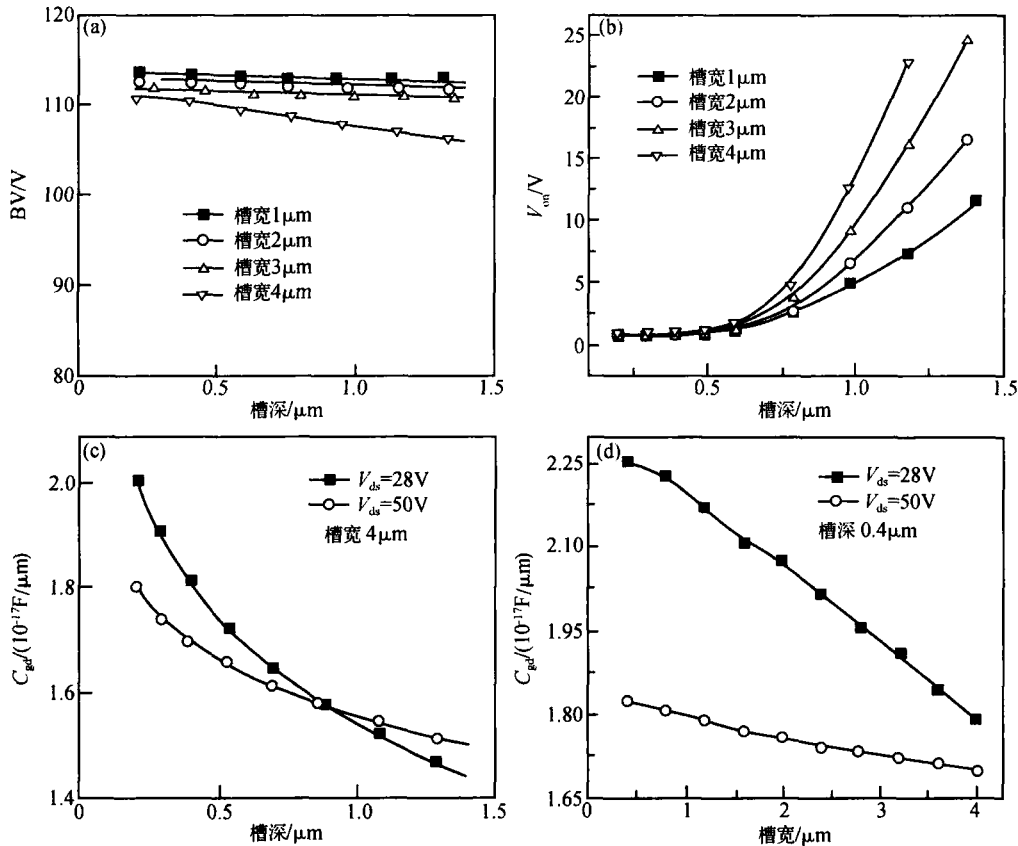


图 6 正三角形槽结构 (a) 在不同槽宽下, 耐压与槽深的关系; (b) 在不同槽宽下, 导通电压与槽深的关系; (c) 在不同电压下,  $C_{gd}$  与槽深的关系; (d) 在不同电压下,  $C_{gd}$  与槽宽的关系

Fig. 6 Triangle trench structure (a) Breakdown voltage versus the depth of the trench under different widths of the trench; (b) On-state voltage versus the depth of the trench under different widths of trench; (c)  $C_{gd}$  versus the depth of the trench under different voltages; (d)  $C_{gd}$  versus the width of the trench under different voltages

式中  $C_{gs}$  为栅极到源极电容;  $g_m$  为器件跨导. 在工作状态  $V_{ds} = 28V$  条件下, 测得正三角形槽优化结构的  $C_{gs} + C_{gd} = 3.18 \times 10^{-17} F/\mu m$ , 而常规结构的  $C_{gs} + C_{gd} = 3.9 \times 10^{-17} F/\mu m$ ,  $g_m$  由常规结构的  $2.2649 \times 10^{-5} S/\mu m$  变化为正三角形槽结构的  $2.106 \times 10^{-5} S/\mu m$ , 则正三角形槽优化结构将使截止频率提高约 15%.

### 4 结论

本文对射频频功率 LDMOS 槽形漂移区的结构进行了优化设计. 基于射频频功率 LDMOS 的频率特性, 提出了矩形、倒三角形和正三角形槽结构, 在满足耐压和导通电阻的条件下, 尽可能地减小寄生反馈电容. 通过对槽的位置、深度、宽度分析表明: 采用如图 1(c) 所示正三角形槽结构, 可以在满足相同的耐压和导通电阻条件下, 最大程度地减小寄生反馈电容, 寄生反馈电容减小 24%, LDMOS 的截止频率提高 15%.

### 参考文献

[ 1 ] Xu Shuming, Foo P D. RF LDMOSFET with graded gate structure. IEEE Power Semiconductor Device and ICs, 1999: 221

[ 2 ] Wilson P H. A trench gate LDMOS for RF applications. IEEE Electron Devices for Microwave and Optoelectronic Applications, 2003: 43

[ 3 ] Lin D G, Tu S L, See Y C, et al. A novel LDMOS structure with a step gate oxide. IEEE Electron Devices Meeting, 1995: 963

[ 4 ] Chen X B. Power MOSFET and high voltage integrated circuit. Nanjing: Press of Southeast University, 1989 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1989]

[ 5 ] Ren Changhong, Liang Y C, Xu Shuming. New RF LDMOS structure with improved power added efficiency for 2GHz power amplifiers. IEEE TENCON, 2000, 3: 29

[ 6 ] Wang Xiaosong, Li Zehong, Wang Yiming, et al. Output characteristics analysis for buried n layer RF power PSOILD-MOS. Chinese Journal of Semiconductors, 2006, 27 (7) : 1269 (in Chinese) [王小松, 李泽宏, 王一鸣, 等. n 埋层 PSOILDMOS 的输出特性. 半导体学报, 2006, 27 (7) :

- 1269]
- [ 7 ] Burger W, Brech H, Burdeaux D, et al. RF-LDMOS: a device technology for high power RF infrastructure applications. Compound Semiconductor Integrated Circuit Symposium, 2004:189
- [ 8 ] Muller D, Giry A, Pache D, et al. Architecture optimization of an n-channel LDMOS device dedicated to RF-power application. Power Semiconductor Devices and ICs, 2005:159
- [ 9 ] Luo Luyang, Fang Jian, Luo Ping, et al. Breakdown characteristics of novel SOFLDMOS with reducing field electrode and U-type drift region. Chinese Journal of Semiconductors, 2003, 24(2):194 (in Chinese) [ 罗卢杨, 方健, 罗萍, 等. 具有降场电极 U 形漂移区 SOFLDMOS 的耐压特性. 半导体学报, 2003, 24(2):194 ]
- [ 10 ] Luo Xiaorong, Li Zhaoji, Zhang Bo, et al. A novel structure and its breakdown mechanism of a SOI high voltage device with a shielding trench. Chinese Journal of Semiconductors, 2005, 26(11):2154 (in Chinese) [ 罗小蓉, 李肇基, 张波, 等. 屏蔽槽 SOI 高压器件新结构和耐压机理. 半导体学报, 2005, 26(11):2154 ]
- [ 11 ] Xu Shuming, Foo Pangdow, Wen Jiangqing, et al. RF LDMOS with extreme low parasitic feedback capacitance and high hot-carrier immunity. Electron Device Meeting, 1999:201

## Optimization Design for Trench Drift Region Structure in RF Power LDMOS

Wang Yiming, Li Zehong<sup>†</sup>, Wang Xiaosong, Zhai Xiangkun, Zhang Bo, and Li Zhaoji

(College of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology, Chengdu 610054, China)

**Abstract:** A RF power LDMOS with a trench drift region is optimally designed. Rectangular, converse triangular, and triangular trench structures are proposed based on its frequency characteristic, and the position the depth, and the width of the trench are analyzed. Under the same condition of breakdown voltage and on-resistance, the optimized trench structure is triangular, which can decrease the feedback capacitance by 24% and increase the cut-off frequency by 15%.

**Key words:** RF power LDMOS; trench structure; parasitic feedback capacitance; cut-off frequency

**PACC:** 9870D; 7340Q

**Article ID:** 0253-4177(2006)08-1441-06

<sup>†</sup> Corresponding author. Email: lizh@uestc.edu.cn