

1200 V MR D-RESURF LDMOS 与 BCD 兼容工艺研究 *

乔 明^{1,†} 方 健¹ 肖志强² 张 波¹ 李肇基¹

(1 电子科技大学微电子与固体电子学院, 成都 610054)
(2 中国电子科技集团公司第五十八研究所, 无锡 214035)

摘要: 提出具有 p 埋层的 1200V 多区双 RESURF(MR D-RESURF) LDMOS, 在单 RESURF(S-RESURF)结构的 n 漂移区表面引入多个 p 掺杂区,并在源区下引入 p 埋层,二者的附加场调制器件原来的场,以改善其场分布;同时由于电荷补偿,提高了漂移区 n 型杂质的浓度,降低了导通电阻. 开发 1200V 高压 BCD(BJT, CMOS, DMOS)兼容工艺,在标准 CMOS 工艺的基础上增加 pn 结对通隔离,用于形成 DMOS 器件 D-RESURF 的 p-top 注入两步工序,实现了 BJT, CMOS 与高压 DMOS 器件的单片集成. 应用此工艺研制出一种 BCD 单片集成的功率半桥驱动电路,其中 LDMOS, nMOS, pMOS, npn 的耐压分别为 1210, 43.8, -27 和 76V. 结果表明,此兼容工艺适用于高压领域的电路设计中.

关键词: 多区; LDMOS; RESURF; BCD 工艺

EEACC: 2560P; 2570P

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)08-1447-06

1 前言

SPIC (smart power IC) 的发展是以功率器件的发展为基础的,在 SPIC 中通常需要将耐压为 50 ~ 1200V 的功率器件与低压的模拟、数字电路集成在同一芯片上. 垂直型器件由于受到纵向耐压的限制,通常只用于电压较低的 SPIC 中. 在高压应用中,通常采用源极、栅极和漏极都在芯片表面的横向器件. 目前,在 SPIC 中应用较多的横向器件有 LDMOS 和 LIGBT. LIGBT 与 LDMOS 相比具有工作电流密度大、导通电阻低等优点. 但是 LIGBT 由于其少子存储效应使其关断时间过长,并且其寄生的 pnpn 晶闸管结构,使会发生闩锁. BCD 工艺起源于上世纪 80 年代中期,其将 BJT, CMOS, DMOS 器件单片集成在同一硅片上. 与传统的功率技术相比,BCD 工艺很快成为了智能功率应用的首选技术^[1]. 因为工艺中所集成的 BJT 实现了精确的模拟应用, CMOS 实现了高集成度、低功耗的数字应用, DMOS 则满足了高压和功率的要求. 国内外众多学者对 BCD 工艺及其相关技术进行了大量的研究^[2~8], 现正沿着高电压、高功率、高密度三个不同研究方向发展^[9,10]. 对于高电压的发展方向,其关键问题在于高

压 DMOS 器件, 高低压兼容工艺设计等.

本文提出了一种具有 p 埋层的 MR D-RESURF LDMOS, 借助二维器件仿真器 MEDICI 对该结构进行了优化设计, 给出了其二维势、场分布, 以及不同外延层厚度下器件击穿电压随外延层浓度、p-top 注入剂量的变化关系, 获得了较宽的工艺容差窗口. 基于 DMOS 器件的研究, 我们开发了一种 1200V 高压 BCD 兼容工艺, 在标准 CMOS 工艺的基础上主要增加了 pn 结对通隔离, 用于形成 DMOS 器件 D-RESURF 的 p-top 注入两步工序, 且 p-top 注入降低了 DMOS 器件的导通电阻, 实现了 1200V DMOS, BJT 与 CMOS 的单片集成. 应用此工艺, 我们研制出 1210V 具有 p 埋层的 MR D-RESURF LDMOS 以及 BCD 单片集成的功率半桥驱动电路. 实验结果表明, 所设计的兼容工艺适用于高压领域的电路设计中.

2 具有 p 埋层的 1200V MR D-RESURF LDMOS 设计

图 1 为具有 p 埋层的 1200V MR D-RESURF LDMOS 剖面图. 该结构采用 D-RESURF 技术, 在 S-RESURF 结构的外延层 N_{epi} 上引入导电类型相

*国家自然科学基金(批准号:60436030)和国家“十五”军事电子预研(批准号:41308020210)资助项目

†通信作者. Email:2005qiaoming@163.com

2005-12-09 收到

©2006 中国电子学会

反的多个 p-top 掺杂区,形成结终端扩展,有效地降低了器件源端和漏端的表面电场,提高了漂移区中部的电场.同时,由于电荷补偿,p型杂质的引入使得外延层浓度得以提高,降低了器件的导通电阻.其中 p-top 被分成三个区,分别用环 1、环 2 和环 3 表示,三个环的浓度相同.结构中还引入了 p 埋层,其产生的场调制了源端附近场分布,防止器件过早在源区发生击穿,并进一步降低了器件的导通电阻.图中,p-sub 表示工艺中采用 p 型衬底材料,其浓度用 p_{sub} 表示; N_{epi} 表示 n 型外延层,其浓度及厚度分别用 n_{epi} 和 x_{jnepi} 表示;pwell 用来形成 DMOS 的沟道区;p-top 的浓度、结深分别用 p_{top} , x_{jptop} 表示; n^+ 形成 LDMOS 的源和漏.

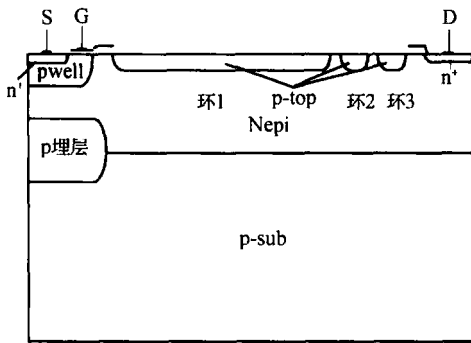


图 1 具有 p 埋层的 1200V MR D-RESURF LDMOS 剖面图
Fig.1 Cross section of 1200V MR D-RESURF LDMOS with a p-type buried layer

对于 D-RESURF DMOS, p-top 降场层的最佳单位面积电荷 $Q_{ptop} = p_{top} x_{jptop}$, 外延层的最佳单位面积电荷 $Q_{nepi} = n_{epi} x_{jnepi}$ 应满足^[11]:

$$Q_{ptop} = 2 \times 10^{12} \times \sqrt{\frac{n_{epi}}{N_{ptop} + n_{epi}}} \quad (1)$$

$$Q_{nepi} = 2 \times 10^{12} \left[\sqrt{\frac{n_{epi}}{N_{ptop} + n_{epi}}} + \sqrt{\frac{p_{sub} n_{epi}}{N_{ptop} (p_{sub} + n_{epi})}} \right] \quad (2)$$

我们应用二维器件仿真器 MEDICI 对器件进行了优化设计,以保证在某一工艺波动范围内,DMOS 器件仍能达到 1200V 的指标要求.图 2(a)给出了具有 p 埋层的 MR D-RESURF LDMOS 击穿电压为 1270V 时电势分布的模拟结果,器件漂移区全耗尽,击穿发生在 A 点.图 2(b)给出了 S-RESURF, MR D-RESURF LDMOS 关态耐压为 1250V 时的表面电场分布.对于 S-RESURF LDMOS,其仿真的主要参数为: $p_{sub} = 1.2 \times 10^{14} \text{ cm}^{-3}$, $n_{epi} = 4 \times 10^{14} \text{ cm}^{-3}$, $x_{jnepi} = 23\mu\text{m}$;对于 MR D-RESURF LDMOS,其仿真的主要参数为: $p_{sub} = 1.2 \times 10^{14} \text{ cm}^{-3}$, $n_{epi} = 1.1 \times 10^{15} \text{ cm}^{-3}$, $x_{jnepi} = 23\mu\text{m}$, $Q_{ptop} = 3.6 \times 10^{12} \text{ cm}^{-2}$.由图 2(b)可以看出,在器件耐压为

1250V 时,具有 p 埋层的 D-RESURF LDMOS 较 S-RESURF LDMOS 降低了器件表面源端和漏端的两个峰值电场,并将漂移区中部电场提高,防止由于 n_{epi} 波动致使器件过早在源端或漏端发生击穿,提高了器件的工艺容差范围.在同样耐压的条件下, n_{epi} 由 S-RESURF 的 $4 \times 10^{14} \text{ cm}^{-3}$ 变为 D-RESURF 的 $1.1 \times 10^{15} \text{ cm}^{-3}$,由 MEDICI 仿真可以得知 MR D-RESURF LDMOS 的比导通电阻比 S-RESURF LDMOS 降低了 43.07%.

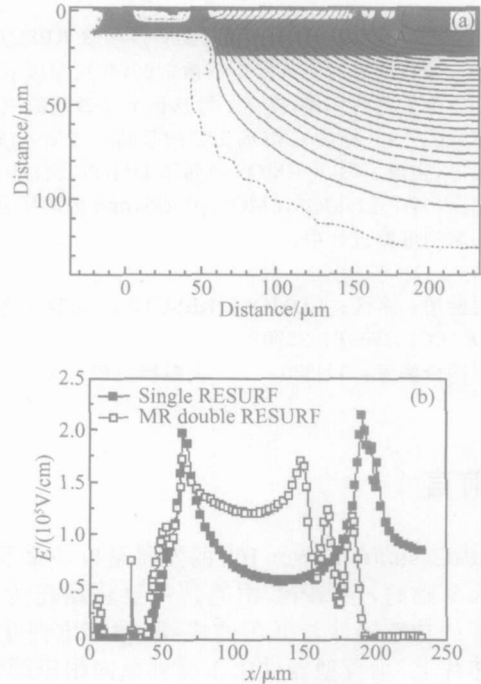


图 2 (a)具有 p 埋层的 MR D-RESURF LDMOS 电势分布图;(b) S-RESURF 和 MR D-RESURF LDMOS 表面电场分布
Fig.2 (a) Potential distributions of MR D-RESURF LDMOS with a p-type buried layer;(b) Surface electric field distributions of S-RESURF and MR D-RESURF LDMOS

图 3(a)给出了器件 n_{epi} 一定,外延层厚度分别为 20,22,23,24 和 26 μm 时,器件的关态击穿电压 V_B 随 Q_{ptop} 的变化关系.当外延层厚度在 22~24 μm 的工艺范围波动时, Q_{ptop} 在 $(3.2 \sim 4) \times 10^{12} \text{ cm}^{-2}$ 都能满足 1200V 的耐压要求.图 3(b)给出了 Q_{ptop} 一定,外延层厚度分别为 20,22,23,24 和 26 μm 时,器件的关态击穿电压 V_B 随外延层浓度的变化关系.从仿真结果可以看出,当外延层厚度在 22~24 μm 的工艺范围波动时, n_{epi} 在 $(1.0 \sim 1.2) \times 10^{15} \text{ cm}^{-3}$ 都能满足 1200V 的耐压要求.

3 1200V BCD 兼容工艺设计

在标准 p 阱 CMOS 工艺的基础上,增加 pn 结

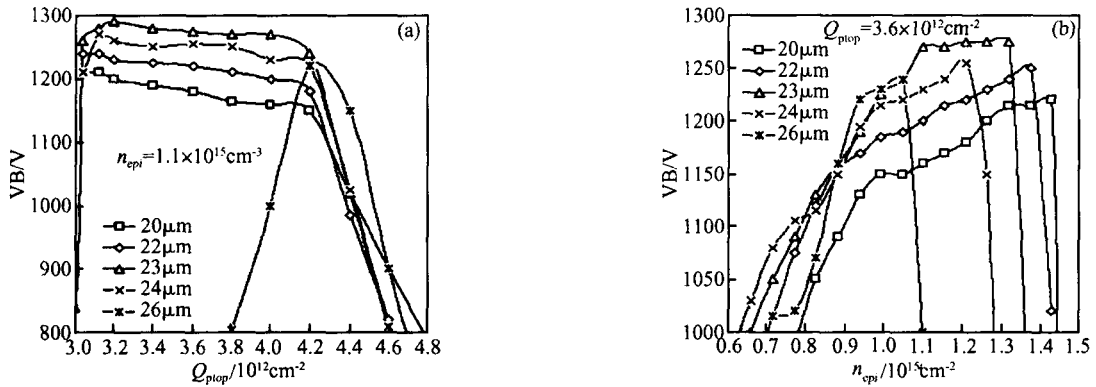


图 3 (a) 击穿电压与 Q_{ptop} 的关系; (b) 击穿电压与 n_{epi} 的关系
 Fig. 3 (a) Impact of Q_{ptop} on breakdown voltage; (b) Impact of n_{epi} on breakdown voltage

对通隔离、用于形成 DMOS 器件 D-RESURF 的 p-top 注入两步工序, 可实现 1200V BCD 兼容工艺, 使得 BJT、CMOS、1200V DMOS、二极管、齐纳管、氧化层电容、阱电阻和多晶电阻单片集成。整个工艺共需 14 张掩膜板, 其主要工艺流程为: p 型高阻衬底材料 p 型埋层光刻 (掩膜版 1) p 型埋层硼注入 退火 n 型外延 p 型隔离墙光刻 (掩膜版 2) p 墙硼注入 隔离扩散 (采用 pn 结对通隔离技术, 实现高低压隔离) pwell 光刻 (掩膜版 3) pwell 硼注入 p-top 光刻 (掩膜版 4) p-top 硼注入 推 p 阱 n 管场注光刻 (掩膜版 5) n 管场注硼注入 推结 p 管场注光刻 (掩膜版 6) p 管场注磷注入 推结 氧化 淀积 Si_3N_4 有源区光刻 (掩膜版 7) 场氧化 一次栅氧化 漂预栅氧 二次栅氧化 多晶淀积 多晶掺杂 多晶光刻 (掩膜版 8) nMOS LDD (lightly doped drain) 光刻 (掩膜版 9) 磷注入 pMOS 源漏光刻 (掩膜版 10) 硼注入 nMOS 源漏光刻 (掩膜版 11) 磷注入 低淀 SiO_2 增密 接触孔光刻 (掩膜版 12) 蒸铝 反刻铝 (掩膜版 13) 钝化 压焊点光刻 (掩膜版

14) 合金。在此工艺流程基本不变的情况下, 通过调整工艺及器件参数, 例如: 减小 n 型外延层厚度, 增加外延层浓度, 减少高温过程时间, 降低 DMOS 器件漂移区长度等, 亦可实现 600V BCD 兼容工艺。

图 4 给出了 BCD 兼容工艺中器件实现的剖面图, 其集成的各类器件性能主要由不同器件结构以及共同的工艺流程决定。pwell 用来形成 DMOS, nMOS 的沟道区, 当 pwell 结深较浅、注入剂量较低时, npn 的增益会提高, 但其开启区击穿电压 BV_{ceo} 以及 nMOS 的击穿电压会降低。而 pwell 结深较深、注入剂量较高时, npn 增益就会降低。因此 pwell 参数的设计对于器件的耐压与增益存在折中关系。若选择 p-top 作为三极管的基区, 虽然可以获得高的增益, 但由于其浅结深、低注入剂量的限制, BV_{ceo} 就会降低。p-top 主要用来形成 DMOS 的 D-RESURF, 其不仅改善了器件的场分布, 而且由于电荷补偿, 提高了漂移区 n 型杂质的浓度, 使得 pwell, N_{epi} , p-sub 所形成的寄生三极管的高端击穿电压得以提高, 高端地 VSS 可工作在 1200V 的高压

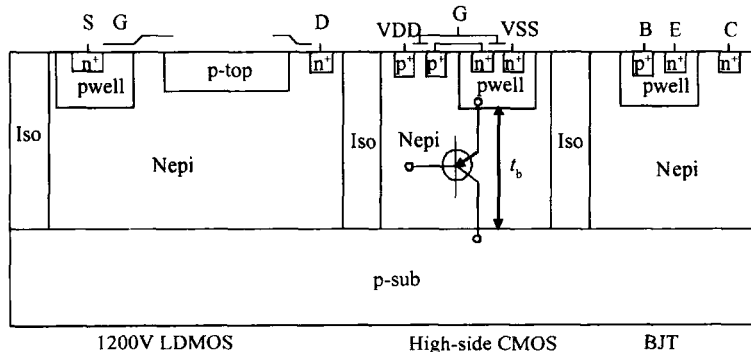


图 4 1200V BCD 器件剖面图
 Fig. 4 Cross section of 1200V BCD technology

下. 其穿通电压近似的计算可由公式(3)给出:

$$V_{pt} = \frac{q n_{epi}}{2 \epsilon_s} t_b^2 \left(1 + \frac{n_{epi}}{p_{sub}} \right) \quad (3)$$

其中 q 为电子电量; ϵ_s 为硅的介电常数; t_b 为 p_{well} , N_{epi} 所形成的冶金结到 p_{sub} , N_{epi} 冶金结处的纵向距离. 由公式(3)可以看出, 寄生三极管的高端穿通击穿电压随着 n_{epi} , t_b 的增大, p_{sub} 的减小而提高. Iso 为 p 埋和 p 墙注入经高温扩散后形成的 p^+ 区, 与 N_{epi} 形成 p_n 结对通隔离, 使得各类器件可工作在不同的隔离岛内, 实现高低压兼容. p_n 结隔离亦使不同隔离岛内的器件或电路可以工作在不同的电源电压下, 降低了功耗.

4 结果与讨论

为了深入研究高压 DMOS, 特别是高压 BCD 兼容工艺, 我们设计了一种高压功率半桥驱动电路, 并在中国电子科技集团公司第五十八研究所进行了流片实验. 表 1 为该工艺中所集成的各类器件的测试结果. 从表中可以看出, 该工艺可用在普通管工作电压为 10~20V 的高压 BCD 或 CD 电路设计中.

表 1 器件测试结果

Table 1 Experimental results of devices

器件	测试参数	测试结果
nMOS (20/6)	V_{th}	1.38V
	VB	43.8V
pMOS (20/6)	V_{th}	-1.34V
	VB	-27V
nMOS 场管 (20/6)	V_{th}	43.6V
pMOS 场管 (20/6)	V_{th}	-89V
LDMOS	V_{th}	1.2V
	VB	1210V
npn	Hfe	25
	BV_{ceo}	76V
多晶电阻	R	23.6 /
p_{well} 电阻	R	6290 /
金属电阻	R	0.0422 /
n^+ 源漏电阻	R	24.4 /
p^+ 源漏电阻	R	51.9 /
氧化层电容	C	$3.45 \times 10^{-8} F/cm^2$
齐纳管	VB	5.7V
二极管	VB	32V

图 5(a) 给出了具有 p 埋层的 1200V MR D-RESURF LDMOS 的源漏击穿特性以及器件纵向剖面 SEM 相片. 图中 x 轴 100V/div, y 轴 10 μ A/div, 器件的击穿电压为 1210V, 与仿真值基本吻合; 泄漏电流小于 5 μ A, 满足电路中高低端隔离对泄漏电流的要求. 图 5(b) 给出 $I-V$ 特性测试结果. 其测试条件是 x 轴漏极电压为 50V/div, y 轴漏极

电流为 5mA/div, 栅电压为 1V/step.

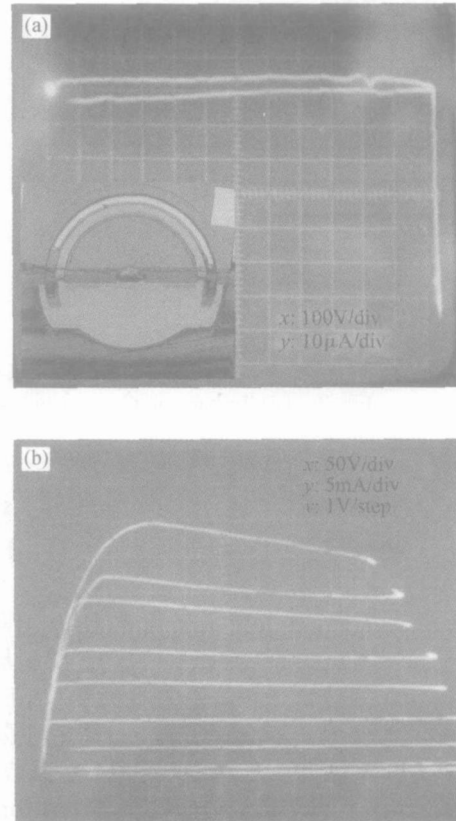
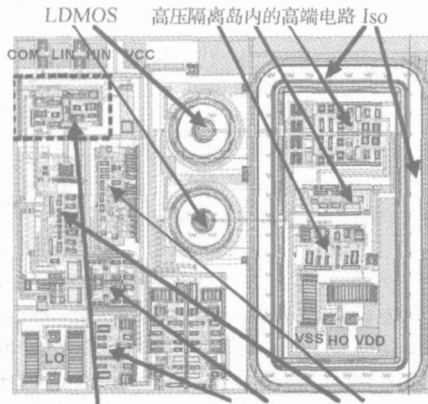


图 5 (a) LDMOS 的击穿特性测试结果和管芯剖面结构; (b) LDMOS 的 $I-V$ 特性测试结果

Fig. 5 (a) Measured breakdown curves and experimental photograph of LDMOS; (b) Measured $I-V$ curves of LDMOS

基于对具有 p 埋层的 1200V MR D-RESURF LDMOS 及 BCD 兼容工艺的研究, 我们开发了一种功率半桥驱动电路. 该电路主要包括 11 块子电路, 分别为: 高端输入电路、低端输入电路、死区产生电路、脉冲产生电路、电平位移电路、滤波电路、RS 触发器、低端延迟电路、高端输出驱动电路、低端输出驱动电路和欠压保护电路. 图 6 为所设计的电路版图, 面积为 2795 μ m \times 2328 μ m. 其中 V_{CC} 为电源, HIN , LIN 分别为电路的高、低端输入, COM 为逻辑地, V_{SS} , V_{DD} 分别为高端浮动地和电源, HO , LO 分别为电路的高、低端输出. 电路工作在 10~20V 的电源电压 V_{CC} 下, 具有欠压保护功能. 输入信号 HIN , LIN 与 3.3, 5 和 15V 逻辑相兼容, 高端地 V_{SS} 可工作在浮动高压下, 以满足驱动半桥中高端功率开关的需要, 电源 V_{DD} 可由外围电路自举产生. 电路利用 1200V 高压 BCD 兼容工艺, 将 npn、CMOS、LDMOS、二极管、齐纳管、氧化层电容、阱电阻和多晶电阻单片集成. 1200V 的 LDMOS 完成了



工作电压为5V的低端电路 工作电压为10到20V的低端电路

图 6 功率半桥驱动电路板图

Fig. 6 Layout of a power half bridge driver

电路中电平位移的功能,满足了驱动半桥中高端功率开关的需要. 1200V 的隔离岛使得不同岛内 CMOS,BJT 等器件可以工作在不同的地电压和工作电压下. 图 7 (a) 和 (b) 为电路的测试结果,其中 (a) 为电路高端的输入输出波形,CH1 为输出信号,CH2 为输入信号;(b) 为高低端死区时间的测试结果,死区时间为 620ns,防止了所驱动的半桥中高低端功率开关同时导通.

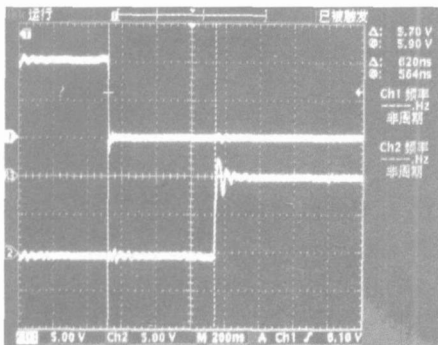
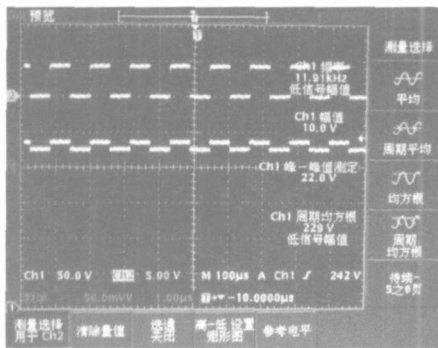


图 7 (a) 输入输出波形;(b) 死区时间 = 620ns

Fig. 7 (a) Waveform of input and output ;(b) Deadtime = 620ns

5 结论

本文提出具有 p 埋层的 1200V MR D-RESURF LDMOS,给出器件耐压与其结构参数的优化关系,获得了较宽的工艺容差窗口. 开发 1200V 高压 BCD 兼容工艺,研制出 1210V 具有 p 埋层的 MR D-RESURF LDMOS 及 BCD 单片集成的功率半桥驱动电路. 结果表明,所设计的兼容工艺适用于普通管工作电压为 10 ~ 20V,高压管工作电压为 1200V 的高压领域电路设计中.

致谢 感谢中国电子科技集团公司第五十八研究所 在工艺流片及芯片封装测试过程中给予的帮助与支持.

参考文献

- [1] Baiocchi A. New developments in mixed bipolar / CMOS / DMOS technology for intelligent power applications. IEEE Colloquium on Integrated Power Devices ,1991 ,2 :1
- [2] Moscatelli A ,Merlini A ,Croce G ,et al. LDMOS implementation in a 0.35μm BCD technology (BCD6) . Proc of ISPSD , 2000 :323
- [3] Van der Pol J A ,Ludikhuijze A W ,Huizing H G A ,et al. A-BCD :An economic 100V RESURF silicon-on-insulator BCD technology for consumer and automotive applications. Proc of ISPSD ,2000 :327
- [4] Gagnard X ,Bonnaud O. Building-in reliability ,application to bipolar/ CMOS/ DMOS technology. Proc of IPFA ,2002 :147
- [5] Labate L ,Moscatelli A ,Stella R. Robust and performing RF LDMOS device integrated in a VLSI BCD silicon technology. Radio Frequency Integrated Circuits (RFIC) Symposium ,2003 :159
- [6] Li Zehong ,Zhang Bo ,Li Zhaoji ,et al. 2D threshold voltage model of DMOS. Chinese Journal of Semiconductors ,2004 , 25(6) :715 (in Chinese) [李泽宏 ,张波 ,李肇基 ,等. DMOS 阈值电压二维模型. 半导体学报 ,2004 ,25(6) :715]
- [7] Guo Yufeng ,Li Zhaoji ,Zhang Bo ,et al. Breakdown model and new structure of SOI high voltage devices with step buried oxide fixed charges. Chinese Journal of Semiconductors , 2004 ,25(12) :1695 (in Chinese) [郭宇峰 ,李肇基 ,张波 ,等. 阶梯分布埋氧层固定电荷 SOI 高压器件新结构和耐压模型. 半导体学报 ,2004 ,25(12) :1695]
- [8] Fang Jian ,Yi Kun ,Li Zhaoji ,et al. On-state breakdown model for high voltage RESURF LDMOS. Chinese Journal of Semiconductors ,2005 ,26(3) :437
- [9] Murari B ,Contiero C ,Gariboldi R ,et al. Smart power technologies evolution. Industry Applications Conference ,2000 , 1 :8
- [10] Contiero C ,Murari B ,Vigna B . Progress in power ICs and MEMS ,“ analog ” technologies to interface the real world. Proc of ISPSD ,2004 :3
- [11] Imam M ,Hossain Z ,Quddus M ,et al. Design and optimization of double-RESURF high-voltage lateral devices for a manufacturable process. IEEE Trans Electron Devices ,2003 , 50(7) :1697

Design of a 1200 V MR D- RESURF LDMOS and BCD Technology *

Qiao Ming^{1,†}, Fang Jian¹, Xiao Zhiqiang², Zhang Bo¹, and Li Zhaoji¹

(1 College of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology, Chengdu 610054, China)

(2 The 58th Research Institute, China Electronics Technology Group Corporation, Wuxi 214035, China)

Abstract : A 1200V multi-region double RESURF LDMOS with a p-type buried layer, which has multiple p regions in the n-drift layer of a single RESURF structure is proposed for improving the surface electric field, increasing the concentration of the n-drift layer, and reducing the on-resistance of LDMOS. A 1200V BCD technology based on standard CMOS technology is realized by adding pn isolation and p-top implantation. Using this technology we develop a power half bridge driver. The breakdown voltages of the LDMOS, nMOS, and pMOS are 1210, 43.8, and -27V, respectively, the BV_{ceo} of the npn is 76V in the driver. The 1200V BCD technology thus can be used in the design of HVIC.

Key words : MR; LDMOS; RESURF; BCD technology

EEACC : 2560P; 2570P

Article ID : 0253-4177(2006)08-1447-06

* Project supported by the National Natural Science Foundation of China (No. 60436030) and the National Tenth 5-Year Military Electronic Pre-Research Program of China (No. 41308020210)

† Corresponding author. Email: 2005qiaoming@163.com

Received 9 December 2005

©2006 Chinese Institute of Electronics