

# 减小 DC-DC 中斜坡补偿对带载能力的影响\*

王红义 来新泉<sup>†</sup> 李玉山

(西安电子科技大学电路 CAD 研究所, 西安 710071)

**摘要:** 电流模 PWM 集成 DC-DC 变换器设计中,为了防止亚谐波振荡而普遍采用的斜坡补偿,会在占空比较大时严重影响芯片的带载能力.文中提出的方法减小了斜坡补偿对最大电感电流的影响,从而在大占空比时电感电流仍旧可以保持较大的峰值,提高了芯片的带载能力.实现中采用了一种新颖的复合比较器,将三个比较器和部分逻辑的功能在一个复合比较器中实现,功耗仅等于一个传统比较器的功耗,并且电路紧凑简洁,易于实现.

**关键词:** DC-DC 变换器; 斜坡补偿; 带载能力; 复合比较器

**EEACC:** 1210; 1290B; 2570D

**中图分类号:** TN432

**文献标识码:** A

**文章编号:** 0253-4177(2006)08-1484-06

## 1 引言

在电池供电的众多便携电子和消费电子产品中,对电源管理的效率提出了越来越高的要求,开关型集成 DC-DC 变换器由于具有很高的效率使得它在很多场合成为电源管理的首选方案.尤其是电流模 PWM 型 DC-DC,它具有瞬态响应好,输出噪声小,对外围电路干扰小等优点,因此成为 DC-DC 的主流.但是电流模 PWM 型 DC-DC 一个特有的问题是,在占空比大于 0.5 时,电感电流波形会出现低于开关频率的包络,电感电流紊乱,峰峰值增大,带载能力下降,输出电压纹波增加等不良现象,即亚谐波振荡现象<sup>[1-3]</sup>.解决这一问题通常采用斜坡补偿的方法,即在电感电流的采样信号上叠加一个斜坡信号,如果这一斜坡信号的斜率大于电流采样信号下降斜率与上升斜率差值的一半,亚谐波现象就会消失<sup>[1]</sup>.同时,芯片设计中为了防止电流过大损坏芯片内的开关器件,通常需要对误差放大信号(它控制电感电流)进行幅度限制(即箝位).这样,在斜坡和箝位的共同作用下,当占空比较大时,与电流限定值相比,电感电流可以达到的最大值就会显著减小,影响带载能力.

本文提出的方法可以减小斜坡补偿对带载能力的影响.该方法进行电流保护限制时,不是采用对误差放大信号进行箝位的方法,而是设法消除斜坡补偿对电流采样信号的影响,检测到电感电流的真实值并进行最大值限制,从而保证了大占空比时的带载能力.电路实现中,采用了一种新颖的复合比较

器,用一个比较器完成了三个传统比较器和部分逻辑的功能,而功耗仅等于一个传统的比较器.

## 2 斜坡补偿对带载能力的影响

图 1 为一个传统的 Buck 型 DC-DC 框图<sup>[4]</sup>,采用了 PWM 工作模式,虚线框内为芯片内部电路部分,其他为外围电路.模块 SLOPE 中的时钟信号在每个周期开始时对 RS 触发器进行清零,使开关管 MP 导通,此时电感电流通过采样电阻  $R_{SENSE}$  采样和跨导运放 GM 放大后,输出一个电流信号  $I_{SENSE}$ ,这个信号同斜坡信号  $I_{SLOPE}$  以及一个基准电流信号  $I_{REF}$  叠加后流入电阻  $R_2$ ,转换成电压信号  $V_S$ ,

$$V_S = I_{SENSE} R_2 + I_{SLOPE} R_2 + I_{REF} R_2 \quad (1)$$

式中 右边的第一项反映了电感电流的大小;第二项为斜坡补偿部分,它随着占空比的不同而变化;第三项产生一个固定的电平,其作用是给比较器  $I_{COMP}$  输入端提供一个合适的直流工作点.

另一方面,DC-DC 的输出 OUT 电压经过分压后输入到误差放大器 EA 的反相输入端,误差放大器的同相输入端接芯片内部带隙基准<sup>[5,6]</sup>电压  $V_{R1}$ ,反馈电压和基准电压的误差信号经过放大 ( $V_{ER}$ ) 和箝位电路 CLAMP 箝位后 ( $V_C$ ) 输入到电流比较器  $I_{COMP}$  的同相输入端,同上面提到的  $V_S$  进行比较,当  $V_S$  达到  $V_C$  时送出控制信号对 RS 触发器进行复位,关断开关管 MP,达到控制电感电流峰值的目的.一般情况下,误差信号处于箝位电路 CLAMP 限制的高低电平之间,不进行限幅箝位,输入到  $I_{COMP}$  的电平  $V_C$  等于误差放大器的输出信号  $V_{ER}$ ,

\*国家自然科学基金(批准号:60172004)和国家教育部博士点基金(批准号:20010701003)资助项目

<sup>†</sup>通信作者. Email: xqlai@eutechx.com.cn

2005-09-09 收到,2006-05-10 定稿

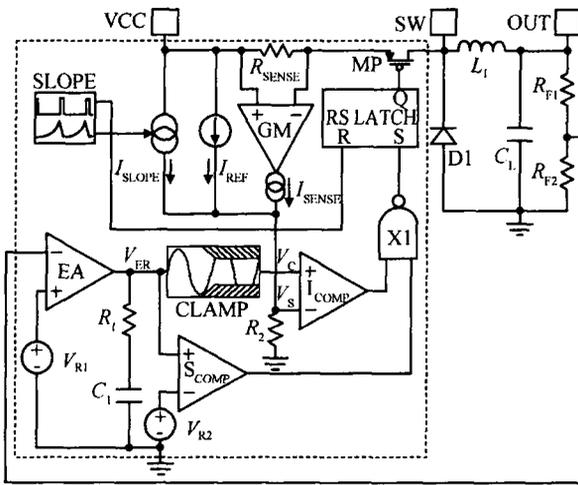


图 1 传统的 Buck 型 DC-DC 框图

Fig.1 Block diagram of conventional buck DC-DC

电感电流的峰值由  $V_{ER}$  决定。

为了防止电流过大损坏芯片内部开关管 MP, 箝位电路会限制输入到  $I_{COMP}$  的  $V_C$  的最高电平, 当  $V_{ER}$  超过箝位电路高箝位电平时,  $V_C$  等于高箝位电平而不再随  $V_{ER}$  上升, 这时电感电流峰值就由高箝位电平决定。

在负载很轻时, 反馈机制会使得  $V_{ER}$  很低, 对应电感电流很小。为了提高芯片工作效率, 在这种情况下, 可以让芯片间歇工作, 即以较大的电流工作一段时间, 当输出电压升高到一定值时, 芯片进入休眠状态, 停止输出, 直到输出电压低于一定值时再恢复工作。箝位电路的下箝位作用就是在  $V_{ER}$  过低时, 保证  $V_C$  不会过小, 输出电压相对负载电流较大, 输出电压逐渐升高,  $V_{ER}$  继续下降, 当  $V_{ER}$  低于一个门限电平  $V_{R2}$  时, 休眠比较器  $S_{COMP}$  会输出一个休眠信号关断开关管 MP, 并且控制芯片进入极低功耗的休眠状态。

接在误差放大器输出端的  $R_1$  和  $C_1$  是电压环路稳定性的需要, 在反馈回路中提供一个主极点和一个零点, 保证足够的相位裕量。

上面提到, 斜坡信号  $I_{SLOPE}$  是为了防止出现亚谐波振荡而叠加到电流采样信号  $I_{SENSE}$  上, 斜坡对电感电流的影响如图 2 所示<sup>[4,7]</sup>。图 2(a) 上面的加粗直线为高箝位电平, 记为  $V_H$ , 下面的曲线为斜坡作用后的基础电平, 上下两线之间的垂直距离则反映了电感电流采样信号所能达到的最大值 ( $I_{SENSE} R_2$ )<sub>max</sub>, 它决定了最大的电感电流。可以看出, 在  $V_{ER}$  接近上箝位情况下,  $I_{COMP}$  翻转时对应的  $I_{SENSE}$  接近最大值, 最大值为:

$$I_{SENSE} = I_{LIMIT} - I_{SLOPE} \quad (2)$$

式中  $I_{LIMIT} = (V_H / R_2) - I_{REF}$ , 在占空比较小 (比如小于 0.5) 时, 斜坡还没有开始 ( $I_{SLOPE} = 0$ ), 电感

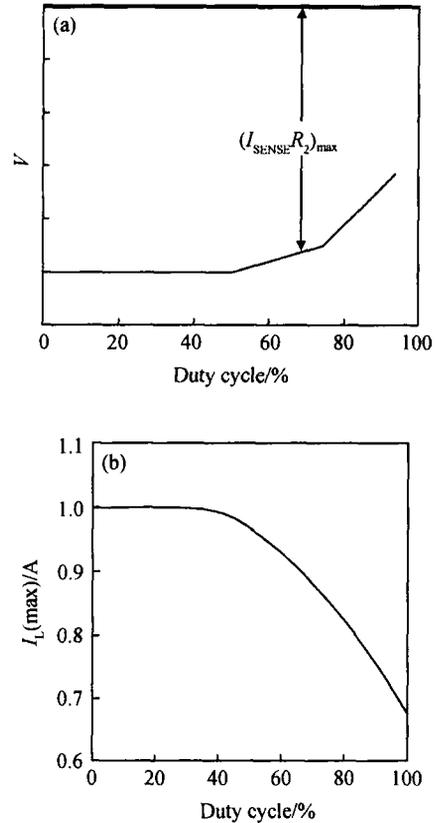


图 2 斜坡补偿对电感电流的影响 (a) 斜坡补偿与高箝位; (b) 电感电流的最大值<sup>[4]</sup>

Fig.2 Effect of slope compensation on inductor current (a) Slope compensation and high clamp; (b) Maximum inductor current

电流可以达到限定值  $I_{LIMIT}$ , 当斜坡开始后, 两线间的距离随着占空比的增大而越来越小, 电感所能达到的最大值也越来越小, 导致芯片的带载能力随着占空比的增大而减小。理论证明<sup>[1]</sup>, 为了防止亚谐波振荡, 补偿斜坡的斜率  $S_{SLOPE}$  应大于采样电流下降斜率  $S_{DN}$  与上升斜率  $S_{UP}$  差值的一半, 即:

$$S_{SLOPE} > \frac{1}{2} (S_{DN} - S_{UP}) \quad (3)$$

对于最大占空比  $D = 0.95$  的 DC-DC, 可以通过积分计算得到最大的补偿电流为:

$$\begin{aligned} I_{SLOPE} (D = 0.95) &= \frac{1}{2} \int_{0.5}^{0.95} S_{SLOPE} T d D \\ &> \frac{1}{2} \int_{0.5}^{0.95} (S_{DN} - S_{UP}) T d D \\ &= \frac{1}{2} \int_{0.5}^{0.95} \left( \frac{1}{1-D} - \frac{1}{D} \right) I_{PP} d D \\ &= 0.83 I_{PP} \end{aligned} \quad (4)$$

式中  $I_{PP}$  为电流采样信号的峰峰值, 如果设计为  $I_{PP} = 0.3 I_{LIMIT}$ , 则

$$I_{SLOPE} (D = 0.95) > 0.25 I_{LIMIT} \quad (5)$$

因此,在  $D = 0.95$  时,电感电流所能达到的最大值比电流保护限定值低 25% 以上. 实际上,为了保证一定的稳定性裕量,斜坡补偿需要在占空比 0.4 左右开始,并且斜率更大些,图 2 (b) 为一种典型的 DC-DC 电感电流最大值与占空比的关系曲线<sup>[4]</sup>.

### 3 减小斜坡补偿对带载能力的影响

图 3 给出了另外一种结构的 DC-DC,可以减小斜坡补偿对带载能力的影响,其中 M1 ~ M6 的尺寸相同,  $R_2 = R_3$ . 同图 1 相比,这种结构删去了箝位电路 CLAMP,增加了两个比较器  $I_{HCMP}$  和  $I_{LCMP}$ . 这里,对电感电流最大值的限制不是采用对误差放大信号的高箝位,而是采用专门的比较器  $I_{HCMP}$  设法对电感

电流的真实值进行检测和比较,进行准确的电流限制. 为了利用  $V_S$  进行电流的检测和比较,  $I_{HCMP}$  的反相输入端的参考电平  $V_H$  上也加入了斜坡信号,

$$V_H = I_{REF} (R_4 + R_5) + I_{SLOPE} R_3 + I_{REF} R_3 \quad (6)$$

这样,在  $V_{ER}$  接近高箝位情况下,令 (1) 和 (6) 式相等,可以得到  $I_{HCMP}$  翻转时对应的电感电流采样信号为:

$$I_{SENSE} = k I_{REF} \quad (7)$$

其中  $k = \frac{R_4 + R_5}{R_2}$ , 是一个常数. 由此可见,电感电流的最大值不再受斜坡补偿的影响. 同理,低箝位时的电感电流峰值也不会受斜坡补偿的影响.

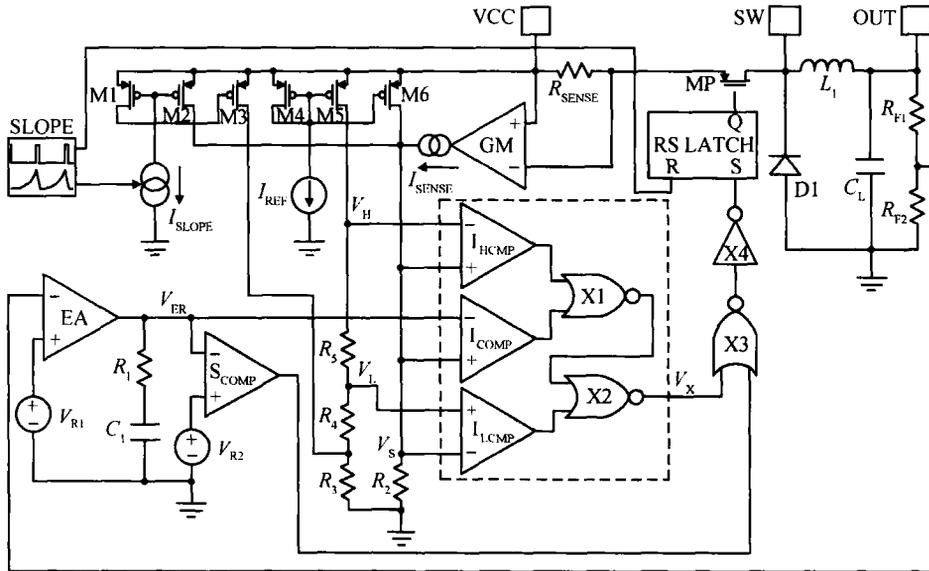


图 3 改进的 DC-DC 框图

Fig. 3 Block diagram of improved DC-DC

若不考虑休眠比较器  $S_{COMP}$  的作用,三个比较器  $I_{HCMP}$ ,  $I_{LCMP}$  和  $I_{COMP}$  对开关管的“关断”控制逻辑可描述为,当  $V_S < \text{Min}(\text{Max}(V_L, V_{ER}), V_H)$  时,关断 MP,下面一节论述用以实现这三个比较器功能和上述逻辑的复合比较器.

有两点需要说明:一是图 1 和图 3 中用电阻  $R_{SENSE}$  进行电流采样的结构功耗较大,并且采样比例随输入电压和芯片温度变化较大,具体设计时可以参考文献[4]的结构;二是取消对误差放大信号  $V_{ER}$  的箝位,可能导致在启动过程中  $V_{ER}$  过高而在输出接近稳定时不能尽快恢复到正常电平,设计时应保证误差放大器的跨导和压摆率足够大或采取软启动.

### 4 复合比较器

在上面提出的新结构中,需要增加两个比较器  $I_{HCMP}$  和  $I_{LCMP}$ ,由于这两个比较器同  $I_{COMP}$  一样,需要在一个周期内的部分时间内完成翻转,要求速度较高,因此其工作电流较大,这构成了集成 DC-DC 重要的功耗部分. 为减小工作电流,提高效率,本文提出了一种复合比较器,完成上述三个比较器和后续逻辑的功能(即图 3 中虚线框内的功能). 复合比较器如图 4 所示,其中,  $(W/L)_{1-4} = 80\mu\text{m}/1\mu\text{m}$ ,  $(W/L)_{5,7-9} = 5\mu\text{m}/5\mu\text{m}$ ,  $(W/L)_{6,10} = 15\mu\text{m}/5\mu\text{m}$ ,  $I_{BIAS} = 12\mu\text{A}$ ,考虑到  $V_L < V_H$ ,比较器的工作状态可描述如下:



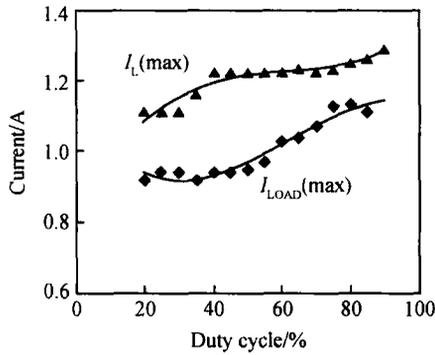


图 6 改进 DC-DC 的带载曲线

Fig. 6 Loading curves of the improved DC-DC

反而略有增大,这是因为图 3 中 M3 的  $V_{SD}$  大于 M2 的  $V_{SD}$ ,在沟道长度调制效应的作用下 M3 的电流大于 M2 的电流,从而在  $R_3$  上得到的斜坡信号大于  $R_2$  上的斜坡信号.图 6 中还显示最大带载  $I_{LOAD}(max)$  也随占空比的增大而增大,趋势与  $I_L(max)$  相同,而且在占空比较大时,  $I_{LOAD}(max)$  的上升幅度超过了  $I_L(max)$  的上升幅度,这是因为在输出电压和工作频率固定时,电感电流的峰峰值随占空比的增大而减小,从而带载能力随占空比增大而略有增强.测试结果表明,采用新方法显著地改善了芯片在大占空比时的带载能力,复合比较器工作良好,没有发现对其他电路造成不良影响.

该芯片输入电压可以设置为 2~5.5V,输出电压为 0.6V~ $V_{IN}$ ,输出电流为 800mA 以上,工作频率为 1.5MHz.可以稳定地工作在连续模式<sup>[8]</sup>和非连续模式<sup>[9]</sup>,并采用了同步整流技术,效率最高可达 94%.

## 6 结论

本文提出一种新颖的方法对电感电流进行特殊地检测和限制,减小了斜坡补偿对带载能力的影响,芯片测试结果表明可以提高带载能力 30% 以上,该方法可以应用于各种电流模 DC-DC 设计中.电路实现时采用了一种新颖的复合比较器,将三个比较器和部分逻辑的功能在一个复合比较器中实现,功耗仅等于一个传统比较器的功耗,并且电路简单,易于实现,对其他数模混合电路的设计具有借鉴作用.

## 参考文献

- [1] <http://focus.ti.com/lit/an/slua101/slua101.pdf>
- [2] <http://www.venable.biz/tp-05.pdf>
- [3] Ridley R. Current mode control modeling. Switching Power Magazine, 2001
- [4] <http://www.linear.com.cn/pc/download/Document.do?navId=HO,C1,C1003,C1042,C1032,C1064,P1886,D1529>
- [5] Wang Hongyi, Lai Xinquan, Li Yushan, et al. A piecewise-linear compensated bandgap reference. Chinese Journal of Semiconductors, 2004, 25(7): 771
- [6] Wang Hongyi, Wang Songlin, Lai Xinquan, et al. Design guidelines of CMOS voltage references. Microelectronics, 2003, 33(5): 415 (in Chinese) [王红义, 王松林, 来新泉, 等. CMOS 电压基准的设计原理. 微电子学, 2003, 33(5): 415]
- [7] <http://focus.ti.com/lit/ml/slup075/slup075.pdf>
- [8] Vorpérian V. Simplified analysis of PWM converters using model of PWM switch, Part 1: continuous conduction mode. IEEE Trans Aerospace Electron Syst, 1990, 25(5): 490
- [9] Vorpérian V. Simplified analysis of PWM converters using model of PWM switch, Part 2: discontinuous conduction mode. IEEE Trans Aerospace Electron Syst, 1990, 25(5): 497

## Reducing the Slope Compensation Effect on the Load Capacity of DC-DC Converters \*

Wang Hongyi, Lai Xinquan<sup>†</sup>, and Li Yushan

(*Institute of Electronic CAD, Xidian University, Xi'an 710071, China*)

**Abstract:** In the design of current-mode PWM DC-DC converters, the slope compensation method widely used to prevent sub-harmonic oscillation can significantly weaken the load capacity under a high duty cycle. The method presented in this paper reduces the slope compensation effect on the maximum inductor current. The inductor current can reach a high value even if the duty cycle is high. The load capacity is improved significantly. In the implementation, a novel multiplex comparator is used to realize the functions of three conventional comparators and some logic circuits. The power dissipation is as low as that of a conventional comparator. The circuit is concise and simple to implement.

**Key words:** DC-DC converter; slope compensation; loading ability; multiplex comparator

**EEACC:** 1210; 1290B; 2570D

**Article ID:** 0253-4177(2006)08-1484-06

---

\* Project supported by the National Natural Science Foundation of China (No. 60172004) and the Doctoral Foundation of the Ministry of Education of China (No. 20010701003)

<sup>†</sup> Corresponding author. Email: xqlai@eutechx.com.cn

Received 9 September 2005, revised manuscript received 10 May 2006

©2006 Chinese Institute of Electronics