

# 新型的自适应均衡芯片设计\*

黄姣英<sup>†</sup> 何怡刚 沈 芳

(湖南大学电气与信息工程学院, 长沙 410082)

**摘要:** 设计了一款新型的自适应均衡芯片. 采用自适应算法与内置 576 抽头数字滤波器完成重影消除的所有功能. 芯片高度集成, 内嵌 DSP 控制器、存储器、同步检测器、D/A、A/D 及用户编程. 该芯片采用 3.3V 电源电压、0.35 $\mu$ m CMOS 工艺生产制造; 在典型工作频率下最大功耗为 1.3W, 80-pin 的 QFP 封装, 封装前裸芯片 (包括 PAD 在内) 的尺寸为 14mm  $\times$  20mm.

**关键词:** 自适应均衡; 数字滤波器; CMOS; 多径干扰; DAC

**EEACC:** 1265H; 1280; 2570D

**中图分类号:** TN431.1

**文献标识码:** A

**文章编号:** 0253-4177(2006)08-1503-05

## 1 引言

多径干扰也称回波 (echo) 干扰, 会导致符号间的干扰 (inter symbol interference, ISI), 引起误码<sup>[1]</sup>, 在模拟电视中, 则引起重影 (ghost). 抗多径干扰技术被广泛运用于数字 TV/ HDTV 和模拟 TV 中, 最有效的办法是采用自适应均衡器<sup>[2~6]</sup>.

文献[7]利用相关估计算法和多径拆分算法配制预滤波器参数的预滤波式均衡器结构非常复杂, 计算量大; 文献[8]提出了带删除抽头的分层结构的均衡器, 它能大幅度地压缩均衡器的硬件规模, 但滤波系数无法实时更新; 文献[9]采用小的数模混合 IC 计算滤波系数, 设计了仅适合于硬盘驱动的模拟自适应反馈判决均衡器; 文献[4]采用全数字工艺设计的均衡器芯片, 其分辨率最高只有 8 位, 无法满足视频系统高分辨率的要求.

本文设计的自适应均衡芯片, 能消除 -6.15 ~ +41.6 $\mu$ s 的回波 (重影), 可与 TTL 兼容 (5V tolerant), 当工作频率为 14.318MHz (4Fsc) 时, 最大功耗仅为 1.3W; 精度要高于文献[3, 4]所设计的芯片的精度, 满足视频系统高分辨率的要求.

## 2 系统结构

本文设计的自适应均衡芯片高度集成, 传统的外部设备如: DSP 控制器、存储器、同步检测器、D/A、A/D 及用户编程等都在芯片内实现. 通过 I<sup>2</sup>C 接口可得到含信噪比 (SNR) 和均衡系数 (equalizer

taps) 的报告, 收敛时间为 1.7 ~ 11.2s, 芯片能接受外部参考时钟. 芯片的系统结构如图 1 所示, 其中, DSP 用于数字滤波系数的计算, 预存于 RAM/ROM 中的代码用来处理多径干扰, 信号进入芯片前及离开芯片后须进行低通滤波 (low-pass filter). 鉴于文章篇幅, 本文重点介绍带删除抽头的滤波器与 DAC 的设计.

### 2.1 带删除抽头的滤波器设计

多径 (回波) 消除的基本思想是估计多径路径的特征参数, 产生一个模拟的多径路径, 得出模拟多径信号, 从接收信号减去该信号, 实现多径消除. 由于多径路径通常是未知的, 该芯片采用横向自适应滤波器来模拟多径路径, 滤波器抽头的多少取决于多径传输的时延范围. 另一方面, 根据高清晰度电视信道的特征, 无线视距传输存在反射、折射等, 产生付径. 加拿大通信研究中心在渥太华市区的测试结果表明: 多径时延差一般为 -2 ~ +24 $\mu$ s, 相对幅度较强的只有 2 ~ 3 径. 散射路径时延为 -2 ~ +4 $\mu$ s 的回波强度一般低于 -6dB, 时延 +4 ~ +24 $\mu$ s 的一般低于 12dB.

以上说明滤波器中 IIR 部分的抽头系数只有有限的几个不为零, 其余绝大多数都应该为零. 根据这个思想可以构造删除抽头的滤波器. 横向滤波器的所有抽头中, 只有少数保留乘加器, 大部分只保留一个 D 触发器, 即抽头系数为零. 均衡 DSP 根据其抽头系数的大小, 检测到大的付径的位置 (即在使用 DSP 计算得到的相应系数中, 数值较大的系数位

\*国家自然科学基金 (批准号: 50277010), 高校博士点基金 (批准号: 20020532016), 湖南省科技计划 (批准号: 03JJ Y1010, 03GKY3115, 04FJ 2003, 05GK2005), 教育部新世纪优秀人才支持计划 (批准号: NCET-04-0767) 和湖南大学摘英计划资助项目

<sup>†</sup>通信作者. Email: huangjy @pinble.com

2005-12-21 收到, 2006-03-21 定稿

©2006 中国电子学会

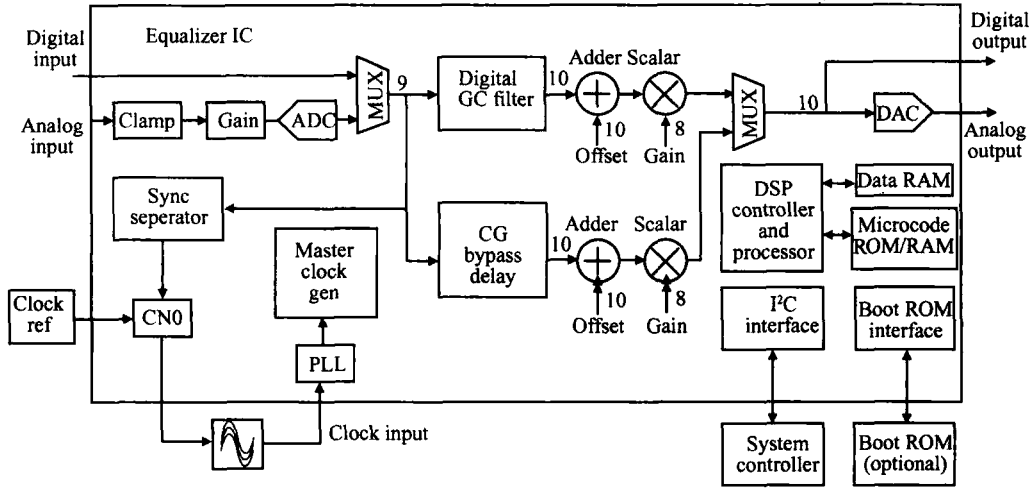


图 1 芯片的系统结构

Fig. 1 IC system architecture

置). 使用开关电路将有限的几个 IIR 抽头系数分配到这些大付径的位置上. 其电路原理示意图如图 2 所示, 图中左边是 FIR 部分, 右边是可分配抽头系数的 IIR 部分. 一般的一个 D 触发器对应一套乘加电路. 而芯片采用的电路是节点抽头系数可分配的, D 触发器很多, 乘加电路不多, 由开关根据需要分配. 因为乘加电路规模远远大于 D 触发器, 所以这种结构可以节省很多芯片面积. 为了对付带内波动,

主径附近的抽头不能删除. 根据带内波动的大小, 超前主径的 FIR 和滞后主径的 IIR 分别保留 10 ~ 30 级. 芯片内部滤波器结构见图 3. 144 抽头有限冲激响应的最前面的 88 抽头用于消除前驱重影, 另外 432 抽头递归滤波器消除延迟重影. 这 432 抽头递归滤波器又进一步被划分为 360 抽头主滤波器用于消除 0 ~ 25 $\mu$ s 的延迟重影, 另有两个 36 抽头“浮动”滤波器消除 25 ~ 41.6 $\mu$ s 延迟重影.

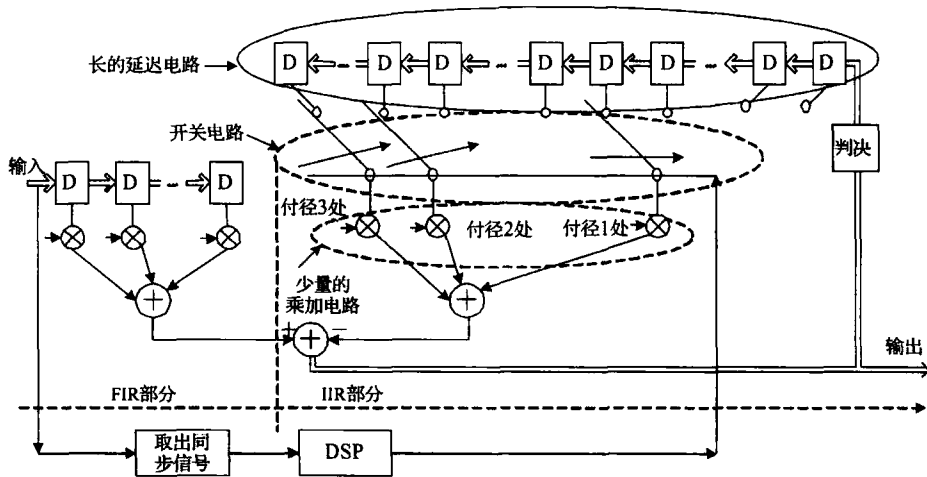


图 2 智能化地选取 IIR 滤波器抽头系数的 DSP 均衡器<sup>[8]</sup>

Fig. 2 Intelligentized DSP equalizer<sup>[8]</sup>

通过自适应算法选取 IIR 滤波器抽头, 可能会对重影消除的速度和质量产生不利的影响, 这里采用定制的自适应算法, 分为 3 步. 在算法的第 1 阶段, 对接收到的视频信号取样量化的作用是消除其直流电平 (DC level) 以及无变化 (non-varying) 的视频信号, 取样量化后, 通过内置参考信号对其进行修

正; 若接收到的信号中无 GCR, 则回波消除过程中断, 视频信号无需处理; 若有 GCR, 则修正输出信号, 修正函数的最强峰值等于主信号的峰值. 在第 2 阶段, 采用 LMS 算法计算数字滤波系数. 通过实际的 GCR 减去内置的标准 GCR 得到一个误差向量, 通过过滤输入信号修正该误差向量后, 在第三阶段,

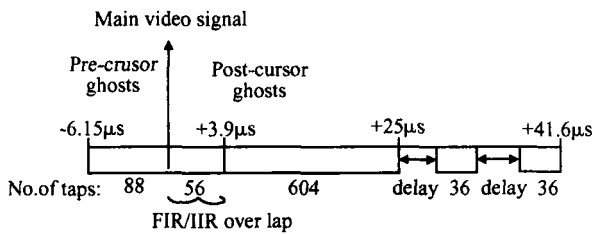


图 3 芯片内部滤波器结构  
Fig. 3 IC internal filter structure

用来调整滤波系数,相关计算由内部 DSP 电路包含的 10 K 位的微代码完成. 自适应过程分为快、慢两种工作模式. 在快模式中,当信道改变后,执行系数的快速自适应,这使得滤波器快速收敛,处理后的视频图像立即显示,收敛时间与噪声有关,为 1.7 ~ 11.2s. 然后跳变为慢模式,跟踪回路路径的任何改变,时刻监控滤波器性能以确保稳定. 若不稳定,自适应过程被重置,产生一个新的计算系数.

### 2.2 DAC 设计

本文设计的 10bit CMOS DAC 采用电流舵 (current steering) 结构. 设计高位的 DAC,若全部采用温度计码结构,一共需要  $2^{10} = 1024$  个单位电流源,芯片面积会很大,在设计中是不可取的. 因为这种结构 DAC 的每一位 LSB 都需要一个单位电流源、一个开关和一个译码电路,但其匹配要求很低,单位电流源满足 50% 的匹配精度就足以使其微分线性度误差小于 0.5LSB,能大大地减少短时脉冲波形干扰<sup>[10~12]</sup> (glitch),而温度计码 DAC 的线性度几乎不受 glitch 的影响. 综合考虑芯片面积与线性度的关系,在尽量做小电流源布局,解决匹配问题和减少单元数之间进行了协调,芯片采用“6+4”的分段式<sup>[13,14]</sup> 结构实现 DAC,即高 6 位采用温度计码单位电流源结构,低 4 位采用二进制加权电流源结构,如图 4 所示. 两种电流源参数不同但结构类似,分别

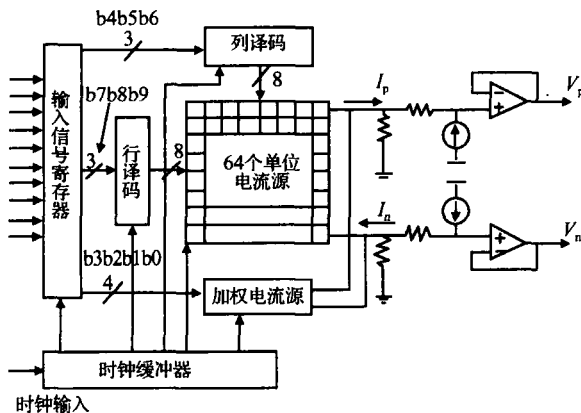


图 4 10 位温度计码 DAC 结构图

Fig. 4 10-bit thermometer-decode DAC structure

为低 4 位和高 6 位提供参考电流,为高 6 位提供的参考电流是为低 4 位提供的参考电流的 16 倍.

为了补偿梯度误差,在电路中还采用了层次式对称开关序列技术<sup>[15]</sup>.

一般地,对于传统对称开关有:

$$INL_G = |g(1)| \tag{1}$$

$$INL_S = \left| s(k) \right|_{k=N/4+1}^{3N/4} \tag{2}$$

而对于层次对称开关有:

$$INL_G = |g(1) + g(N/2)| \tag{3}$$

$$INL_S = |s(1)| \tag{4}$$

其中  $INL_G$  是由分级误差引起的线性积分误差; $INL_S$  是由对称误差引起的线性积分误差,又有

$$g(k) = \frac{2k - N - 1}{2(N - 1)} \tag{5}$$

$$s(k) = \frac{N/2 - (2k - N - 1)}{N - 2} \tag{6}$$

式中  $g(k)$  和  $s(k)$  分别表示第  $k$  个开关所对应的电流源的误差值.

从以上公式可以看出,传统对称开关中因对称误差所引起的线性误差与单位电流源的个数  $N$  成正比. 而在层次式对称开关中,因为在每一个周期内因电流源产生的误差可以得到抵消,因此,其线性误差的增加可以较好地得到抑制. 图 5 为线性误差分

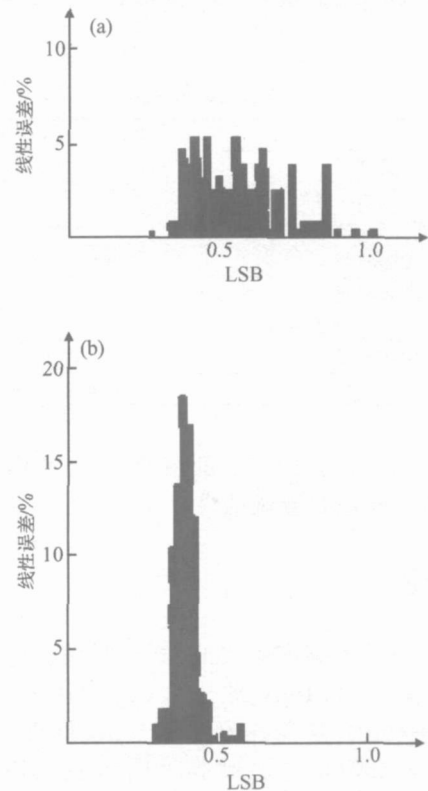


图 5 采用层次对称开关前(a)、后(b)的线性误差分布

Fig. 5 Linearity error distribution without (a) and with (b) using symmetrical switching

于 300 时的仿真结果,采用层次对称开关后,线性误差 99% 以上小于 0.5LSB.

### 3 芯片测试结果及仿真分析

芯片采用新加坡 Chartered 1 层多晶硅、4 层金属(1P4M) 3.3V 电源电压、0.35 $\mu\text{m}$  CMOS 工艺生产制造,芯片照片如图 6 所示,芯片测试结果如表 1 所示.

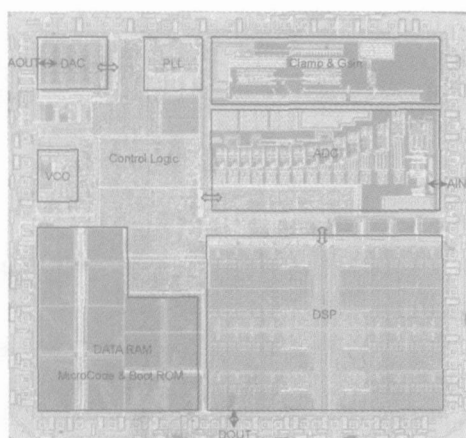


图 6 10 位自适应均衡芯片照片

Fig. 6 Photograph of video-rate adaptive equalizer IC

表 1 10 位自适应均衡芯片测试结果

Table 1 Test result of equalizer IC

工艺	0.35 $\mu\text{m}$ 2P2M (Chartered) CMOS 工艺
精度	10 位
可消除的范围	- 6.15 ~ +41.6 $\mu\text{s}$
可消除重影	- 6dB
重影残余	低至 40dB
收敛时间	1.7 ~ 11.2s
最大功耗(14.32MHz 采样率时)	1.3W
电源电压	3.3V
裸片面积	14mm $\times$ 20mm

图 7 为芯片处理前后的图像对比. 而图 8 为设计的 ADC 的 INL 测试结果.

### 4 结论

本文设计了高度集成的 10 位时域自适应均衡芯片. 可消除 - 6.15 $\mu\text{s}$  到 +41.6 $\mu\text{s}$  的回波,重影残余可低至 40dB,兼容各种国际 GCR 标准,芯片采用 0.35 $\mu\text{m}$  CMOS 工艺制造,80-pin 的 QFP 封装,封装前的裸芯片(包括 PAD 在内)的面积为 14mm  $\times$  20mm.

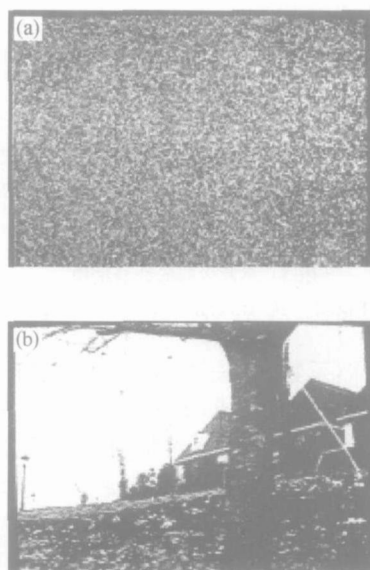


图 7 (a) 非均衡图像; (b) 均衡后的图像

Fig. 7 (a) Nonequalized image; (b) Equalized image

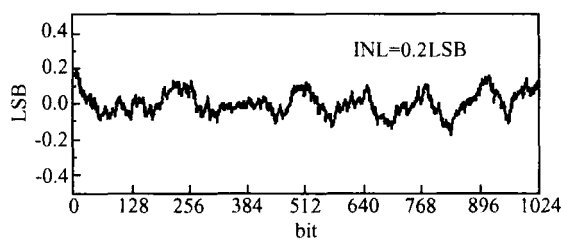


图 8 ADC 的 INL 测量结果

Fig. 8 Measured INL of ADC

**致谢** 作者感谢北京圣涛平试验工程技术研究院与北京中科联创科技有限公司在技术与流片方面给予的帮助、支持.

### 参考文献

- [1] Peloso R A. Adaptive equalization for advanced television. IEEE Trans Consumer Electronics, 1992, 38(3): 119
- [2] Cao Huihua, Yang Lianxing. Design of an equalizer in an ethernet receiver and its implementation. Chinese Semiconductor Technology, 2003, 28(7): 35 (in Chinese) [高辉华, 杨莲兴. 一种适用于以太网接收器的均衡器结构及其实现. 半导体技术, 2003, 28(7): 35]
- [3] Eswards B, Corry A. A single-chip video ghost canceller. IEEE J Solid-State Circuits, 1993, 28(3): 379
- [4] Tsutomu K, Kobayashi S. A digital-processing IC for ghost canceller. IEEE Trans Consumer Electronics, 1992, 38(3): 127
- [5] Gracias S, Reddy U V. An equalization algorithm for wavelet packet based modulation schemes. IEEE Trans Signal Processing, 1998, 46(11): 3082
- [6] Wu Bingyang, Chen Qifan, Cheng Shixin. Performance of

- wavelet-transform-domain adaptive equalizers. Journal of Southeast University (English Edition), 2002, 18(1): 13
- [ 7 ] Dong Bin, Wang Kuang. Theory and implementation of pre-filtered equalizer. Journal on Communications, 2003, 24(11): 130 (in Chinese) [董斌, 王匡. 预滤波式均衡器的原理与实现. 通信学报, 2003, 24(11): 130]
- [ 8 ] Song Hangbin, Meng Limin. Design of a hierarchical equalizer in HDTV. Journal of Zhejiang University of Technology, 1999, 27(3): 195 (in Chinese) [宋杭宾, 孟利民. HDTV 中分层结构的均衡器的设计. 浙江工业大学学报, 1999, 27(3): 195]
- [ 9 ] Michiel Q L, Hurst P J. An analog DFE for disk drives using a mixed-signal integrator. IEEE J Solid-State Circuits, 1999, 34(5): 592
- [10] Tesch B J, Garica H C. A low glitch 14-b 100-MHz D/A converter. IEEE J Solid-State Circuits, 1997, 32(9): 1465
- [11] Wu T Y, Jih C T, Chen J C, et al. A low glitch 10-bit 75-MHz CMOS video D/A converter. IEEE J Solid-State Circuits, 1995, 30(1): 68
- [12] Xu Yang, Min Hao. High speed current domain in CMOS D/A converter design. Chinese Journal of Semiconductors, 2000, 21(6): 597 (in Chinese) [徐阳, 闵昊. 一种高速电流型 CMOS 数模转换器设计. 半导体学报, 2000, 21(6): 597]
- [13] Lin C H, Bultk K. A 10-b 500-MSample/s CMOS DAC in 0.6 $\mu\text{m}^2$ . IEEE J Solid-State Circuits, 1998, 33(12): 1948
- [14] Jiang Jinguang, He Yigang, Wu Jie. Realization of 12-bit 80MHz sample/s CMOS current steering D/A converter with gradient error compensation. Chinese Journal of Semiconductors, 2003, 24(12): 1324 (in Chinese) [江金光, 何怡刚, 吴杰. 12 位 80MHz 采样率具有梯度误差补偿的 CMOS 电流舵 D/A 转换器实现. 半导体学报, 2003, 24(12): 1324]
- [15] Cong Y, Geiger R L. Switching sequence optimization for gradient error compensation in thermometer-decoded DAC arrays. IEEE Trans Circuits and Systems: Analog and Digit Signal Processing, 2000, 47(7): 585

## Design of a Novel Video Rate Adaptive Equalizer IC\*

Huang Jiaoying<sup>†</sup>, He Yigang, and Shen Fang

(College of Electrical & Information Engineering, Hunan University, Changsha 410082, China)

**Abstract:** A novel video-rate adaptive equalizer IC that reduces the effect of multi-path signal echoes (ghosts), is described. An adaptive algorithm is used to dramatically improve the quality of the received image. The device, whose internal 576-tap digital filter eliminates artifacts that result from multi-path echoes, performs all the functions required for ghost cancellation and comprises DSP controllers, memory, syn detection, D/A converters, A/D converters, and user programming. The device is encapsulated in an 80-pin QFP, and the active area (PADs including) is 14mm  $\times$  20mm in a 0.35 $\mu\text{m}$  CMOS process. It operates with a 3.3V power supply and dissipates 1.3W at the rate of 14.318MHz.

**Key words:** adaptive equalizer; digital filter; CMOS; multi-path echo; DAC

**EEACC:** 1265H; 1280; 2570D

**Article ID:** 0253-4177(2006)08-1503-05

\*Project support by the National Natural Science Foundation of China (No. 50277010), the Doctoral Special Fund of the Ministry of Education (No. 20020532016), the Science and Technology Project of Hunan Province (Nos. 03JJ Y1010, 03GKY3115, 04FJ2003, 05GK2005), the Outstanding Scientist Fund of the Ministry of Education (No. NCET-04-0767), and the Fund of Outstanding Young Scientist of Hunan University of China

<sup>†</sup>Corresponding author. Email: huangjy@pinble.com

Received 21 December 2005, revised manuscript received 21 March 2006

©2006 Chinese Institute of Electronics