

0.6V 电源电压的 CMOS 基准源设计及稳定性分析

王 晗[†] 叶 青

(中国科学院微电子研究所, 北京 100029)

摘要: 在 SMIC 0.18 μm CMOS 工艺下实现了一种工作在 0.6~1.5V 下的基准源. 分别采用环路增益法和返回比法对其中的自偏置放大器和核心电路的环路特性进行了分析. 芯片输出的基准电压为 0.4V, 工作电流为 4.8 μA , 在 -40~120 范围内温度系数小于 80ppm/ $^{\circ}\text{C}$, 面积(不包括 PAD)为 0.045 mm^2 .

关键词: 基准源; 超低电压; 自偏置; 稳定性; 环路增益; 返回比

EEACC: 1205; 1290

中图分类号: TN402

文献标识码: A

文章编号: 0253-4177(2006)08-1508-06

1 引言

基准源由于具有低温度系数的特性,因而被广泛应用于模拟和数字电路中. 传统的带隙基准源利用与绝对温度成正比的电路来抵消双极晶体管基极-发射极结的负温度特性,输出电压一般为硅的带隙电压 1.25V 左右^[1]. 随着深亚微米集成电路工艺和手持移动设备产业的飞速发展,低电源电压和低功耗的模拟电路设计正成为研究的热点. 根据国际半导体工业协会(semiconductor industry association, SIA)做出的预测,2007 年低功耗芯片的电源电压将低至 0.8V^[2]. 这对基准源的设计是一个严峻的挑战,传统的带隙基准电路结构已不能满足要求.

近年来有研究指出^[3],当漏电流保持不变时,工作在弱反型区的晶体管的栅源电压随着温度的升高而在一定范围内近似线性降低. 基于该特性,带隙基准源所采用的基极-发射极结可以被工作在弱反型区的晶体管代替来产生低温度系数的基准源. 文献[4]中提到了采用该设计原理的基准源,利用 0.13 μm 工艺的低阈值电压 nMOS 管和衬底调整的 pMOS 管实现了其中的放大器. 本文则设计了自偏置放大器来满足低电源电压的要求,并采用环路增益法(loop gain, 以下简称 af)和返回比法(return ratio, 以下简称 RR)对放大器和核心电路的环路稳定性进行了分析. 流片测试结果表明了完全可以在现有的 0.18 μm 标准 CMOS 工艺条件下实现 0.6V 电源电压的基准源.

2 基准源电路的温度特性分析

近几年陆续出现了几种工作在 1V 左右电源电压的基准源^[5~10],其中用来产生负温度系数的电路元件一般采用标准 CMOS 工艺中的寄生纵向 pnp 三极管. 本文给出的电路结构如图 1 所示,工作在弱反型区的 nMOS 管 NM1, NM2 代替了传统的 pnp 管,可极大降低电源电压的下限. 图 1 中基准源电路的电源电压须满足 $V_{DD} > V_{1,2} + V_{dsat, PM1,2}$, 其中 $V_{1,2}$ 为图中 1 或 2 点处的电压,约为 0.3~0.4V, $V_{dsat, PM1,2}$ 为 pMOS 管 PM1 和 PM2 的饱和压降,约为 0.2V,因此该电路结构的电源电压理论上最低可至 0.6V.

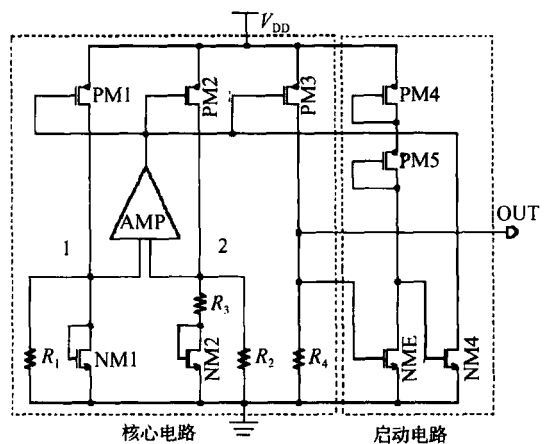


图 1 低电源电压的基准源电路图

Fig. 1 Schematic of the low power voltage reference circuit

[†]通信作者. Email: wanghan@ime.ac.cn

2005-12-05 收到, 2006-03-25 定稿

本文首先分析工作在弱反型区的 nMOS 管的温度特性. 假定漏电流保持不变, nMOS 管源端与衬底之间的电势差为零, 漏端与源端的电势差大于 $4V_T$ ($V_T = kT/q$, 常温下约为 26mV), 此时 nMOS 管的栅源电压与温度的关系式如下^[11]:

$$V_{GS}(T) = V_{GS}(T_0) + K_G \left(\frac{T}{T_0} - 1 \right) \quad (1)$$

其中

$$K_G \triangleq K_T + V_{GS}(T_0) - V_{TH}(T_0) - V_{OFF} \quad (2)$$

式中 K_G 表示栅源电压的温度系数. T_0 一般取室温 300K; K_T 为阈值电压 V_{TH} 的温度系数, 在工作环境的温差范围内一般可认定为常数^[12]; V_{OFF} 为 BSIM3 模型中 MOS 管从强反型区过渡到弱反型区工作状态时的阈值修正项. 利用 SMIC 提供的模型参数可以估计出 K_G 约为 -241mV, 由(1)式可知弱反型区工作的 MOS 管的栅源电压具有近似恒定的负温度系数.

图 1 中的 nMOS 管 NM1, NM2 工作在弱反型区时有^[13]:

$$I_{D, NM1,2} = \mu C_d S_{1,2} V_T^2 \left(e^{\frac{V_{GS, NM1,2} - V_{TH, NM1,2} - V_{OFF}}{V_T}} \right) \quad (3)$$

其中 μ 为沟道内载流子的迁移率; C_d 为单位面积的耗尽层电容; S 为沟道的有效宽长比; γ 为亚阈值坡度因子. 假设 $R_1 = R_2$, $I_{D, NM1} = I_{D, NM2}$, 得到:

$$V_{GS, NM1} - V_{GS, NM2} = V_H + \left(\frac{kT}{q} \right) \ln \left(\frac{S_2}{S_1} \right) \quad (4)$$

忽略 V_{TH} , 根据(1)、(2)和(4)式得到输出电压的表达式:

$$V_{ref} = \frac{R_4}{R_2} (V_{TH0} + V_{OFF} - K_T) + \left[\frac{R_4}{R_3} \times \left(\frac{k}{q} \right) \ln \left(\frac{S_2}{S_1} \right) + \frac{R_4 K_G}{R_2 T_0} \right] T \quad (5)$$

可知, 当 M1, M2 的器件尺寸满足下式时:

$$\frac{S_2}{S_1} = e^{-\frac{R_3}{R_2} \times \frac{K_G}{26}} \quad (6)$$

输出电压的温度系数近似为零. 考虑到阈值电压的温度系数随温度变化有一定的浮动, (6)式还有待仿真软件的验证. 设定 NM1 和 NM2 的器件尺寸 $S_2 = 8S_1$, 利用 SPICE 确定 $R_2/R_3 = 250k/75k$ 时输出电压的温度系数最低. 将 K_G 和 γ 的值(约为 1.3)一起代入(6)式即可计算出 $R_2/R_3 = 3.4$, 这与仿真得到的数值仅相差 2%, 验证了上述推导的结果.

3 运算放大器设计

基准源电路需要一个运算放大器使得电路中 1 点和 2 点稳定在近似相等的电压, 该值稍低于 nMOS 管的阈值. 同时运放的输出电压至少要比电源电压低一个 pMOS 管的阈值电压. 除此之外, 运

放的增益一般应大于 60dB, 带宽则不作限定^[5]. 电路设计时作如下几点考虑:

(1) 采用工作在弱反型区的 nMOS 管作为运放的输入管. 此时 nMOS 管的工作状态类似于 Bipolar, 其跨导值取决于流过的漏电流而与 MOS 管尺寸无关. 但是根据(3)式, 工作在弱反型区的 MOS 管漏电流与阈值电压呈指数关系, 为了避免大的失调电流, 设计电路时应该选择尽可能大的 MOS 管尺寸来减小阈值失配对输出基准电压的影响.

(2) 0.6V 的电源电压限制了高增益放大器中套筒结构的使用, 本文选择两级结构的运算放大器以及合适的密勒补偿电容和消零电阻来保证电路的稳定^[14].

(3) 运放一般采用恒定的电流源来提供电路的偏置电流, 但是通常的电流源结构不能工作在 0.6V 的电源电压下, 本文采用自偏置放大器, 即运放的电流源由运放输出级的电流动态偏置, 该结构能够有效增加运放的直流增益^[15].

运算放大器的结构及晶体管尺寸 W/L 如图 2 (a) 所示, 包括输入级、输出级、补偿电路(包括密勒补偿电容和消零电阻)以及偏置电路. 其中 $g_{m, NMn}$ ($g_{m, PMn}$) 和 $g_{0, NMn}$ ($g_{0, PMn}$) 分别是 MOS 管 NMn (PMn) ($n = 1, 2, 3 \dots$) 的跨导和输出导纳, $k = \frac{S_{PM2,3}}{S_{PM1}} \times \frac{S_{NM1}}{S_{NM0}}$ 是电流从偏置电路 PM0 复制到输入级负载管 PM2, 3 的比例系数. 本文定义正反馈带来的增益增强系数为:

$$E = \frac{1}{2 \times \left(1 - k \times \frac{g_{m, NM4} g_{m, PM0}}{g_{0, PM4} g_{m, NM5}} \right)} \quad (7)$$

则放大器直流增益如下:

$$\frac{V_{out}}{V_{inn} - V_{inp}} = -E \left(\frac{g_{m, NM2}}{g_{0, NM2} + g_{0, PM2}} \right) \times \left(\frac{g_{m, NM4}}{g_{m, PM4}} \right) \quad (8)$$

上式中等号右边表达式的第二项和第三项分别表示输入级和输出级的增益. 注意到增益增强系数必须为正值才能保证电路的增益为负. 此外, 自偏置电路存在反馈回路, 必须对电路的环路特性进行分析. 该放大器存在三个环路: 输入级的差分输入管加上它们的漏端到尾电流源栅极的共模反馈电路, 构成了前两个简单的负反馈回路; 而第三个环路则包括输出电压反馈到偏置电路再由负载管和输出级返回到出发点, 经过分析该环路是正反馈. 增益大于 1 的正反馈会导致电路的不稳定乃至振荡, 因此须保证该反馈环路满足 $|af| < 1$. 采用环路增益法^[11]得到如下的稳定性条件:

$$k < \frac{g_{m, PM4}}{g_{m, NM4}} \times \frac{g_{m, NM5}}{g_{m, PM0}} \quad (9)$$

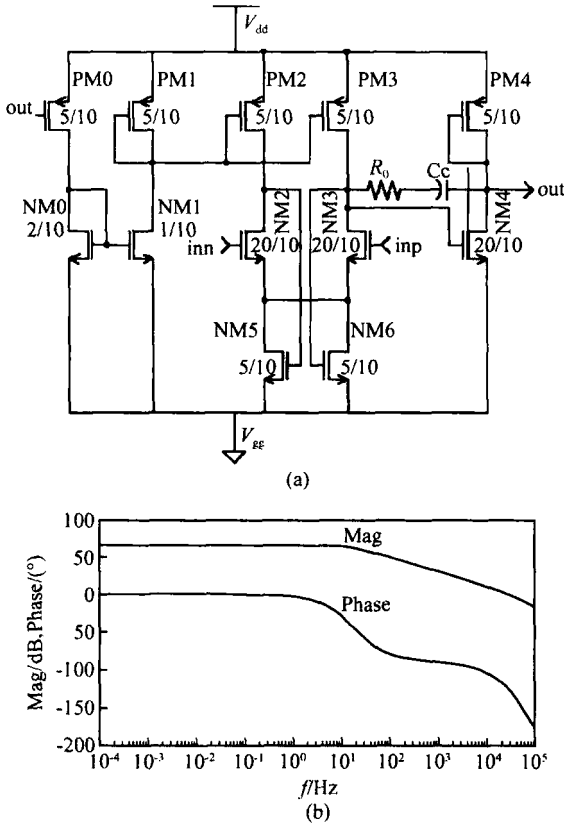


图 2 (a) 运算放大器原理图; (b) 运算放大器增益波特图

Fig. 2 (a) Schematic of the op amp; (b) Bode plot of the op amp

选择合适的器件尺寸使得输出级的增益为 1.5 , $g_{m,PM0} \sim 2g_{m,NM5}$, 则有 $k < 1/3$, 这个条件同时也保证了放大器为负增益. 由此可见, 放大器的增益和稳定性之间存在着折衷, 假定 k 值在 0 到 $1/3$ 之间变化, 当 k 值减小至 0 时, 放大器的增益也随之减小最后趋近 $-0.5a_1a_2$ (a_1 和 a_2 分别为输入级和输出级的增益); 当 k 值加大, 放大器增益变大的同时其环路的正反馈增益也趋近于 1 ; 直到 k 值大于 $1/3$ 时, 环路增益大于 1 , 同时放大器的开环增益由负值变成了正值, 电路工作开始不稳定并很快脱离工作区. 实际的电路设计中选择 k 等于 0.25 , 在保持运放高增益的同时留出足够的裕度.

通常在基准源电路中需要启动电路使得系统上电时电路能够进入正常的工作状态. 而自偏置放大器电路往往也存在启动问题^[15]. 当电路处于非工作状态时, 放大器的输入端电压初始值为零, 而输出电压由于寄生电容的存在可能位于一个比较高的电势, 当电源接通后不但放大器的偏置电路为截止状态, 而且基准源的核心电路也无法正常启动. 本文设计的启动电路则可以同时满足放大器和核心电路的启动要求. 当电源接通后, 启动电路提供了放大器输出端到地的通路, 从而拉低了核心电路中 $PM1$,

$PM2$ 和 $PM3$ 以及放大器中 $PM0$ 的栅极电势, 放大器的偏置电路开始工作, 同时基准源的 $PM1$ 和 $PM2$ 支路中流过的电流也随之增大, 使得 1 点和 2 点处的电势上升, 这样放大器进入了高增益工作区, 带动基准源电路开始正常工作.

仿真结果表明该运算放大器在 $0.5V$ 的最低工作电压下增益大于 $50dB$, 当电源电压为 $0.6V$ 时增益为 $65dB$, 负载电容 $20pF$ 时相位裕度为 57° , 放大器增益传输函数的波特图如图 2 (b) 所示.

4 稳定性分析

图 1 所示的基准源核心电路中, 放大器与 MOS 管 $NM1, NM2, PM1, PM2$ 以及电阻 $R_1 \sim R_3$ 构成了一个反馈环路, 若采用 af 方法分析其稳定性, 会带来明显而且很难解决的问题. 首先, af 方法要求精确的设定环路断开处的直流工作点, 而基准源要求在各种条件下 (电源电压, 温度, 转角工艺以及负载等等) 能够正常工作, 这些条件的变化会引起环路直流工作点也随之浮动. 这样每当条件改变, af 方法必须重新设定断开处的直流工作点, SPICE 仿真的进度缓慢且结果不准确甚至可能完全错误; 除此之外, 断开点原本的极点也随之被分割成两个极点, 这给环路的高频特性带来误差.

本文引入一种称为“返回比”(RR)的方法来近似估计闭环传递函数. 这种方法最初由 Bode 提出^[16], 后来由 Middlebrook 推广, 使之可以利用 SPICE 等电路仿真程序精确的计算环路参数^[17]. 相比 af , RR 的优点是在不断开环路的情况下进行电路仿真, 电路的直流偏置点完全保留在环路中^[18]; 不足之处是要分两次计算电压和电流小信号返回比参数 T_v 和 T_i .

图 3 为环路的返回比分析原理图, 闭环回路由 AMP, PB1, PB2, R_{B1} 及 R_{B2} 组成, 略去了与闭环回路无关的部分电路, $R_{B1} = (1/g_{m,NM1})$ R_1 和 $R_{B2} = (1/g_{m,NM2} + R_3)$ R_1 分别为图 1 中 $1, 2$ 点与地之间的等效电阻, $g_{m,NM1}$ 和 $g_{m,NM2}$ 分别为基准源电路中 $NM1$ 和 $NM2$ 的跨导. 运放的电压传输函数如下式:

$$A(s) = \frac{A_0}{(1 + \frac{s}{\omega_{p1}}) \times (1 + \frac{s}{\omega_{p2}})} \quad (10)$$

其中

$$\omega_{p1} = \frac{2g_{m,PM4}g_{m,NM2}}{E(g_{m,NM4} + g_{m,PM4})C_c} \quad (11)$$

$$\omega_{p2} = \frac{g_{m,NM4}^2}{Eg_{m,NM4}C_L} \quad (12)$$

式中 A_0 为运算放大器的直流增益; ω_{p1} 和 ω_{p2} 分别

为该运放的主极点和非主极点; C_L 为运放的输出电容. 测试时在环路中分别加入电压和电流小信号激励源, 根据环路的小信号模型计算出电压和电流小信号的返回比参数 T_v 和 T_i (具体见文献 [17]). 考虑到在很大的频率范围之内 CMOS 管的输入阻抗都远大于图 3 中 1 或 2 点处往下看的等效阻抗, 使得 T_i 远小于 T_v , 这样得到的传输函数表达式如下:

$$tf = \frac{T_v T_i - 1}{T_v + T_i + 2} \cong$$

$$\frac{A_0 g_{m, PB} (R_{B2} - R_{B1})}{\left(1 + \frac{s}{\omega_{p1}}\right) \times \left(1 + \frac{ms}{\omega_{p2}}\right) \times \left(1 + \frac{C_{gd} s}{g_{m, PB}}\right)} \quad (13)$$

其中 $g_{m, PB}$ 和 C_{gd} 分别为 PM1 和 PM2 的跨导和栅漏电容; $m = \frac{C_{gd}}{C_L} g_{m, PB} (R_{B1} + R_{B2})$ 表示 C_{gd} 的密勒效

应对放大器输出极点的影响, 极点 $\omega_{p3} = \frac{g_{m, PB}}{C_{gd}}$ 远大于 ω_{p1} 和 ω_{p2} 可忽略不计. 一般稳定反馈系统的相位裕度在 60° 左右^[14], 由此得到近似条件:

$$C_c > 2.2 E \left[\frac{g_{m, NM2} g_{m, NM4}}{2 g_{m, PM4}} \right] (g_{m, PB} R_{B2})^2 C_{gd} \quad (14)$$

为了保证足够大的环路增益, 设计电路时应该选择较大的 $g_{m, PB}$; 同时为了减小电路的功耗, 电阻 $R_1 \sim R_3$ 也应该在版图面积允许的情况下选择较大的值, 这样只能通过减小 PM1 和 PM2 的栅漏电容来减轻补偿电容的压力. 此外, 补偿电容的选择与放

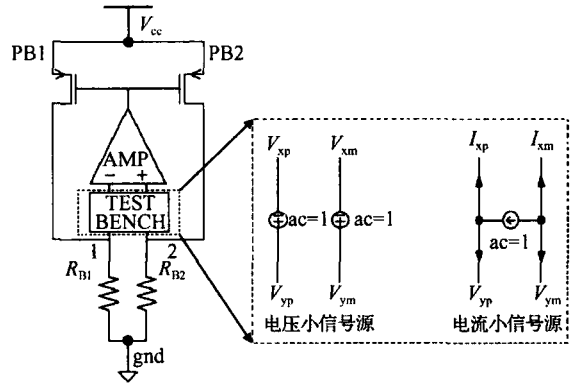


图 3 基准源环路返回比分析原理图

Fig. 3 Schematic of the loop-return-ratio analysis

大器中正反馈增益增强系数成正比, 选择较大的增益增强系数提高放大器增益的同时, 补偿电容也须按照相同的比例增加来保证足够的相位裕度.

图 4(a) 是 RR、af 与 (13) 式的传输函数 tf 的波特图比较, 在频率低于单位增益带宽的范围之内三者的幅度和相位都吻合得很好, 而单位增益带宽以外则由于放大器输入阻抗的减小使得 tf 的值出现了较大的偏差, 此外由于断开点处寄生电容的分割, af 得到的相位裕度要比 RR 得到的值大一些. 图 4(b) 是采用 RR 方法在不同温度和工艺条件下对环路相位裕度的仿真结果, 符合一般工程上大于 45° 的要求.

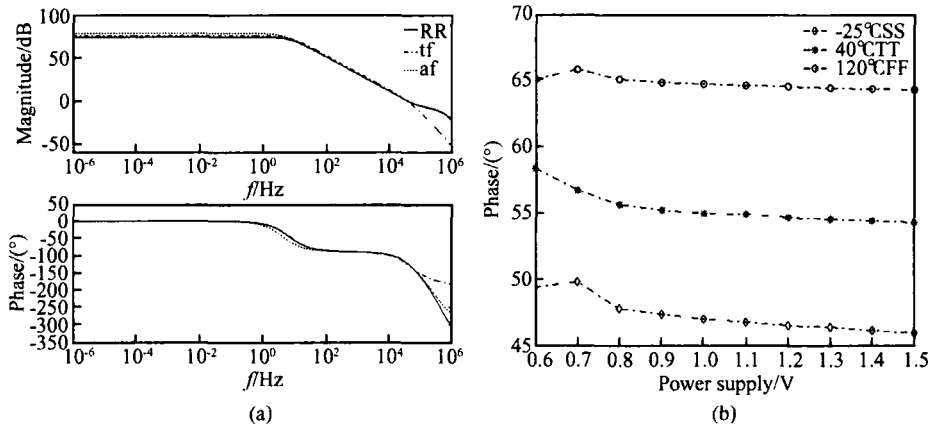


图 4 返回比分析结果 (a) RR、af 和 tf 的波特图比较; (b) 不同条件下的环路相位裕度

Fig. 4 Results of return-ratio analysis (a) Bode plots comparison of RR, af and tf ; (b) Loop phase margins under different conditions

5 测试结果

图 5(a) 所示是基准源样片在不同电源电压下 (0 ~ 1.6V) 的测试结果, 该样本是从芯片样片中选

取的典型值, 输出电压为 399mV. 从图中可以看出电源电压的工作范围为 0.56 ~ 1.47V.

图 5(b) 是十四片样片在不同温度 (-40 ~ 120) 不同电源电压 (0.6V ~ 1.5V) 下测试结果的直方图, 所有采样点的平均值为 399mV, 标准差为

9. 66mV. 输出电压的最大值约 425mV, 最小值约 387mV, 变化范围从 -3.0% 到 6.5%. 表 1 是芯片的实测参数, 图 6 白线内所示为芯片照片.

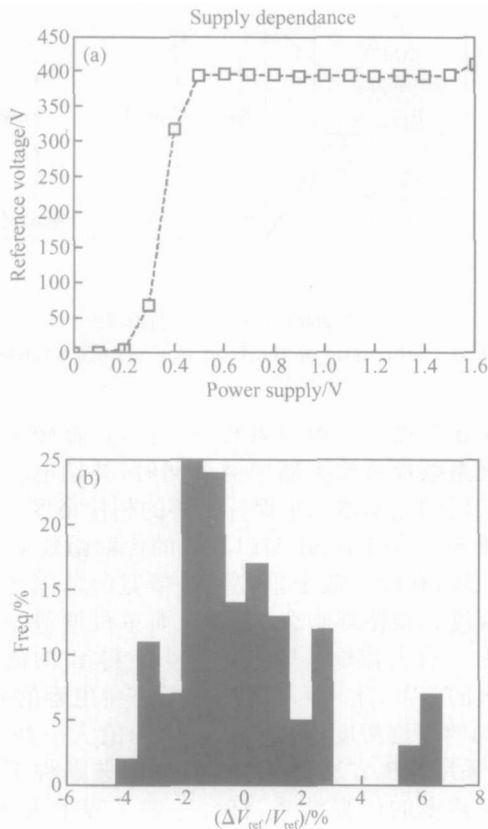


图 5 测试结果 (a) 不同电源电压下测试结果(典型值); (b) 测试采样结果直方分布图

Fig. 5 Chip measurement results (a) Measurement result under different supply voltages (typical); (b) Measured distribution of the output voltage

表 1 芯片实测性能参数

Table 1 Summary of the measurement

| 所测参数 | 测试结果 |
|------------|----------------------|
| 电源电压工作范围 | 0.6 ~ 1.5V |
| 工作电流 | 4.8 μ A |
| 输出基准电压平均值 | 399mV |
| 输出基准电压标准差 | 10mV |
| 芯片面积 | 0.045mm ² |
| 温度系数 | <80ppm/ |
| 电源电压依赖度 | <0.5% |
| 电源抑制 @10Hz | -46dB |

6 结论

本文设计并采用 SMIC 0.18 μ m CMOS 工艺流片实现了一种低电源电压的基准源电路, 并引入环路增益法和返回比法分别对其中的运放和核心电路

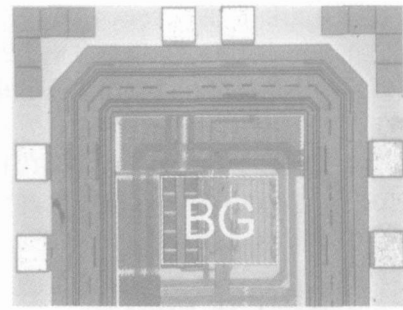


图 6 芯片照片

Fig. 6 Die microphotograph

进行了环路特性分析, 推导出了电路稳定工作的条件. 测试结果表明芯片的工作电压 0.6 ~ 1.5V, 工作电流为 4.8 μ A, 输出基准电压为 0.4V, 最大温度系数为 80ppm/, 芯片面积 (不包括 PAD) 为 0.045mm².

参考文献

- [1] Razavi B. Design of CMOS Integrated circuits. New York: McGraw Hill, 1999
- [2] Semiconductor Industry Association. The national technology roadmap for semiconductors, 2004
- [3] Filanovsky I M, Allam A. Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits. IEEE Trans Circuits Syst, 2001, 48(7): 876
- [4] Ytterdal T. CMOS bandgap voltage reference circuit for supply voltages down to 0.6V. Electron Lett, 2003, 39(20): 1427
- [5] Malcovati P, Maloberti F. Curvature-compensated BiCMOS bandgap with 1-V supply voltage. IEEE J Solid-State Circuits, 2001, 36(7): 1076
- [6] Ker M D. New curvature-compensation technique for CMOS bandgap reference with sub-1-V operation. The 2005 IEEE International Symposium on Circuits and Systems, 2005, 4: 3861
- [7] Boni A. Op-amps and startup circuits for CMOS bandgap references with near 1-V supply. IEEE J Solid-State Circuits, 1999, 37(10): 1339
- [8] Lasanen K. Design of a 1-V low power CMOS bandgap reference based on resistive subdivision. IEEE the 2002 45th Midwest Symposium on Circuits and Systems, 2002, 3: 564
- [9] Li Qiang, Han Yifeng, Xie Wenlu, et al. Design of ultra-low power bandgap voltage reference and its PSR analysis. Chinese Journal of Semiconductors, 2004, 25(11): 1474 (in Chinese) [李强, 韩益锋, 谢文录, 等. 一种超低功耗能隙源设计及其电源噪声抑制分析. 半导体学报, 2004, 25(11): 1474]
- [10] Sheng Jinggang, Chen Zhiliang, Shi Bingxue. A CMOS bandgap reference with 1V supply. Chinese Journal of Semiconductors, 2005, 26(4): 826 (in Chinese) [盛敬刚, 陈志良, 石秉学. 1V 电源的 CMOS 能隙电压基准源. 半导体学报, 2005, 26(4): 826]
- [11] Gustolisi G, Palumbo G. A low-voltage low-power voltage reference based on subthreshold MOSFETs. IEEE J Solid-

- State Circuits ,2003 ,38(1) :151
- [12] Tsividis Y P. Operation and modeling of the MOS transistor. New York :McGraw-Hill ,1987
- [13] Liu W ,Jin X ,Chen J ,et al. A physical and scalable $I-V$ model in BSIM3V3 for analog/digital circuit simulation. IEEE Trans Electron Devices ,1997 ,44(2) :277
- [14] Allen P E ,Holberg D R. CMOS analog circuit design (Second edition) . Publishing House of Electronics Industry ,2003
- [15] Balan V. A low-voltage regulator circuit with self-bias to improve accuracy. IEEE J Solid-State Circuits ,2003 ,38(2) :365
- [16] Bode H W. Network analysis and feedback amplifier design. New York :Van Nostrand ,1945
- [17] Middlebrook R D. Measurement of loop gain in feedback systems. Int J Electron ,1975 ,38 :485
- [18] Hurst P J. Exact simulation of feedback circuit parameters. IEEE Trans Circuits Syst ,1991 ,38(11) :1382

Design and Stability Analysis of a 0.6V Supply CMOS Voltage Reference

Wang Han[†] and Ye Qing

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract : An ultra-low power CMOS voltage reference circuit is presented. To find the loop parameters of the op-amp and the core circuit, different techniques called loop gain and return ratio are applied, respectively. Fabricated in an SMIC 0.18 μ m CMOS process, the chip generates a reference voltage of 0.4V in a power supply range of 0.6~1.5V with a maximum temperature coefficient of 80ppm/. The total current is 4.8 μ A and the chip area (not including the PAD) is 0.045mm².

Key words : voltage reference; ultra-low supply; stability; loop gain; return ratio

EEACC : 1205; 1290

Article ID : 0253-4177(2006)08-1508-06

[†]Corresponding author. Email:wanghan@ime.ac.cn