

低阻 p 型衬底上高阻厚层 n 型外延

谭卫东[†] 唐有青 马利行 骆红 张文清 高涛

(南京国盛电子有限公司, 南京 210038)

摘要: 介绍了高阻厚层反型外延片的一种实用生产技术,即在 PE-2061S 外延设备上,采取特殊的工艺控制在电阻率小于 $0.02\Omega \cdot \text{cm}$ 的 p 型低阻衬底上实现了高阻厚层 n 型外延生长,外延层电阻率大于 $40\Omega \cdot \text{cm}$,厚度大于 $100\mu\text{m}$. 研究表明:该外延材料完全可以满足 IGBT 器件制作的需要.

关键词: 外延; 高阻厚层; 自掺杂

EEACC: 2500

中图分类号: O484.1

文献标识码: A

文章编号: 0253-4177(2006)S0-0183-03

1 引言

硅的化学气相淀积技术,即 CVD 硅外延生长,是一项成熟的半导体加工技术,在半导体科学的发展中起着重要的作用,在未来 20 年内,它仍将是半导体工业最有生命力的外延生长技术. 双极型器件是做在外延层上的, MOS 器件则主要使用衬底. 随着半导体技术的不断发展,人们逐渐认识到外延片有利于提高 MOS 性能^[1],如提高器件抗软误差能力,降低寄生电容,提高电荷保持能力,改善寄生电流管效应等. 同时,外延工艺也给器件设计带来了灵活性和多样性.

在最近的十年内,硅外延反应器的设计有了进一步发展^[2,3],提高产量和工艺自动化是关键因素. 意大利 LPE 公司的 PE2061S 型硅外延设备结合了圆盘式和桶式外延器的优点,采用高频加热的桶式结构,维护简单,生产效率高,产量大,适合于生产厚层外延片^[4].

硅外延片的主要优点在于,纵向掺杂分布的调节能力超过非外延材料,外延层的表面形态、晶格缺陷、外延层掺杂分布和外延厚度的控制均是影响器件性能和成品率的重要参数. 反型高阻厚层外延片是新型电力电子器件所需要的材料之一,其制作难点和相应技术对策如下:

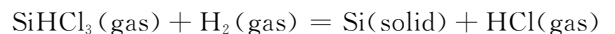
(1) 自掺杂效应

外延层高电阻率的稳定控制,尽可能减小 p 型杂质自掺杂效应的影响,对于 n 型高阻外延尤其重要. 针对低阻 p 型衬底,我们采取了高温处理工艺^[5],即在外延生长前高温处理衬底,使杂质在硅片表面附近形成一耗尽层,再进行外延生长,可以降低

硼原子的蒸发速率,从而减少自掺杂;外延生长时利用质量迁移原理,采取多晶硅背封,在工艺中适当加长氢气吹除时间,采取 2 步生长工艺^[5],在外延生长初期先淀积一层本征外延层,阻止衬底杂质继续从表面逸出,以减少衬底背面和正面挥发的 B 杂质对高阻外延层的影响,有效地防止纵向自掺杂;在外延生长过程中,杂质的扩散和蒸发都强烈地依赖于温度,降低生长温度也是减少自掺杂的有效措施.

(2) 合适的硅源

由于厚层外延生长时间很长,在保证外延层晶格结构的前提下,如何得到恒定的生长速率,提高生长速率,以提高生产效率,是一个非常重要的问题. 根据外延生长热力学原理,在相同的淀积条件下,含有较高数目氯原子的氯硅烷具有较低的生长速率,我们采用了 TCS 硅源,即 SiHCl_3 ,其蒸气压高,化学活性远强于 SiCl_4 ,高温下对温度的变化非常敏感^[6],化学反应式如下:



利用理想气体定律,通过保持恒定的 TCS 液体温度,自动调节较高的鼓泡器压力,以便维持压力与温度的恒定比值,从而控制生长速率变化小于 2%,以精确控制各批次间厚度偏差,满足大批量生产的需要. 此外,对于高阻外延, TCS 的纯度也是十分重要的因素,必须选择纯度较高的 TCS,才能实现外延层电阻率的稳定控制,同时也是保证外延层内晶格质量的关键.

(3) 衬底的选择

由于本工作的外延层达到 $100\mu\text{m}$,衬底本身的质量参数非常重要,如抛光片的弯曲度、翘曲度、平行度、径向电阻率偏差、边缘形状等. 采取特殊的倒角和抛光硅片加工工艺^[7],以便消除厚层外延容易

[†] 通信作者. Email: twd680627@163.com

2005-12-10 收到, 2006-01-23 定稿

引起的翘边现象.

2 实验

2.1 衬底材料与外延结构

本研究工作中使用的衬底材料为进口的 100mm 重掺 B 抛光片,晶向为 $\langle 111 \rangle$,晶向偏离度为向 $\langle 110 \rangle$ 偏离 $4.0^\circ \pm 0.5^\circ$,电阻率小于 $0.02 \Omega \cdot \text{cm}$,最大电阻率径向偏差小于 8%,该材料是为本工作专门订购的.外延层为 n 型,外延层厚度为 $100 \pm 5 \mu\text{m}$,外延层电阻率为 $40 \pm 4 \Omega \cdot \text{cm}$.本工作的外延材料是由意大利 LPE 公司的 PE-2061S 型硅外延设备生长的,每炉可装载 30 片 100mm 的硅片.

TCS 硅源由美国进口,经过外延生长工艺检验,其本征电阻率为 $800 \sim 2000 \Omega \cdot \text{cm}$.

2.2 工艺技术

本项目采取常压外延工艺,反应室压力为 2kPa, H_2 流量 300L/min. 由于采取质量迁移多晶硅背封技术,必须高温下进行长时间 HCl 腐蚀,温度 1180°C ,时间 $10 \sim 20 \text{min}$,以便完全抑制 p 型衬底背面杂质以元素形式的蒸发,然后提高温度到 1200°C ,时间 20min,进行高温处理和高流量的 H_2 吹除,对进入反应室气氛的衬底杂质充分吹扫,同时降低硅片表面 B 元素的蒸发速率.

为了提高生长速率,适当地提高了 TCS 恒温鼓泡器的温度,生长温度设定在 1160°C ,生长速率为 $1.8 \mu\text{m}/\text{min}$.

生长时,先淀积 $2 \sim 4 \text{min}$ 的本征外延层,然后再进行掺杂外延生长,直到预定的外延厚度.

3 结果与讨论

硅片内上下左右测试点均距边缘 10cm,参考面朝上.外延层厚度由 Nicolet ECO-8S 型红外测试仪测量,测试结果见表 1,片内和片间径向偏差小于 2%.

表 1 外延层厚度径向偏差 μm

Table 1 Typical thickness radial deviations of the epitaxial wafer μm

硅片位置	上	中	下	
中心	103.142	102.536	101.977	
上	101.217	103.381	102.363	
下	103.158	103.797	102.365	
左	103.931	104.138	103.893	
右	103.133	103.824	103.072	
平均值	102.916	103.535	102.734	
max - min	2.714	1.602	1.916	2.921
S/%	1.32	0.78	0.93	1.42

外延层的电阻率由 SSM CV495 测量,测试结果见表 2,片内和片间径向偏差小于 5%.上、中、下代表外延片在石墨基座上的纵向位置.

表 2 外延层电阻率径向偏差 $\Omega \cdot \text{cm}$

Table 2 Typical resistivity radial deviations of the epitaxial wafer $\Omega \cdot \text{cm}$

硅片位置	上	中	下	
中心	40.865	41.891	41.746	
上	43.383	43.528	41.440	
下	42.022	43.081	40.389	
左	40.829	42.820	42.216	
右	41.854	43.310	41.992	
平均值	41.791	42.926	41.557	
max - min	2.554	1.637	1.827	3.139
S/%	3.03	1.92	2.21	3.74

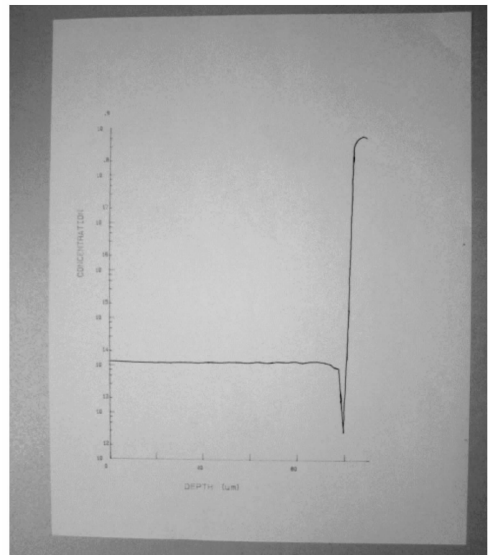


图 1 纵向载流子浓度分布

Fig.1 Typical depth profile of spreading resist for the n/p⁺ epiwafers

参数径向偏差 S 按照下式进行计算:

$$S = \frac{\max - \min}{\max + \min} \times 100\%$$

在研究工作中,我们发现要实现高阻厚层反型外延片稳定的生长,必须处理好以下几个问题:(1) TCS 的本征电阻率应在 $1000 \Omega \cdot \text{cm}$ 以上,否则反应气氛中的本底杂质将严重影响外延层电阻率的稳定控制;(2) TCS 鼓泡器的温度一定要精确控制,不然会引起外延生长速率的波动;(3)衬底材料的控制也十分重要,完美外延生长的基础就是完美衬底的制备.

4 结论

本文采取改进的常压外延工艺,在 PE-2061S

型外延设备上实现了高阻厚层反型外延片的生长，外延层厚度径向偏差小于 2%，电阻率径向偏差小于 5%。使用该外延技术已经稳定生产了该品种外延片 1000 片以上，取得了用户的认可。

参考文献

- [1] Sze S M. Physics of semiconductor devices. 2nd ed. New York: Wiley, 1981
- [2] Hammond M L. Epitaxial silicon reactor technology — a review. Solid State Technol, 1988, 5: 159
- [3] Hammond M L. Silicon epitaxy. Solid State Technol, 1978, 21: 68
- [4] Wang Qiyuan, Cai Tianhai, Yu Yuanhuan, et al. Epitaxial growth of 150mm silicon epi-wafer for advanced IC applications. Chinese Journal of Semiconductors, 2000, 21(5): 426
- [5] Ishi T, Takahashi K, Kondo A. Silicon epitaxial wafer with abrupt interface by two-step epitaxial growth technique. J Electronchem Soc, 1975, 122: 1523
- [6] Yang Shuren, Ding Moyuan. Epi-growth technology. Beijing: Defence Industry Press, 1992 [杨树人, 丁墨元. 外延生长技术. 北京: 国防工业出版社, 1992]
- [7] Yang Mohua, Li Zhanrong. High quality thick Si epitaxial films $n^-/n^+/p^+$ for IGBT. Chinese Journal of Semiconductors, 1994, 15(6): 388 (in Chinese) [杨谟华, 黎展荣. 优质高阻异型厚层硅外延 IGBT 材料 $n^-/n^+/p^+$. 半导体学报, 1994, 15(6): 388]

High Resistivity and Thick Epitaxial Layer of n-Type on Low Resistivity p-Type Substrates

Tan Weidong[†], Tang Youqing, Ma Lixing, Luo Hong, Zhang Wenqing, and Gao Tao

(Nanjing Guosheng Electronic Ltd, Nanjing 210038, China)

Abstract: A epitaxial technique of high resistivity and thick epitaxial layer is presented in this paper. The thick n-type epitaxial films with high resistivity are fabricated by an especial control method on p-type silicon substrates which resistivity is less than $0.02\Omega \cdot \text{cm}$ on PE-2061S. The epitaxial resistivity is more than $40\Omega \cdot \text{cm}$ and the epitaxial thickness is more than $100\mu\text{m}$. It is demonstrated that the epitaxial wafers can meet the requirements for the IGBT applications.

Key words: epitaxy; high resistivity and thick epitaxial layer; self-doped

EEACC: 2520C

Article ID: 0253-4177(2006)S0-0183-03

[†] Corresponding author. Email: twd680627@163.com

Received 10 December 2005, revised manuscript received 23 January 2006