

薄栅 CMOS 的可靠性模型

廖京宁[†] 郭春生 刘鹏飞 吴月花 李志国

(北京工业大学电子信息与控制工程学院, 北京 100022)

摘要: 介绍了两种与栅氧化层失效有关的模型以及用于估计芯片寿命的热阻模型. 随着晶体管特征尺寸的减小, 现有的栅失效模型不能提供准确的计算和预测, 因此提出了新的适用于小尺寸晶体管的栅失效模型. 同时提出了用于评价芯片寿命的热阻和结温的估计模型.

关键词: TDDB; 热载流子; 热阻; 结温

EEACC: 2570D

中图分类号: TN43

文献标识码: A

文章编号: 0253-4177(2006)S0-0257-05

1 引言

为了提高微处理器和存储器的性能, 减小晶体管特征尺寸是最主要的方法. CMOS IC 工艺尺寸每减小 30%, 就会提高最高时钟频率 43%, 同时减小门延迟 30%, 成倍增加器件的集成度; 减小 30% 的寄生电容, 分别降低能耗和每次门状态转换时的动态能耗 65% 和 50%^[1~3].

随着数字集成电路日益复杂, 可以预料功耗问题在未来的工艺中将会更加严重. 这是降低电源电压正在变得越来越吸引人的原因, 降低 V_{DD} 可以减小器件的内部电场, 对动态功耗的减小呈二次方^[4]. 随着 V_{DD} 的降低, V_T 也要相应降低, 以便维持漏区电流的驱动. 然而, 降低 V_T 将导致截止状态下漏电流的增加, 这是 V_T 降低带来的主要问题.

在加速寿命试验中, 温度和 V_{DD} 经常被用来作为加速的因子. 提高温度和电压, 可以在较短的时间内诱发芯片中潜在的失效. 脆弱的栅氧化层是 CMOS 芯片中主要的失效部分. 本文介绍了目前被广泛使用的两种与栅氧化层失效有关的模型以及用于估计芯片寿命相关的热阻和结温的模型.

2 TDDB 绝缘栅击穿模型^[5,6]

基本的 TDDB 绝缘栅击穿物理模型可以分为两类: 内在外在氧化层的击穿机理. 内在氧化层击穿发生在无缺陷的氧化层部分, 其失效机理可以被认为是栅氧化层中积累的电荷密度在不同界面间的穿通, 是一种累积失效. 而外在氧化层击穿机理是由于氧化层中的各种缺陷引起的, 这种失效机理是由

离子损伤, 氧化层中内部机械应力损伤、玷污, 热载流子损伤, 或者是离子注入产生的损伤引起的.

目前 E 模型(空穴击穿模型)和 $1/E$ 模型(热化学击穿模型)被广泛应用于氧化层厚度大于 5nm 的内栅氧化层可靠性预测. 这两种模型都是与 TDDB 物理本质有关. E 模型是以热化学为基础. E 模型的表达式如(1)式所示:

$$t = A \exp(-\gamma E) \exp\left(\frac{E_a}{kT_j}\right) \quad (1)$$

其中 t 为平均击穿时间; A 为比例系数; γ 为电场加速系数(field acceleration parameter); E 为加在栅氧化层上的电场强度; E_a 为热激活能; k 为玻尔兹曼常数; T_j 为结温(K). 由(1)式可以看到, 平均击穿时间的对数与栅氧化层上的外加电场 E 成线性关系.

另一方面, 假设这个击穿过程是一个电流驱动的过程, 可以运用 $1/E$ 模型来预测栅氧化层击穿时间. 其表达式为:

$$t = \tau_0 \exp\left(\frac{G}{E}\right) \exp\left(\frac{E_a}{kT_j}\right) \quad (2)$$

其中 τ_0 和 G 都是常数.

为了提高驱动电流和控制短沟效应, 要求降低栅氧化层厚度. 实验证明, 对于厚度小于 4nm 的氧化层, 传统 E 和 $1/E$ 模型对 TDDB 失效不能提供精确的计算和预测^[7]. 因此, 从 180nm CMOS 技术开始($T_{ox} = 2.6 \sim 3\text{nm}$), 提出了一种新的 TDDB 计算模型^[7,8]. 实验表明, 在超薄栅中由应力诱导的漏电流(stress-induced leakage current)的产生几率和电荷击穿由栅电压控制, 而不是电场. 因此公式(3)包括了栅氧化层厚度 T_{ox} 和栅压 V_G ^[9]:

[†] 通信作者. Email: liaojingning@emails.bjut.edu.cn

2005-10-11 收到, 2006-01-13 定稿

$$T_{BD} = T_0 \exp\left[\gamma(\alpha T_{ox} + \frac{E_a}{kT_j} - V_G)\right] \quad (3)$$

式中 α 为氧化层厚度加速因子; T_0 为常数. 从实验中获得的时间击穿物理参数值如下: $\gamma\alpha = 20.1/\text{nm}$, $\gamma = 12.51/\text{V}$, $\gamma E_a = 575\text{meV}^{[9]}$. 通常认为, 在栅氧化层击穿模型中, 激活能是一个独立参数, 然而, 从 130nm 技术开始, 激活能是电场的函数^[10], 其表达式为:

$$E_a \approx 1.15 - 0.07E_{ox} \quad (4)$$

为了解释超薄的氧化层(2~3nm)的 TDDDB 机理, 研究人员提出了两种不同模型: 阳极孔洞注入模型^[11]和电子陷阱产生模型^[12]. 根据第一个模型, 注入的电子在阳极产生孔洞, 这样电子可以遂穿回氧化层. 内在的击穿在孔洞密度(Q_{BD})达到临界时发生. 第二个模型认为在应力触发氧化层击穿期间, 需要产生的电子陷阱密度达到临界值. 根据这个模型, 击穿现象被认为是阳极和阴极界面间陷阱导通形式. 最近的研究表明, 阳极孔洞注入模型和电子陷阱产生模型是互相关联的. 因此, 一个新的基于氧化层渗透概念和统计属性的模型被提出^[13]. 它认为, 在跨越栅氧化层的衬底和栅之间, 由于遍布绝缘层中随机缺陷的存在, 只有当在栅氧化层和衬底之间的陷阱形成一个连通的通道时, 击穿才能发生. 当击穿条件是栅氧化层厚度的函数时, 运用上述的基于物理机理的分析模型, 可以计算出发生击穿时单位面积中缺陷的临界密度(N_{crit}^{BD})^[14].

$$N_{crit}^{BD} = \frac{t_{ox}}{\alpha_0} \exp\left(-\frac{\alpha_0}{t_{ox}} \ln\left(\frac{A_{ox}}{\alpha_0^2}\right)\right) \quad (5)$$

式中 α_0 是立方体晶格常数($\alpha_0 \approx 2.34\text{nm}$); A_{ox} 是氧化层面积. Q_{BD} , N_{crit} 以及注入的电子密度 P_g 的关系为:

$$Q_{BD} = \frac{qN_{crit}^{BD}}{P_g} \quad (6)$$

则薄氧化层随时间击穿时间为:

$$T_{BD} = \frac{Q_{BD}}{J_g} = \frac{qN_{crit}^{BD}}{P_g J_g} \quad (7)$$

式中 J_g 是通过栅氧化层的隧道电流. J_g 和 P_g 可以通过 SILC 和 C-V 实验获得^[15].

3 热载流子注入效应

在现代亚微米和深亚微米集成电路中, 热载流子注入效应是 MOSFET 的一个重要的失效机理. 热载流子产生于 MOSFET 的漏极的大沟道电场, 这个沟道电场会加速热载流子, 使其有效温度高于晶格温度, 造成在 Si/SiO₂ 界面处能键的断裂, 热载流子也会注入 SiO₂ 中而被俘获. 键的断裂和被俘获的载流子会产生氧化层电荷和界面态, 影响沟道载

流子的迁移率和有效沟道势能. 热载流子注入 MOS 器件的示意图如图 1 所示.

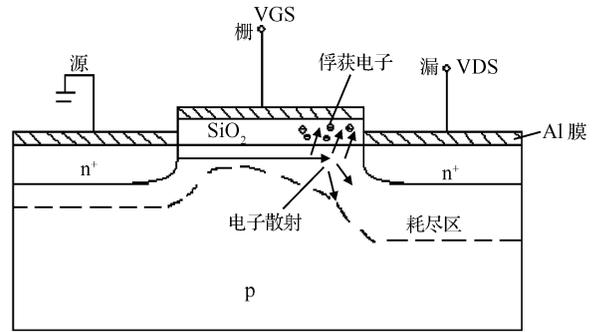


图 1 MOS 器件中热载流子注入示意图
Fig. 1 Hot carrier injection in MOS device

在短沟道 MOS 管的漏区附近的高电场区产生了高能载流子. 在深亚微米工艺中, 热载流子注入效应是影响 VLSI 工艺的主要失效机理之一. 目前常采用加速寿命实验方法来确定热载流子的影响.

加速寿命实验建立在热载流子注入效应都遵循同样 $I_d \exp(-\phi_i/q\lambda E_m)$ 的关系的基础上, 因此, 衬底电流可以写成:

$$I_{sub} = C_1 I_d \exp(-\phi_i/q\lambda E_m) \quad (8)$$

式中 C_1 是常量; I_d 是沟道电流; ϕ_i 是碰撞离化能; λ 是电子的平均自由程; E_m 是沟道电场. 假设界面陷阱为^[16]:

$$\Delta D_{it} = C_2 t I_d / W \exp(-\phi_{it}/q\lambda E_m)]^n \quad (9)$$

式中 ϕ_{it} 是电子产生界面陷阱所需得临界能量; W 是沟道宽度; ΔD_{it} 是界面态密度. t 和 n 表示了 ΔD_{it} 随时间变化的指数关系. 从(8)和(9)式中可推导出与衬底电流和沟道电流相关的器件寿命表达式:

$$t I_d / W = C_3 (I_{sub} / I_d)^{-m} \quad (10)$$

式中 C_3 是常量; m 是比例系数, $m = \phi_{it}/\phi_i$.

该寿命模型测试的是阈值电压的飘逸达到 10mV 时所加应力的时间, 定义为在加速应力作用下器件的寿命时间. 在给定的沟道长度和偏置条件下, 只要监测衬底电流 I_{sub} 和漏极电流 I_d 就能快速预测器件寿命.

4 与芯片寿命相关的模型

4.1 温度和电压加速因子模型

一些工业标准都是以温度和电压加速因子模型为基础, 美军标 Mil-Hdbk-217F 定义温度加速因子为^[17]:

$$\pi_T = 0.1 \exp\left(-A\left(\frac{1}{T_j} - \frac{1}{298}\right)\right) \quad (11)$$

式中 A 是常数. 同样地, 电压加速因子在 CNET

可靠性工艺中被定义为^[18]：

$$\pi_v = A_3 \exp\left[A_4 V_A \left(\frac{T_j}{298}\right)\right] \quad (12)$$

式中 A_3 和 A_4 都是常数； V_A 是应用电压。

通过这些可靠性预测模型可以看出，平均结（芯片）温度是一个基本参数，需要准确预测。这需要理解应用于 VLSI 中的新材料和工艺的属性。

4.2 半导体器件热阻模型

对一个 IC 来说，假设 T 代表环境温度，那么对 VLSI 来说，环境温度和平均结温之间的关系为^[19]：

$$T_j = T + PR_{th} \quad (13)$$

式中 P 是芯片的耗散功率； R_{th} 是结到环境的热阻。为了利用公式计算得到结温，必须先依据芯片的工艺得到芯片的耗散功率 P 和热阻。对于双极型晶体管可以通过(14)式预测其热阻^[20]：

$$R_{th} \approx \frac{1}{4K(LW)^{\frac{1}{2}}} \quad (14)$$

式中 K 是硅的热导率； L, W 是发射极尺寸。研究表明，当发射极面积尺寸减小，热阻随之减小。

关于 MOSFET 的热阻和其尺寸参数的关系，可以通过三维热流公式得到^[21]：

$$R_{th} = \frac{1}{2\pi K} \left[\frac{1}{L} \ln\left(\frac{L + \sqrt{W^2 + L^2}}{-L + \sqrt{W^2 + L^2}}\right) + \frac{1}{W} \ln\left(\frac{W + \sqrt{W^2 + L^2}}{-W + \sqrt{W^2 + L^2}}\right) \right] \quad (15)$$

这个等式适用条件是，衬底厚度远大于器件层的厚度，衬底的热阻远小于器件层的热阻，并且硅的热导率是温度的函数^[23]：

$$K = 154.86 \times \left(\frac{300}{T}\right)^{\frac{4}{3}} \quad (16)$$

实验表明，当 $T = 300\text{K}$ 时，取 $K = 1.5 \times 10^{-4} \text{W}/(\mu\text{m} \cdot ^\circ\text{C})$ ，并且假设硅的热阻值与温度无关，在 $25 \sim 125^\circ\text{C}$ 的温度范围内求解线性热流微分方程得到的近似值误差约为 30%。

4.3 结温的估计

IC 结温被定义为硅衬底的温度，而且它是可靠性评价过程中的重要参数。结温的数值一方面可以从片上温度传感器测得，另一方面也可以通过模拟计算估计。工程师们经常依靠结温的估计值来设计芯片的封装和冷却的问题。通常情况下，结温的估计是评价芯片寿命和性能的重要保证。随着特征尺寸的缩小，结温逐渐升高，这是由晶体管的密度增加、芯片尺寸增大和泄漏电流增大所引起的。

Semenov 等人提出了四步估计结温的方法，他们用 350nm 工艺为参考作为标准，步骤如下：

(1) 利用(13)式计算 R_{th} ，通过模拟计算估计 MOSFET 耗散功率；

(2) 利用(11)式计算每一个 MOSFET 的正常结温 T_j 与室温的温差 ΔT ；

(3) 在给定的工艺条件下，从图 2 中估计 MOSFET 的密度 D ；

(4) 利用公式 $\Delta T_{chip} = \Delta T \times D$ 计算芯片温度与室温的温差。

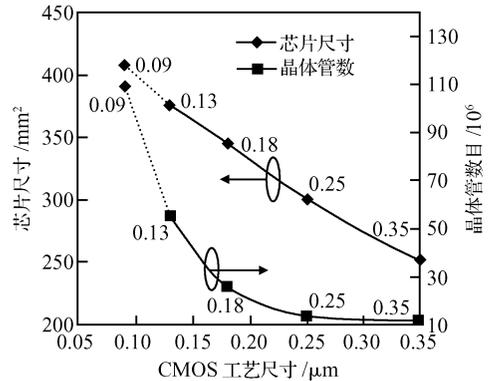


图 2 CMOS 工艺尺寸对芯片大小和晶体管数量的影响^[24,25]

Fig.2 CMOS technology scaling as reflected in chip size and number of logic transistors^[24,25]

如图 3 所示，在正常操作条件下，随着 CMOS 特征尺寸从 350nm 缩小至 90nm，芯片温度升高了至少 4.5 倍。计算过程中假设环境温度保持不变。这种近似指数增长的结温，导致了冷却费用的指数增长。

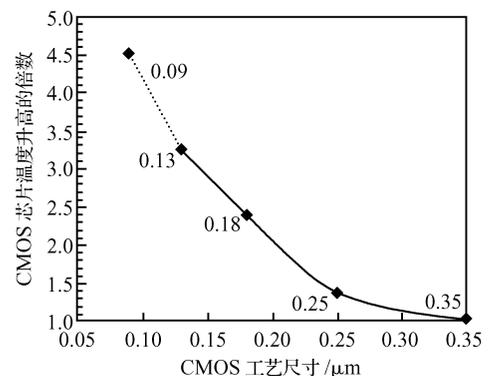


图 3 CMOS 工艺尺寸对芯片结温的影响^[26]

Fig.3 Normalized chip junction temperature increase with technology^[26]

5 结论

薄栅氧化层的击穿机理至今仍然是 CMOS 器

件可靠性研究的重点问题之一. 由于 TDDB 模型和热载流子注入效应可以很好地反映栅氧化层的质量, 因此, 这种方法被广泛应用于 CMOS 集成电路制造中. 本文提出的 TDDB 薄栅氧化层模型和热载流子注入模型, 在一定程度上修正了原有模型, 能满足预计击穿时间的精度要求. 同时, 随着芯片集成度的提高, 评价芯片寿命时, 准确估计芯片的热阻和结温, 对正确估计芯片寿命有十分重要的意义. 本文提出的估计模型, 在一定程度上, 能准确估计芯片的热阻和结温.

参考文献

- [1] Borkar S. Design challenges of technology scaling. *IEEE Micro*, 1999, 19: 23
- [2] Rusu S. Trends and challenges in VLSI technology scaling toward 100nm. *ESSCIRC*, 2001
- [3] Thompson S, Packan P, Bohr M. MOS scaling: transistor challenges for the 21st century. *Intel Tech J*, 1998, Q3: 1
- [4] Rabaey J M, Chandrakasan A, Nikolic B. *Digital intergrated circuits: a design perspective*. Second Edition. New York: Prentice Hall, 2003
- [5] McPherson J W, Reddy V K, Mogul H C. Field-enhanced Si-Si bond-breakage mechanism for time-dependent dielectric break-down in thin-film SiO dielectrics. *Appl Phys Lett*, 1997, 71(8): 1101
- [6] Yassine A M, Nariman H E, McBride M, et al. Time dependent breakdown of ultra-thin gate oxide. *IEEE Trans Electron Devices*, 2000, 47: 1416
- [7] Suehle J H. Ultra thin gate oxide reliability: physical models, statistics, and characterization. *IEEE Trans Electron Devices*, 2002, 49: 958
- [8] Nicollian P E, Hunter W R, Hu J C. Experimental evidence for voltage driven breakdown models in ultra thin gate oxides. *Proc IEEE Int Reliability Physics Symp*, 2000: 7
- [9] Monsieur F, Vincent E, Roy D, et al. Time to breakdown and voltage to breakdown modeling for ultra-thin oxides ($T < 32\text{\AA}$). *Proc IEEE Int Reliability Workshop*, 2001: 20
- [10] Kimura M. Field and temperature acceleration models for time-dependent dielectric breakdown. *IEEE Trans Electron Devices*, 1999, 46: 220
- [11] Chen I C, Holland S, Young K K, et al. Substrate hole current and oxide breakdown. *Appl Phys Lett*, 1986, 49(11): 669
- [12] Apte P P, Saraswat K C. Modeling ultra thin dielectric breakdown on correlation of charge trap-generation to charge-to-breakdown. *Proc IRPS*, 1994: 136
- [13] Degraeve R, Groeseneken G, Bellens R, et al. New insights in the relation between electron trap generation and the statistical properties of oxide breakdown. *IEEE Trans Electron Devices*, 1998, 45: 904
- [14] Sune J. New physics-based analytical approach to the thin-oxide breakdown statistics. *IEEE Electron Device Lett*, 2001, 22: 296
- [15] Stathis J H. Physical and predictive models of ultra thin oxide reliability in CMOS devices and circuits. *Proc IRPS*, 2001: 132
- [16] Bellens R, Heremans P, Groeseneken G, et al. A new procedure for lifetime prediction of N-channel MOS transistors using the charge pumping technique. *IEEE IRPS*, 1988: 8
- [17] Lall P. Tutorial: temperature as an input to microelectronics-reliability models. *IEEE Trans Reliab*, 1996, 45: 3
- [18] Bowles J B. A survey of reliability-prediction procedures for microelectronics devices. *IEEE Trans Reliab*, 1992, 41: 2
- [19] Tadayon P. Thermal challenges during microprocessor testing. *Intel Technol J*, 2000, Q3: 1
- [20] Joy R C, Schlig E S. Thermal properties of very fast transistors. *IEEE Trans Electron Devices*, 1970, ED-17: 586
- [21] Rinaldi N. Thermal analysis of solid-state devices and circuits: an analytical approach. *Solid-State Electron*, 2000, 44(10): 1789
- [22] Rinaldi N. On the modeling of the transient thermal behavior of semiconductor devices. *IEEE Trans Electron Devices*, 2001, 48: 2796
- [23] Blackburn D L, Hefner A R. Thermal components models for electro-thermal network simulation. *Proc 9th IEEE Semi-Therm Symp*, 1993: 88
- [24] <http://public.itrs.net/>
- [25] Vallett D P, Soden J M. Finding fault with deep-submicron Ics. *IEEE Spectrum*, 1997, 34: 39
- [26] Semenov O, Vassighi A, Sachdev M, et al. Burn-in temperature projections for deep sub-micron technologies. *Proc Int Test Conf*, 2003: 95

Reliability Model of Thin Oxide CMOS

Liao Jingning[†], Guo Chunsheng, Liu Pengfei, Wu Yuehua, and Li Zhiguo

(*College of Electronic Information and Control Engineering, Beijing University of Technology, Beijing 100022, China*)

Abstract: This paper describes two models that are related to the defect of gate oxide and one thermal resistance model of semiconductor devices to evaluate chip life. With CMOS IC technology scaling, the conventional TDDB model cannot provide the necessary accuracy for calculation and prediction. And the reliability of thin gate oxides is also one of the most important problems in CMOS integrated circuits. Thus the development of CMOS TDDB model is very important.

Key words: TDDB; hot carrier; thermal resistance; junction temperature

EEACC: 2570D

Article ID: 0253-4177(2006)S0-0257-05

[†] Corresponding author. Email: liaojingning@emails.bjut.edu.cn

Received 11 October 2005, revised manuscript received 13 January 2006