

功率 RF LDMOS 的关键参数研究

黄晓兰[†] 吴德馨 张耀辉 李 科 王立新

(中国科学院微电子研究所, 北京 100029)

摘要: 在功率 RF LDMOS 器件中, 击穿电压、截止频率 f_T 和导通电阻 R_{on} 是器件性能的关键参数, 为提高这几个器件性能参数可采取的各种措施又往往是互相矛盾和相互制约的. 文中研究了几个关键参数之间的关系和优化方案, 以及国际上在这方面所开展的研究和取得的进展, 为进一步的研究和探索提供参考.

关键词: RF LDMOS; 击穿电压; 截止频率; 多晶硅氧化

PACC: 6170T; 8160 **EEACC:** 2550B; 2560S; 2560P

中图分类号: TN386 **文献标识码:** A **文章编号:** 0253-4177(2006)S0-0266-05

1 引言

1972 年, Sigg 最先开发出用于射频领域的 LD-MOS^[1], 1976 年 Declerq 和 Plummer 第一次采用横向双扩散和轻掺杂漂移区的方法做出了高压大电流的 LDMOS^[2], 为实现高压大电流的功率 MOS 迈出了重要的一步. 之后, 美国于 20 世纪 80 年代初开始在国防部资助下开展 RF LDMOS 项目, 最先在 L 波段雷达上使用, 于上世纪 90 年代末期进入商业领域. 国外著名公司在 20 世纪 90 年代也纷纷投入巨额资金开始进行研究, 主要公司有 Motorola, Philips, ST Microelectronics, Infineon, Ericsson, Agere 和 Siemens 等. RF LDMOS 器件随着制造工艺技术的发展而发展, 产品现已发展至第六代.

随着 RF LDMOS 的功率和频率不断增加以及性能的日益提高, 其应用范围在持续扩大. 目前 RF LDMOS 除了在 GSM/CDMA 移动通信基站、数字广播电视发射^[3]、射频通信、移动基站等领域得到了广泛的应用外, 日立公司和摩托罗拉公司已采用小功率 RF LDMOS 来装备 CDMA 手机和其他手持无线设备, 进一步蚕食在手机应用中占主导地位的 GaAs 功率放大器的市场份额, 为 RF LDMOS 开辟了新的巨大市场^[4].

此外, RF LDMOS 器件对国防科技和武器装备有着极其重要的影响, 在军用 GPS 系统、坦克集群通讯、相控阵雷达、机载雷达和舰船雷达上有特别重要的应用, 特别是最近几年在军事装备、军事通信等国防领域更显得突出. 例如在通信发射机、雷达、

电子对抗、车载通讯、电台等移动通讯中的 HF, VHF, UHF 及 RF 领域作为功率放大器应用得非常普遍, 提高了效率, 缩小了体积, 减轻了重量, 提高了可靠性及增长了使用寿命, 带来了巨大的军事经济效益, 特别是在陆基和海基移动通讯发射领域具有巨大的优势.

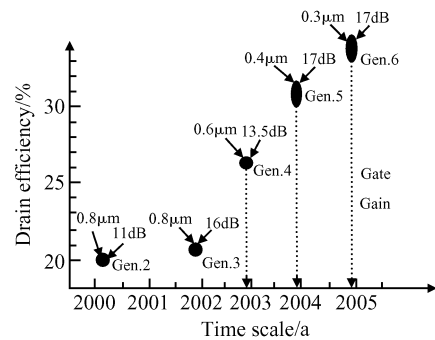


图 1 LDMOS 技术路标^[5]

Fig. 1 LDMOS technology roadmap^[5]

LDMOS 的结构和工艺的优化设计主要围绕高耐压、低导通电阻的设计指标; 而表征功率 RF LDMOS 的重要参数除了高耐压、低导通电阻外, 还包括截止频率 f_T 、最高振荡频率 f_{max} 、最大资用功率增益 G_{max} 、电流驱动能力 I_{ds} 和三阶交调电压 $IMP3$ 等. 设计时要统筹考虑这些关键参数, 进行优化选取. 另外, 对频率高于 1.5GHz 的诸如 3G 之类的无线服务领域, 还要考虑解决高频阻抗匹配的方法和 ESD 保护措施等. 限于篇幅, 我们只讨论击穿电压、截止频率和导通电阻之间的关系.

[†] 通信作者. Email: huangxl@csmc.com.cn, xlhuang@ime.ac.cn
2005-11-25 收到, 2006-01-05 定稿

2 主要参数之间的关系及改善途径

2.1 几个关键参数

2.1.1 击穿电压

击穿特性主要表现在源漏结的击穿电压和栅氧击穿电压^[6].

S/D 通常是高掺杂以减小电阻,因而漏源结的击穿电压主要取决于轻掺杂材料的杂质浓度和集中程度.掺杂浓度越低,击穿电压越高;结的曲率半径 r_j 越大,击穿电压越高.用扩散或注入形成的矩形 S/D 区,通常具有柱形或球形曲率半径.当 $r_j = 1\mu\text{m}$ 时,柱面结的击穿电压大约为 100V,球面结只有 50V 左右; $r_j = 0.1\mu\text{m}$ 时,柱面结的击穿电压大约为 30V,球面结只有 10V 左右.随着浅结的应用,曲率半径越来越小,击穿电压的改善面临挑战.

100nm 厚的高质量栅氧厚度可承受 50~100V 的电压,但是工艺中产生的缺陷、金属粘污、针孔等使得栅氧的击穿特性变差.

提高击穿电压的办法:(1) RESURF (REDuced SURface Field) 优化技术^[7],综合考虑漂移区单位面积的总杂质含量、衬底杂质浓度、漂移区长度和漏结的曲率半径;(2) 漂移区轻掺杂;(3) 增加结的曲率半径,减小电场集中;(4) 增加栅氧厚度;(5) 栅介质材料和结构的变更.

2.1.2 截止频率 f_T

截止频率 f_T (又称为单位电流增益频率、特征频率或转换频率) 定义为短路电流增益为 1 时的频率.常用表达式为(1)~(3)式^[8].与载流子寿命成反比,主要由跨导和栅电容决定.跨导与栅长成反比,与氧化层电容成正比.事实上,RF LDMOS 是一种特殊的短沟道 MOSFET 器件,沟道电子的速度在很小的源漏电压下就能达到饱和,不再随源漏电压而变化,跨导变为常数,这是 RF LDMOS 具有极好线性,IM3 小的主要原因.

$$f_T = \frac{g_m}{2\pi \sqrt{C_g^2 - (g_m R_{g,i} C_{gs} - C_{gs})^2}} \approx \frac{g_m}{2\pi C_g} \Big|_{C_g = C_{gs} + C_{gd}} \quad (1)$$

$$I_{ds} = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th}) V_{dsat} \quad (2)$$

$$g_m = \frac{\partial I_{ds}}{\partial V_{gs}} \Big|_{V_{bs}, V_{ds} \text{ Constant}} = \mu C_{ox} \frac{W}{L} V_{dsat} \quad (3)$$

提高频率的办法:(1) 缩短沟道,增加栅氧厚度,降低 C_{gs} ,降低栅电阻;(2) 采用多晶硅栅降低 C_{gs} , C_{gd} ;(3) 沟道浓度要低;(4) 漂移区轻掺杂、短、浅;(5) 采用薄、高阻外延可降低漏源间反馈电容 C_{gs} ;

(6) 尽可能减小漏极电感 L_s ;(7) 减小栅电极和源漏 n^+ 区交叠形成的电容.

2.1.3 导通电阻 R_{on}

按照简化模型,导通电阻可以看成是由沟道电阻 ($R_{channel}$)、漂移区电阻 (R_{drift}) 和源漏串联电阻 (R_{ds}) 三部分构成,与漂移区长度、外延浓度成反比.其中 R_{ds} 还包括连接到衬底的 p^+ Sinker 电阻,即

$$R_{on} = R_{channel} + R_{drift} + R_{ds} \quad (4)$$

减小 R_{on} 的办法:(1) 缩短栅长,增加沟道掺杂浓度,减小 $R_{channel}$;(2) 减小 LDD 的长度,增加掺杂浓度,降低漂移区电阻.

由以上分析可以看出, BV_{DS} , f_T 和 R_{on} 的优化相互之间存在着矛盾和制约,正因为如此,研究人员才进行了大量的研究试图找到解开问题的锦囊妙计.

2.2 击穿电压、频率特性和导通电阻的改善途径

2.2.1 Dummy gate^[9]

Xu 等人的 Dummy gate 技术将一个假栅放置在两个栅之间,并连接到源.在正的漏偏置下,这个假栅使得耗尽不仅发生在 p^+ 的边角,同时发生在它们之间,从而减小了 C_{si} ,反馈电容 C_{rss} 减小了 3 倍.并且,假栅减小了电场在栅的边角处的集中,使击穿电压提高了 20%,从而提高了高频性能和可靠性.在其 30W, 500MHz, 28V 工作的产品中,传统结构的击穿电压为 70V,而带有 Dummy gate 的击穿电压达到 100V.缺点是由于漂移区的深度耗尽, R_{on} 会有所增加,使得 G_m 减小 5%~10%.但是对于 RF 应用,追求低的反馈电容更加重要.

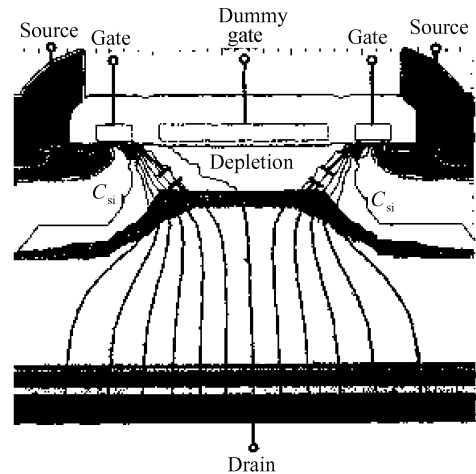


图2 Dummy gate VDMOSFET 在 $V_{gs} = 5V$, $V_{ds} = 15V$ 时的模拟电子-空穴浓度轮廓和电流线^[9]

Fig. 2 Simulated electron-hole concentration contours and current flow lines at $V_{gs} = 5V$, $V_{ds} = 15V$ in dummy gated VDMOSFET^[9]

2.2.2 鸟嘴 Grades lift off gate^[10]

减小栅氧厚度可提高 G_m ,但同时会增加 C_{gd} 和 C_{gs} ,导致频率特性下降;此外,由于薄栅氧使得栅边缘电场集中而导致击穿电压下降. Grades lift off gate 技术在沟道区生长薄的氧化层,而在栅(初始栅氧 30nm)的边界通过“鸟嘴”(高温干氧 100nm 氧化层)抬高栅,这样解决了 G_m, C_{gd}, C_{gs} 的矛盾,同时得到了高 G_m 、高击穿电压和低 C_{gd} . 测试结果表明,30nm 的栅氧只能得到 31V 的击穿电压,而采用此技术后的击穿电压达到 70V. 最终的结果是 G_m 提高了 100%,输出功率改善了 35%,关断频率提高了 1.5GHz.

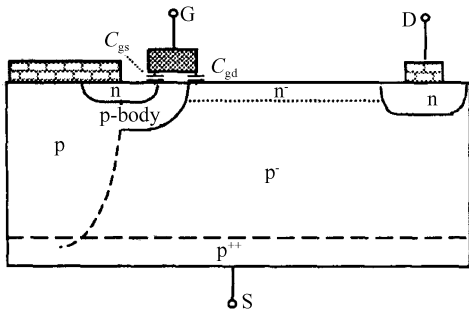


图 3 传统的 RF LDMOS 结构图^[10]

Fig.3 Cross-section structure of the conventional RF LDMOS^[10]

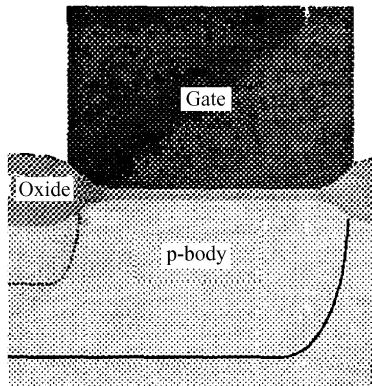


图 4 Graded gate 结构的 RF LDMOS^[10]

Fig.4 Graded gate structure of RF LDMOS^[10]

多晶硅氧化 Grades lift off gate:另一种产生栅氧抬高效果的方法是采用多晶硅氧化技术. 栅介质由三层构成: SiO_2 、非晶硅 - 多晶硅、 Si_3N_4 . 在栅氧上用 LPCVD 低温生长非晶硅,接着生长 Si_3N_4 ,利用非晶硅与 Si_3N_4 优良的界面获得高质量的栅介质. 刻出栅条后,进行多晶硅氧化,由于多晶氧化的速度是体硅的 1.5~2 倍,利用氧化速度之差在多晶硅和 SiO_2 的结合边角处形成圆角,减小电场的集中,提高击穿电压;减小热载流子效应,提高可靠性;

同时圆角使得栅氧厚度增加,从而减小 C_{gd} ,改善高频增益;同时消除侧面损伤,还兼容 CMOS 工艺. 解决了 G_m, C_{gd}, C_{gs} 之间的矛盾.

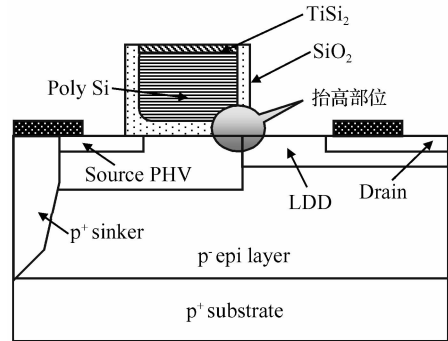


图 5 多晶氧化 Lift off gate 结构

Fig.5 Lift off gate structure by polysilicon oxidation

2.2.3 Step LDD^[11]

采用 Step LDD 技术使得反馈电容 C_{rss} 减小,改善电场的集中,降低热载流子效应,从而提高了频率特性和击穿电压. 该技术的采用使得 C_{rss} 减小了 40%,输出功率提高了 35%,抗热载流子能力提高了 70%.

Step LDD 由两个不同深度和浓度的漂移区组成:靠近栅的 LDD1 为轻掺杂 ($5 \times 10^{11} \text{ cm}^{-3}$, 100keV;传统的 LDD 为 $1.25 \times 10^{12} \text{ cm}^{-3}$, 140keV) 的浅结漂移区,使得反馈电容和 R_{on} 同时减小. LDD2 为重掺杂 ($1.5 \times 10^{12} \text{ cm}^{-3}$, 200keV) 的较深结漂移区,使得 R_{on} 较小.

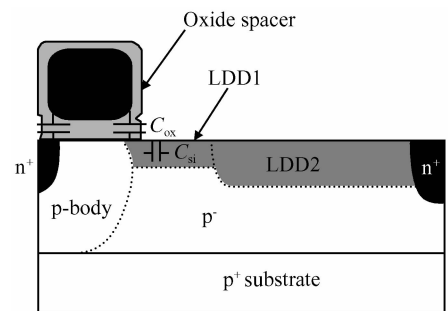


图 6 Step LDD 结构的 LDMOS^[11]

Fig.6 Cross sectional view of step LDD feature of LDMOS^[11]

由于反馈电容 $C_{rss} = C_{ox} C_{si} / (C_{ox} + C_{si})$, C_{ox} 由栅/LDD 的重叠区和氧化层厚度决定, C_{si} 正比于 (R_{on} 反比于)LDD 区的浅结和轻掺杂浓度;击穿电压正比于 LDD 的长度; R_{on} 正比于 LDD 的重掺杂,反比于 LDD 的长度. Step LDD 和侧墙的共同作用使得 C_{ox} 和 C_{si} 同时减小,从而减小了 C_{rss} ,提高了频率特性.

2.2.4 层叠 LDD^[12]

人们在 LDD 的结构上采取各种措施来减小导通电阻,提高击穿电压和跨导.新加坡微电子所的 Cai 等人提出了一种不同掺杂类型和不同掺杂浓度的层叠漂移区,在不增加光刻版的情况下,使得 I_{dssat} 增加了 67%,击穿电压提高了 16%,跨导增加了 145%(这意味着交调失真的降低,大信号的功率增益的提高),关断频率提高了 108%(在 10V 的工作电压下).

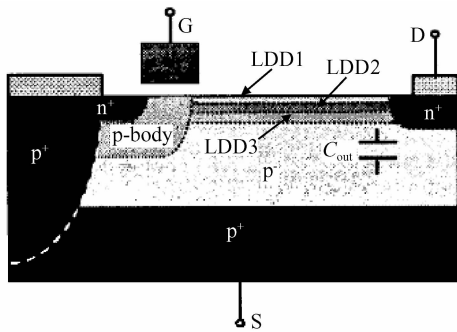


图 7 Stacked LDD 结构^[12]

Fig.7 Cross section view of stacked LDD RF LDMOS structure^[12]

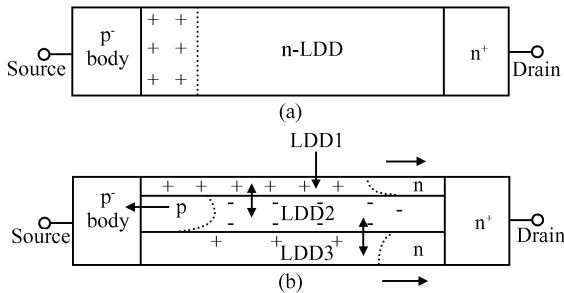


图 8 层叠 LDD 的耗尽原理比较 (a)传统的 LDD 结构;(b)层叠 LDD 的结构 箭头表示耗尽边缘的扩展方向,点线表示耗尽边缘^[12].

Fig.8 Schematic comparison (a) Conventional LDD structure;(b) Stacked LDD structure Arrows indicate the spreading directions of depletion edges while dotted lines show the depletion edges^[12].

提高击穿电压与提高频率和降低导通电阻往往是相互矛盾的.为了提高击穿电压,需要长的轻掺杂 LDD;为了降低导通电阻则要减小 LDD 的长度并采用较浓的掺杂;要提高频率则要减小寄生电容,意味着较深的 LDD.为解决这一矛盾,3 μm 长的 Stacked LDD 采用三层结构的 LDD:LDD1 为重掺杂(As 浓度 $7 \times 10^{12} \text{ cm}^{-3}$, 60keV),中度结深,用来降低 R_{on} ,提高电流处理能力;LDD3 是 n 型掺杂(P 浓度 $2.5 \times 10^{12} \text{ cm}^{-3}$, 200keV)的深结,用以减小输

出电容;LDD2 是一适度高掺杂的 p 型层(B 浓度 $7 \times 10^{12} \text{ cm}^{-3}$, 45keV),用来在 LDD1 和 LDD3 区域产生 pinch off 以提高击穿电压.由于 LDD2 与 p 型衬底连通,LDD1 和 LDD3 连接到 n^+ 漏极,在传统 LDD 的横向耗尽的同时,LDD2 帮助它们也在纵向耗尽.如掺杂浓度和结深合适的话,整个漂移区会通过两个方向实现全耗尽.模拟数据表明,在 70V 下层叠 LDD 区域全部耗尽.

3 结语

为了改善击穿电压、截止频率和导通电阻的性能,研究人员在结构和工艺中采取了各种各样的方法,来实现某一个或二个参数的改善,同时又不会对其他参数有较大的影响,这些方法主要集中在对栅区和漂移区 LDD 的结构和工艺的优化,具有明显的效果.在实际运用中还要考虑其工艺的复杂性和可实现性,要求具有能够进行稳定的批量生产的能力.

参考文献

[1] Rotella F M, Ma G, Yu Z, et al. Modeling, analysis, and design of RF LDMOS devices using harmonic-balance device simulation. IEEE Trans Microw Theory Tech, 2000, 48(6): 991

[2] Chen Xingbi. Power MOSFET and high voltage IC. Nanjing: Southeast University Press, 1990 (in Chinese) [陈星弼. 功率 MOSFET 与高压集成电路. 南京: 东南大学出版社, 1990]

[3] Perry Prestitley, Thomcast. What's hot in digital TV transmitters. Broadcastpapers Pty Ltd, 2005, TV Transmission

[4] Motorola. Semiconductor technologies for RF Power. Motorola website

[5] Phillips. The 5th Generation LDMOS for base station RF Pas. Phillips website

[6] Wolf S, Tauber R N. Silicon processing for the VLSI era: vol.2-process integration. Lattice Press, 1990

[7] Lu Yuzeng. The realize of high voltage RESURF LDMOS-FET. Chinese Journal of Electronics, 1995, 23(8): 10 (in Chinese) [卢豫曾. 高压 RESURF LDMOSFET 的实现. 电子学报, 1995, 23(8): 10]

[8] Golio M. RF and microwave handbook. Boca Raton: CRC Press LLC, 2001

[9] Xu Shuming, Ren Changhong. Dummy gate radio frequency VDMOSFETs with high breakdown voltage and low feedback capacitance. 0-7803-6269-1/00/ 02000 IEEE 2000, 5

[10] Xu Shuming, Foo Pangdow. RF LDMOSFET with graded gate structure. 0-7803-5290 IEEE 1999

[11] Xu Shuming, Foo Pangdow. RF LDMOS with extreme low parastic feedback capacitance and high hot-carrier immunity. 0-7803-5410-9/99 IEEE 1999

[12] Cai Jun, Ren Changhong, Balasubramanian N, et al. High performance stacked LDD RF LDMOSFET. International Symposium on Power Semiconductor Devices & ICs, Osaka, 2001

Research of the Critical Parameters of Power RF LDMOS

Huang Xiaolan[†], Wu Dexin, Zhang Yaohui, Li Ke, and Wang Lixin

(*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

Abstract: Breakdown voltage, cutoff frequency f_T and R_{on} are key parameters of power RF LDMOS devices. The measures of enhancing these characteristics are usually conflicting and restricting each other. The relations of these parameters are studied and the optimizing schemes are discussed. The progress and achievement in the field are also presented.

Key words: RF LDMOS; breakdown voltage; cut-off frequency; polysilicon oxidation

PACC: 6170T; 8160 **EEACC:** 2550B; 2560S; 2560P

Article ID: 0253-4177(2006)S0-0266-05

[†] Corresponding author. Email: huangxl@csmc.com.cn, xlhuang@ime.ac.cn
Received 25 November 2005, revised manuscript received 5 January 2006