

基于 BiCMOS 技术的高速数字/模拟转换器*

刘道广^{1,2,3,†} 李荣强^{2,3} 石建刚^{2,3} 何开全^{2,3} 刘玉奎^{2,3} 谭开州^{2,3}
张 静^{2,3} 杨秋冬^{2,3} 钟 怡^{2,3} 舒 曼^{2,3} 徐婉静^{2,3} 徐世六^{2,3}

(1 清华大学微电子学研究所, 北京 100084)
(2 国家模拟集成电路重点实验室, 重庆 400060)
(3 中国电子科技集团电子 24 所, 重庆 400060)

摘要: 基于 BiCMOS 技术, 进行了高速数字/模拟转换器研究. 以并行输入类型, 电流工作模式的 16 位 D/A 转换器为载体, 进行了电路设计、工艺制作和测试. 在 $\pm 5.0\text{V}$ 工作电压下, 测试得到转换速率 $\geq 30\text{MSPS}$, 建立时间为 50ns , 增益误差为 $\pm 8\%$ FSR, 积分非线性误差为 $1/2$ LSB, 功耗为 500mW .

关键词: 数字/模拟混合电路; 双极 Bi/CMOS 兼容工艺; D/A 转换器

EEACC: 2500; 2520; 2560J

中图分类号: TN433

文献标识码: A

文章编号: 0253-4177(2006)S0-0271-04

1 引言

进入“数字时代”以来, 最能代表数字/模拟混合电路发展水平的高速高位 A/D, D/A 新结构新技术研究取得重大突破, 主要包括 $\Sigma\text{-}\Delta$ 、全并行、折叠式和流水线等 A/D 新结构, 以及分段电流源拷贝、同步译码锁存等 D/A 新结构. 研制高速数字/模拟转换器的工艺技术以 CMOS 为主流^[1]. 在国外, CMOS 工艺进入深亚微米级以来 ($\leq 0.18\mu\text{m}$), CMOS 集成电路就逐步蚕食了以双极工艺为主的模拟集成电路领域. 但在以 CMOS 技术为主流的 VLSI 电路发展中, 由于借鉴了高度发展的 CMOS 电路制备的工艺技术, 双极型技术仍然保持着旺盛的生命力. 如果将双极型与 CMOS 结合形成 BiCMOS 技术, 则使两者的优点得以充分发挥. 在 BiCMOS 工艺的集成电路中, 双极器件实现高速度、高精度、低噪声、低失调和高功率驱动功能; CMOS 器件实现低功耗、高输入阻抗、高集成度. BiCMOS 工艺的种类繁多, 功能强大, 可广泛应用于高性能数字/模拟混合电路, 如放大器、锁相环、频率合成器、驱动器、RF 发射/接受器、ADC/DAC、ASIC, 也可应用于纯数字的超大规模集成电路, 如存储器、门阵、CPU 等. 最新的报道是应用于无线通信领域的 $0.2\mu\text{m}$ SiGe HBT BiCMOS 工艺^[2-8]. 在国内, 以 BiCMOS 技术为基础, 数字/模拟混合电路还很落后, 因此采用 $2.0\mu\text{m}$ BiCMOS 工艺, 开展数字/模拟

混合电路研究是非常必要的. 该工艺特征包括减薄外延、高压氧化等平面隔离, 可修调 SiCr 电阻, 双层金属布线, 12 次离子注入, 21 次 STEPPER 光刻. npn 的特征频率 f_T 为 4.0GHz ; CMOS 管的栅氧化层为 30nm , 耐压为 12.0V .

2 16 位 D/A 转换器电路设计

2.1 电路结构设计

16 位 D/A 转换器是高速、高精度模拟集成电路, 其结构为两段 ($4+12$) 差分输出电流式结构, 其高位是单位电流并行结构, 低位是 R-2R 电阻网络结构, 其功能框图如图 1 所示. 研究高位电流并行结构与 R-2R 电阻网络结构的衔接, 达到高精度指标是结构研究的重点. 该结构包括 4-15 温度计译码、数据同步锁存、R-2R 电阻网络、单位段电流开关、电平位移电路、 2.5V 高精度基准源、基准电流控制放大电路和时钟控制等关键单元电路. 从电路结构和电路设计上进行研究, 电平位移电路、电流开关结构、 2.5V 高精度基准源是研究的重点. 由于篇幅的限制, 重点介绍高精度基准源的设计.

2.2 高精度 BiCMOS 基准电流源设计

基准电流源如图 2 所示, 该基准源采用 BiCMOS 齐纳反馈稳定精度补偿基准电压, 标准输出 2.5V 电压. 能够承载 5mA (典型值) $\sim 15\text{mA}$ (最大

* 国防预先研究资助项目

† 通信作者, Email: liudaoguang@mail. tsinghua. edu. cn

2005-10-11 收到, 2006-01-11 定稿

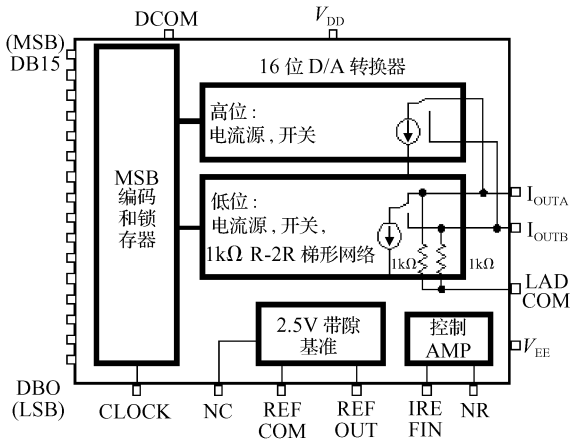


图 1 16 位 D/A 转换器功能框图

Fig.1 Function diagram of 16-bit D/A converter

值)电流.它采用一个输出 1.25V 的核心电路再经放大得到 2.5V 的电压输出,该核心电路采用改进的两管能隙基准源电路.

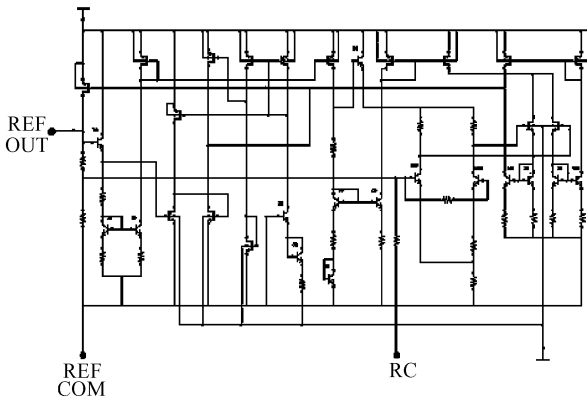


图 2 2.5V 基准源电路结构图

Fig.2 Structure schematic of 2.5V reference source

2.3 系统仿真

目前,该项目已完成总体电路的设计,并进行了电路功能的初步仿真,如图 3 所示.通过仿真,实现了其基本功能,得到如图 4 所示的两路电流输出(满度输出约 20mA 电流),电流输出台阶比较平稳,但存在着尖峰现象.

3 工艺设计

3.1 器件结构及电参数

该工艺是以高速氧化等平面隔离互补(CB)双极工艺为基础,建立 BiCMOS 工艺.把高性能的互补双极 BJT 与高性能 CMOS 管兼容.利用双埋、薄外延、等平面隔离(LOCOS)方法制作的 CMOS 管,具有较高的抗门锁能力、低的衬偏效应,较高浓度的

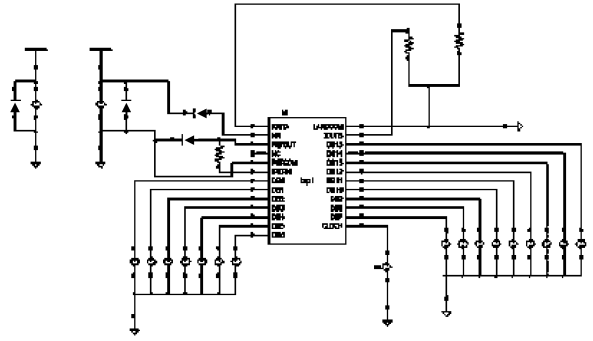


图 3 16 位 D/A 转换器系统仿真电路图

Fig.3 Simulation circuit diagram of 16-bit D/A converter

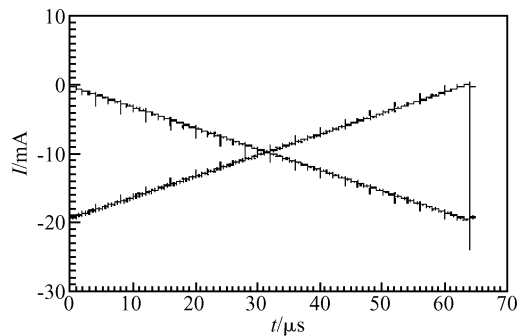


图 4 16 位 D/A 转换器电流输出状态

Fig.4 Curve of output current of 16-bit D/A converter

外延掺杂避免了短沟效应,寄生电容低.npn,nMOS,pMOS 管器件剖面如图 5,6,7 所示.

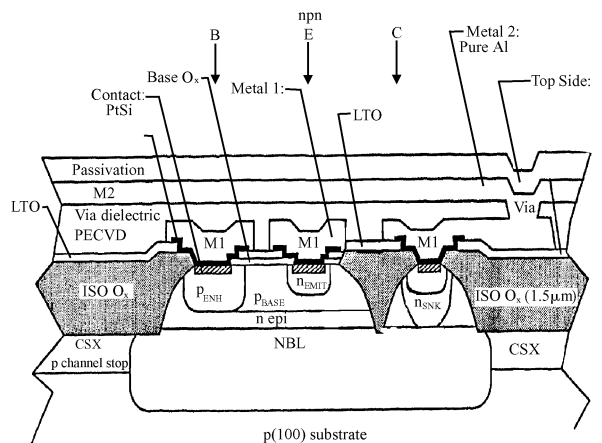


图 5 npn 管器件剖面图

Fig.5 Cross section of npn transistor

3.2 工艺流程

流程一:n 型埋层→n 型埋阱→沟阻下隔离→p 型埋层→外延→上隔离→p 型阱→n⁺ 穿透集电极→n 型基区→全孔→pMOS 调沟→nMOS 调沟→多

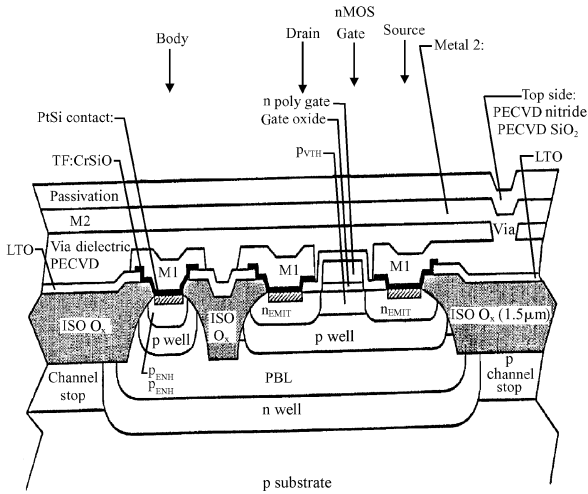


图 6 nMOS 管器件剖面图
Fig.6 Cross section of nMOS transistor

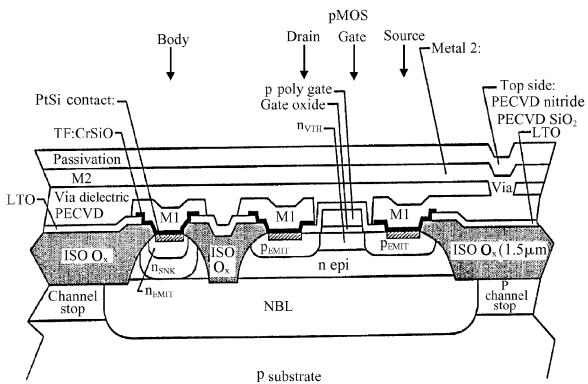


图 7 pMOS 管器件剖面图
Fig.7 Cross section of pMOS transistor

晶硅→p型增强 高硼→p型 E.C.S.D区→n型 E.C.S.D区→炉退化(FT)→LTO全孔→金属电阻→1次金属布线→PE SiO₂介质→2次金属布线→钝化。

流程二:n型埋层→n型埋阱→沟阻下隔离→p型埋层→外延→上隔离→p型阱→n⁺穿透集电极→全孔→pMOS调沟→nMOS调沟→多晶硅→n型基区→p型增强 高硼→p型 E.C.S.D区→n型 E.C.S.D区→快速退化(RTA)→LTO全孔→金属电阻→1次金属布线→PE SiO₂介质→2次金属布线→钝化。

为了保证高性能数字/模拟混合电路的耐压性能,BiCMOS中双极器件的基区结深比纯互补双极工艺的基区结深更深,可选用流程一。若为了提高高性能数字/模拟混合电路的速度性能,可采用浅结工艺,即流程二。通过工艺加工,其芯片照片如图 8 所示。

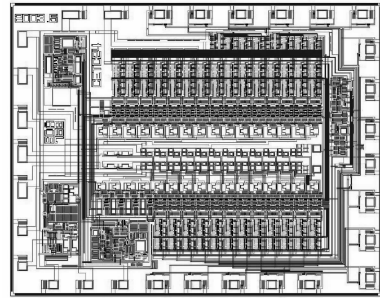


图 8 16 位 D/A 转换器管芯照片
Fig.8 Micrograph of 16-bit D/A converter

3.3 关键工艺

3.3.1 减压薄外延

由于高速器件的特殊要求,要提高双极器件速度唯一的途径就是减少器件的纵、横向尺寸。在保持电路工作电压的同时,尽可能减少 pn 结的耗尽区宽度、基区结深。而采用减压外延技术不仅能满足结深要求,还可降低 R_c,减少寄生电容。它的原理就是在保证埋层浓度的同时,抑制下埋层杂质的上翻,提高有效外延层的厚度。减压薄外延比常压外延的外延温度低 100℃ 左右,而常压外延若降低温度就不能保证外延质量(如外延的图形会漂移,晶格缺陷会增加),这些会导致在后工序器件出现结特性退化。在亚微米模拟 IC 工艺中,需要生长带单埋层和双埋层厚度为 1.0~2.0μm 的外延层,并严格控制双埋层的表面浓度和双埋层硅表面图形的台阶高度,保证微图形经过外延后 STEPPER 光刻还能正确识别和精确套位。还需要严格控制外延层厚度、电阻率及均匀性,减少自掺杂效应,提高有效外延层的厚度,并在外延生长的同时严格控制好膜的组分、掺杂均匀度。

3.3.2 SiCr 电阻的均匀和温度系数

SiCr 电阻的均匀和温度系数将影响 16 位 D/A 的线性误差、非线性误差和温度误差,激光修调可以修调 D/A 的线性误差,但是不能修调非线性误差和温度误差。因此,对 SiCr 电阻制作条件的优化,具有较好的均匀和温度系数是工艺主要难点之一。

4 测试系统及测试结果

在测试系统 LTX Synchro-II 上进行测试。电路采用 ±5V 电源工作,在 16 位数据输入端输入二进制的分频脉冲信号(即在 16 条数据线上分时、连续地施加 0~2¹⁶-1 的编码),其电流输出端接 50Ω 电阻到地,观察其电压波形(幅度约 1V)为一条较为理想的斜线,即其功能是正常的,其分频脉冲的频率约为 30MHz,即其数据更新率约为 30MSPS。测试结

果如图 9 所示.

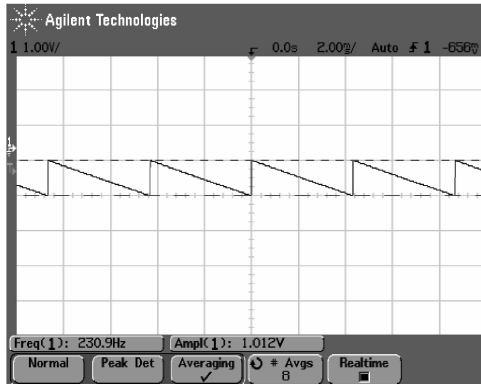


图 9 16 位 D/A 转换器的测试输出图

Fig.9 Schematic of test output for 16-bit transistor

5 结论

通过 16 位 D/A 转换器研究,获得了在 $\pm 5.0\text{V}$ 工作电压下,测试得到转换速率 $\geq 30\text{MSPS}$,建立时间 50ns ,增益误差 $\pm 8\%$ FSR,积分非线性误差 $1/2$ LSB,功耗 500mW 的 16 位 D/A 转换器.同时,研制出了高性能双极晶体管,提高了 CMOS 管抗穿通性能、CMOS 管低阈值电压控制,提高了双层金属布线和高稳定型/高精度薄膜电阻技术质量.

参考文献

- [1] Washio K. SiGe HBT and BiCMOS technologies for optical transmission and wireless communication systems. IEEE Trans Electron Devices, 2003, 50(3): 656
- [2] Yeo K S, Rofail S S, Goh W L. CMOS/BiCMOS ULSI: Low voltage-low power. Beijing: Publishing House of Electronics Industry, 2003 (in Chinese) [Yeo K S, Rofail S S, Goh W L. 低压低功耗 CMOS/BiCMOS 超大规模集成电路. 北京: 电子工业出版社, 2003]
- [3] Yamaguchi T, Yuzuriha T H. Process integration and device performance of a submicrometer BiCMOS with 16-GHz f_T double poly-bipolar devices. IEEE Trans Electron Devices, 1989, 36(5): 890
- [4] Ito A, Church M D, Rhee C S, et al. A fully complementary BiCMOS technology for 10V mixed-signal circuit applications. IEEE Trans Electron Devices, 1994, 41(7): 1149
- [5] Wang C K, Huang P C, Huang C Y. A BiCMOS limiting amplifier for SONET OC-3. IEEE J Solid-State Circuits, 1996, 31(8): 1197
- [6] Ideda T, Watanbe A. High-speed BiCMOS technology with a buried twin well structure. IEEE Trans Electron Devices, 1987, ED-34(6): 1304
- [7] Sung J M, Chiu T Y. A high performance super self-aligned 3V/5V BiCMOS technology with extremely low parasitics for low-power mixed-signal applications. IEEE Trans Electron Devices, 1995, 42(3): 513
- [8] Nii H, Yoshino C. An $0.3\mu\text{m}$ Si epitaxial base BiCMOS technology with 37-GHz- f_{max} and 10-V BV_{ceo} for RF telecommunication. IEEE Trans Electron Devices, 1999, 46(4): 712

Study of High-Speed Digital-to-Analog Converter Based on BiCMOS Technology*

Liu Daoguang^{1,2,3,†}, Li Rongqiang^{2,3}, Shi Jiangan^{2,3}, He Kaiquan^{2,3}, Liu Yukui^{2,3}, Tan Kaizhou^{2,3}, Zhang Jing^{2,3}, Yang Qiudong^{2,3}, Zhong Yi^{2,3}, Shu Man^{2,3}, Xu Wanjin^{2,3}, and Xu Shiliu^{2,3}

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

(2 National Laboratory of Analog Integrated Circuits, Chongqing 400060, China)

(3 Sichuan Institute of Solid-State Circuits, China Electronics Technology Group Corporation, Chongqing 400060, China)

Abstract: Investigation on high-speed digital-to-analog converter based on BiCMOS technology is described. Through the 16-bit D/A converter with parallel input and current-mode, the circuit design, process and test are carried out. At the operational voltage of $\pm 5.0\text{V}$, the measured results are as follows: the conversion rate is greater than or equal to 30MSPS , the setup time is 50ns , the gain error is $\pm 8\%$ FSR, the integral nonlinear error is $1/2$ LSB, and the power consumption is 500mW .

Key words: digital-to-analog mix circuit; BiCMOS compatible processes; D/A converter

EEACC: 2500; 2520; 2560J

Article ID: 0253-4177(2006)S0-0271-04

* Project supported by the National Defense Advanced Research Program

† Corresponding author. Email: liudaoguang@mail.tsinghua.edu.cn

Received 11 October 2005, revised manuscript received 11 January 2006