

# 具有应变沟道及 EOT 1.2nm 高性能 栅长 22nm CMOS 器件<sup>\*</sup>

徐秋霞<sup>1,†</sup> 钱鹤<sup>1</sup> 段晓峰<sup>2</sup> 刘海华<sup>2</sup> 王大海<sup>1</sup> 韩郑生<sup>1</sup> 刘明<sup>1</sup> 陈宝钦<sup>1</sup> 李海欧<sup>1</sup>

(1 中国科学院微电子研究所, 北京 100029)

(2 中国科学院物理研究所, 北京 100080)

**摘要:** 深入研究了亚 30nm CMOS 关键工艺技术, 特别是提出了一种新的低成本的提高空穴迁移率的技术——Ge 预非晶化 S/D 延伸区诱导沟道应变技术, 它使栅长 90nm pMOS 空穴有效迁移率在 0.6MV/cm 电场下提高 32%。而且空穴有效迁移率的改善, 随器件特征尺寸缩小而增强。利用零阶劳厄线衍射的大角度会聚束电子衍射分析表明, 在沟道区相应的压应变为 -3.6%。在集成技术优化的基础上, 研制成功了高性能栅长 22nm 应变沟道 CMOS 器件及栅长 27nm CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级环形振荡器), EOT 为 1.2nm, 具有 Ni 自对准硅化物。

**关键词:** 应变硅沟道; 压应力; Ge 预非晶化注入; 等效氧化层厚度; 栅长; CMOS

EEACC: 2550B; 2550N

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)S0-0283-08

## 1 前言

近几十年来, 集成电路一直依照摩尔定律每三年特征尺寸缩小 0.7 倍和集成度翻两番的速度飞速发展, 半导体产业获得了巨大成功, 引领着知识化、信息化社会的发展。当前产业发展的目标仍在于获得更高的单元集成度和电路速度, 更低的单位功能的功耗和成本。实现上述目标的主要途径是不断缩小器件和连线的特征尺寸。据 2003 年美国半导体工业联合会(SIA)制定的半导体技术发展(Roadmap)预测, 集成电路技术降到 65nm 及以下时, 将会遇到一系列难以逾越的壁垒, 这些挑战主要表现在某些参量, 如电源电压和阈值电压的不可等比例缩小造成的困难(如严重的短沟道效应(SCE), 过大的  $I_{OFF}$ ,  $I_{ON}$  减少和功耗过大等), 器件物理的限制(如 SCE、高场效应、杂质涨落、量子效应等)和基础工艺技术的限制(如光刻、超薄栅介质、超陡高浓度和超浅的结、低阻互连等)。为了迎接上述挑战, 以实现预期的目标, 有两条途径可以选择: 一条是依靠新结构、新材料的导入来延续硅基时代, 但离实际应用还有较大距离; 另一条是力求在平面 MOS 器件设计和关键技术方面获得新突破, 缓解物理和技术限制, 尽可能延长摩尔定律寿命, 满足近 10 年来工业大生

产发展的迫切需要。本文着重讨论了我们沿第一条途径开展的亚 30nm 器件及其关键工艺技术的研究, 采用多项创新的关键技术, 研制成功了高性能栅长 22nm CMOS 器件和栅长 27nm CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级 CMOS 环形振荡器)。

## 2 器件制造

栅长 22nm CMOS 器件研制的主要工艺流程为:

Well definition→Field oxide(LOCOS)→Lateral local SSR channel doping→ $^{14}N^+$  implantation→Gate oxynitride→Poly-Si→Gate pattern→Side wall-1→Ge PAI S/D extension→S/D low energy implantation→Side wall-2→S/D implantation→RTA→Ni silicide→Metallization

其中有创意的关键技术将在下节重点展开。图 1 给出了研制成功的栅长 22nm 器件的 SEM 剖面照片。

## 3 器件技术特征

当栅长缩小到亚 25nm 时, SCE 的抑制和驱动

<sup>\*</sup> 国家重点基础研究发展规划资助项目(批准号: 2006CB302704)

<sup>†</sup> 通信作者. Email: xqx@ime.ac.cn

2005-12-08 收到, 2005-12-26 定稿

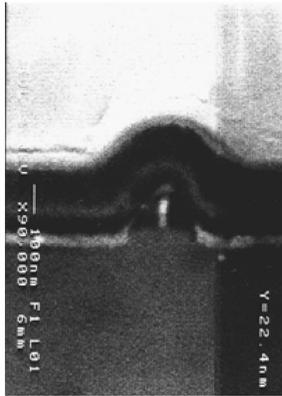


图 1 栅长 22nm CMOS 器件 SEM 剖面照片

Fig.1 SEM cross-section photograph of gate length 22nm CMOS device

电流 ( $I_{ON}$ ) 的提高是两大关键. 这是由于为抑制 SCE 需要增加沟道掺杂浓度 ( $5 \times 10^{18} \text{cm}^{-3}$ ). 这将引起  $I_{ON}$  下降, 同时小尺寸器件由于高场效应引起载流子迁移率下降, 这又进一步造成  $I_{ON}$  下降. 为此, 我们在平面器件结构和工艺技术方面, 主要是从这两方面寻找技术突破口. 主要的特征如下.

### 3.1 双侧壁结构

本文以双侧壁结构结合超陡的倒掺杂沟道杂质分布技术代替了国际上普遍采用的 halo/pocket 掺杂结构, 极好地抑制了短沟道效应. 图 2(a) 为 halo/pocket 掺杂结构示意图; 图 2(b) 为双侧壁结构示意图; 图 2(c) 为  $^{11}\text{B}^+ + ^{115}\text{In}^+$  注入的超陡倒掺杂沟道剖面的 SUPREM4 模拟结果.

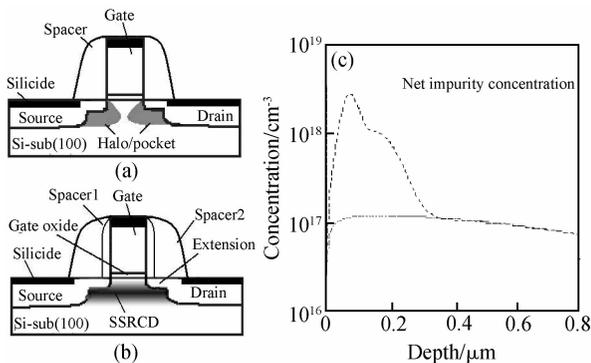


图 2 (a) halo/pocket 掺杂结构示意图; (b) 双侧壁结构示意图; (c)  $^{11}\text{B}^+ + ^{115}\text{In}^+$  注入的超陡倒掺杂沟道剖面 SUPREM4 模拟结果

Fig.1 (a) Schematic of halo/pocket doping structure; (b) Schematic of double sidewall structure; (c) Super steep retrograde channel doping profile by implantation of  $^{11}\text{B}^+ + ^{115}\text{In}^+$  simulated by SUPREM4

halo/pocket 注入有两个缺点: 一是倾斜的大角度注入会在栅介质两边引入注入损伤; 二是在小

尺寸时由于它的掺杂剖面会在沟道区内交叠, 使沟道掺杂浓度变高, 造成阈值电压增高, 驱动电流下降. 而双侧壁结构就没有这些问题, 还减小了寄生覆盖电容. 尤其是当器件尺寸越来越小时, halo/pocket 注入的上述两点缺点会越来越严重, 从而更显出本结构可持续发展的优越性.

### 3.2 亚 25nm 多晶硅栅图形的形成

目前, 世界上还没有一种光刻技术可以直接获得亚 25nm 曝光图形. 我们以电子束曝光为基础, 研发了胶“灰化技术”结合“ $\text{SiO}_2$  硬掩膜修整技术”, 并获得成功<sup>[1]</sup>. 灰化技术是在低功率高工作电压下对电子束胶图形进行各向同性的灰化, 达到缩小胶图形线宽的目的. 灰化的纵向速率是胶膜减薄的速率, 胶图形线宽减小的速率为灰化的横向速率的 2 倍. 灰化技术使胶图形线宽从 90nm 降到 50nm 左右.  $\text{SiO}_2$  掩膜修整技术是用  $\text{CHF}_3/\text{CF}_4$  刻蚀气体源, 对  $\text{SiO}_2$  掩膜先后进行各向异性的干法刻蚀和各向同性的湿法刻蚀, 达到进一步缩小  $\text{SiO}_2$  掩膜图形尺寸的目的. 图 3 为用“灰化技术”结合“ $\text{SiO}_2$  硬掩膜修整技术”修整后的栅图形掩膜的 SEM 照片,  $\text{SiO}_2$  掩膜线宽已缩小到 21.3nm.

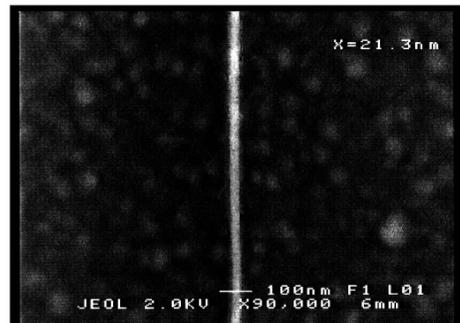


图 3 采用灰化技术结合  $\text{SiO}_2$  掩膜修整技术修整后的栅图形  $\text{SiO}_2$  掩膜线宽的 SEM 照片  $\text{SiO}_2$  掩膜线宽为 21.3nm.

Fig.3 Cross-section SEM photo of gate pattern of  $\text{SiO}_2$  mask  $\text{SiO}_2$  mask line width is 21.3nm.

在  $\text{SiO}_2$  栅图形掩膜形成后, 利用反应离子实现掩膜图形向多晶硅膜中的转移. 多晶硅栅图形的刻蚀工艺决定了器件的物理栅尺寸和剖面形状, 是决定 MOS 器件电学性能的最严格的因素之一. 在亚 25nm 器件中, 栅介质 EOT 降到了 1.2nm (物理厚度为 1.1nm), 所以提高多晶硅对其下的超薄栅介质的刻蚀选择比并获得较高的各向异性剖面 and 精确的尺寸控制将是三个严峻的挑战.

研究表明, 刻蚀气体及其组分的优化对获得优良刻蚀特性是至关重要的. 我们选择了  $\text{Cl}_2/\text{HBr}/\text{O}_2$  混合气体.  $\text{Cl}_2$  有十分好的各向异性刻蚀特性,  $\text{HBr}$  被加到  $\text{Cl}_2$  中是由于它对硅也有高的各向异性

刻蚀作用,并对 SiO<sub>2</sub> 有高的刻蚀选择比,这是因为 SiBr<sub>4</sub> 的挥发性较低. O<sub>2</sub> 的加入,一方面为提高多晶硅的刻蚀速率,同时也进一步大幅度提高多晶硅对 SiO<sub>2</sub> 的刻蚀选择比. XPS 分析表明这是由于有类 SiO<sub>2</sub> 的反应物 SiBr<sub>x</sub>O<sub>y</sub> 生成. 另一个重要措施是把主刻蚀分成两步进行,第一步主刻蚀用 Cl<sub>2</sub>/HBr 刻蚀掉多晶硅膜厚度的 85% 以上,以获得足够的各向异性刻蚀;第二步主刻蚀用 Cl<sub>2</sub>/HBr/O<sub>2</sub> 刻蚀净剩余的多晶硅,以获得远大于 500 : 1 的选择比,对 1.1nm 的氮氧化硅不造成任何损伤.

采用优化的四步反应刻蚀工艺,获得的线宽 20.2nm 多晶硅栅的器件结构剖面如图 4 所示,栅电极线宽变化小于 5nm,剖面陡直、连续、光滑,极好地满足了亚 25nm 器件研制的要求.

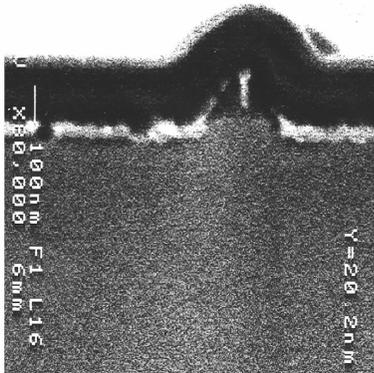


图 4 Co/Ti 硅化物形成后器件结构的 SEM 照片 多晶硅栅线宽为 20.2nm.

Fig. 4 Cross-section SEM photo of device structure after Co/Ti silicide formation Poly-Si gate length is 20.2nm.

### 3.3 应变沟道工程

如上所述,由于小尺寸器件增加了沟道掺杂浓度和要承受高的电场,所以其载流子迁移率严重衰退. 应变硅沟道是一种跨越这个壁垒的好方法. 早期报道弛豫 Si<sub>1-x</sub>Ge<sub>x</sub> 上的双轴张应力 Si 有良好的改善载流子迁移率的能力<sup>[2]</sup>,但是工艺比较复杂,加上缺陷问题和高的成本,使这种方法集成到 CMOS 工艺中有一定难度. 而由于工艺诱生应力工程成本低、工艺比较简单、兼容,更加受到人们的青睐,是当今研究的热点. 具体结构有浅槽隔离<sup>[3]</sup>、改性的薄膜沉积<sup>[4]</sup>、嵌入式 Si<sub>1-x</sub>Ge<sub>x</sub> S/D 或 S/D 延伸区<sup>[5,6]</sup>和硅化物<sup>[7]</sup>等. 工艺诱生应力大小、方向与工艺结构、工艺条件密切相关,而载流子迁移率的提高又与应力的类型、方向、大小密切相关,还要防止应力的弛豫,所以是一个比较复杂的关系.

本文中,我们要介绍一种新的应变沟道工程,即利用 Ge 预非晶化 pMOS 源/漏延伸区对硅沟道诱

生一个大的压应力,从而显著提高 pMOS 管的空穴迁移率. 这是一种与 CMOS 非常兼容的技术,而且不需要增加光刻掩膜,对 nMOS 电子迁移率没有负面影响. 图 5 给出集成了 Ge 预非晶化 S/D 延伸区对沟道诱生单轴压应力 pMOS 器件结构剖面示意图. 在亚 25nm 器件中,超浅、高表面浓度和超陡的 S/D 延伸区的形成是严重的挑战之一,特别是 pMOS. 我们用 Ge 预非晶化加上低能 BF<sub>2</sub> 注入结合 RTA 获得了 28nm 的浅结,比无 Ge 非晶化的结浅 38%,表面浓度提高近 1 倍,特别是 Ge 非晶化在沟道区引入了一个平行于电流方向的压应力,结果显著地提高了 pMOS 空穴迁移率. Ge 非晶化条件的选择必须在应力效应与超浅结漏电之间折中平衡. 沟道有效载流子迁移率的萃取采用了适用于深亚微米 CMOS 技术的基于总电阻斜率的沟道有效载流子迁移率萃取方法<sup>[8]</sup>.

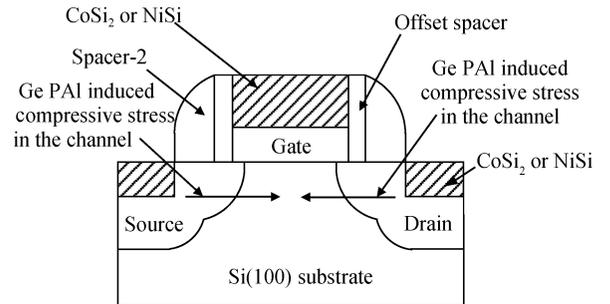


图 5 Ge 预非晶化 S/D 延伸区对沟道诱生单轴压应力 pMOS 器件结构剖面示意图

Fig. 5 Schematic of strained channel pMOS device structure with uniaxial compressive stress to channel induced by integrating Ge PAI for S/D extension process

图 6 给出了 Ge 预非晶化 S/D 延伸区 pMOS 器件空穴有效迁移率随纵向有效电场的变化,并与无 Ge 预非晶化器件进行了比较. 从图 6 可以清楚地看到,经 Ge 预非晶化 S/D 延伸区的 pMOS 空穴有效迁移率在 0.6MV/cm 下改善了 32%,相应驱动电流改善 17%. 而且随着纵向有效场的增加,有效空穴迁移率的下降很缓慢,在 1.3MV/cm 的高场下,空穴有效迁移率仍改善 25%. 迁移率改善机理分析如下:

(1)对 Ge 预非晶化 S/D 延伸区进行低能注入,经 RTA 高温退火后,Ge<sub>1-y</sub>Si<sub>y</sub> 层在 S/D 延伸区与 S/D 区上形成,Ge<sub>1-y</sub>Si<sub>y</sub> 对 Si 的晶格失配诱生对沟道的压应力. 由于 S/D 及其延伸区在沟道方向的尺寸较大,所以累计的晶格失配就会很大. 另外因为侧壁 1 非常薄,同时在 RTA 过程中,Ge 的再分布引起 Ge 的横向扩散,以至 Ge<sub>1-y</sub>Si<sub>y</sub> 层的边缘更接触沟道中心,故此压应力作用到沟道中心距离更短些,

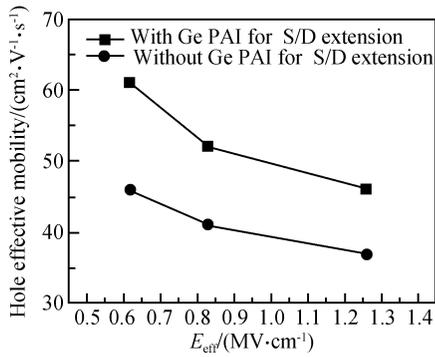


图 6 Ge 预非晶化 S/D 延伸区 pMOS 器件空穴有效迁移率随纵向有效电场的变化,并与无 Ge 预非晶化器件进行了比较  $L_G$ :90nm,EOT:3.0nm,沟道宽度:14 $\mu\text{m}$

Fig.6 Hole effective mobility as a function of vertical effective field for 90nm gate length pMOS device strained by Ge PAI for S/D extension, and compared with the effective mobility of control one EOT: 3.0nm,channel width:14 $\mu\text{m}$

诱生的压应力会更大;(2)注入的 Ge 离子可能一部分以填隙状态存在,这可能大大有助于压应力增强;(3)Ge 预非晶化注入使 Si 变成无定性,非晶化的 Si 有较小的单位体积,再结晶后,硅的纵向厚度可能减薄,而横向扩展,对沟道产生压应力.利用零阶劳厄线衍射的大角度会聚束电子衍射(LACBED)方法对样品进行微区应变分析表明,Ge 预非晶化 S/D 延伸区引入的在沟道中的压应变高达 -3.6%(栅长 75nm).事实上,如果计入 TEM 样品减薄过程中应变的弛豫,此压应变会更大.利用测量得到的应变值进行的 LACBED 图像的动力学模拟与 TEM 的 LACBED 实验分析的图像符合得十分好.同时 TEM 分析表明沟道中没有缺陷.图 7(a)和(b)分别给出了 Ge 预非晶化 S/D 延伸区 pMOS 空穴有效迁移率随沟道长度和宽度的变化,EOT 为 1.4nm.图 7 表明,Ge 预非晶化 S/D 延伸区 pMOS 的空穴有效迁移率随沟道长度和宽度的减小而增加.这些特性表明由 Ge 非晶化 S/D 延伸区产生的应变沟道 pMOS 器件有非常好的等比例缩小的特性.

研究还表明:空穴迁移率改善的百分比随沟道长度缩小而增加.在纵向场强为 1.2MV/cm 下,栅长 90nm 时,空穴迁移率改善 26%;栅长 160nm 时,空穴迁移率改善 20%;而当栅长增加到 250nm 时,空穴迁移率的改善降到了 7%.这个规律也被 LACBED 分析所证实.上述特征尺寸缩小应力增强效应与将来的 CMOS 技术发展趋势相吻合是非常吸引人的优点.

### 3.4 EOT 1.2nm 氮化氧化栅介质

本文沿用我们曾发表的  $\text{N}^+$  注入再氧化的方

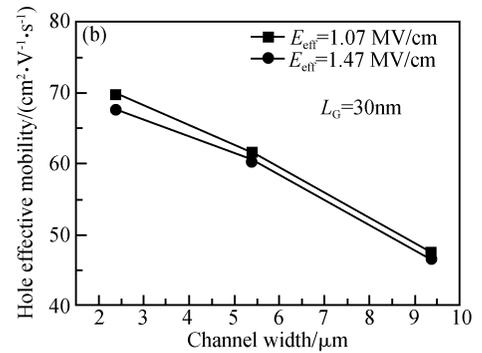
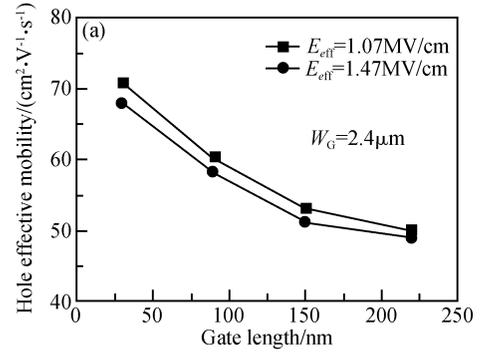


图 7 Ge 预非晶化 S/D 延伸区 pMOS 空穴有效迁移率随沟道长度(a)和宽度(b)的变化 EOT=1.4nm

Fig.7 Hole effective mobility of strained pMOS by Ge PAI S/D extension versus gate length(fixed channel width 2.4 $\mu\text{m}$ ) (a) and channel width(fixed channel length 30nm) (b) EOT=1.4nm

法<sup>[9]</sup>进一步降低超薄栅介质的厚度.图 8 给出了用于 22nm CMOS 器件的超薄氮化氧化栅介质的 HRTEM 剖面照片,其物理厚度为 1.1nm,EOT 为 1.2nm.图 19(a)给出了具有不同栅介质的 nMOS 电容栅隧穿漏电流随栅电压的变化.可见,EOT 为 1.2nm 的氮氧化硅的漏电流比 EOT 为 2.0nm 的纯  $\text{SiO}_2$  还要好得多.图 19(b)给出了具有不同栅介质

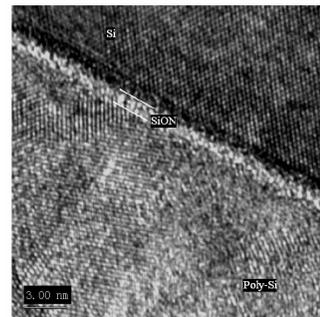


图 8 EOT 为 1.2nm 超薄氮化氧化栅介质的 HRTEM 剖面照片 物理厚度为 1.1nm.

Fig.8 Cross-section HRTEM image of poly-Si/gate oxynitride/silicon substrate Physical thickness is 1.1nm.

厚度的 pMOS 电容栅隧穿漏电流与栅电压的关系. EOT 为 1.2nm 的氮氧化硅的隧穿漏电流比 EOT 为 2.0nm 的 N<sub>2</sub>O 退火样品和纯 SiO<sub>2</sub> 样品分别要好近 1 个和 1.5 个数量级. 这主要是因为这种方法特有的氧化延迟效应使膜更均匀致密, N 浓度更高, 其峰值更靠近表面, 抗击穿能力更强所致.

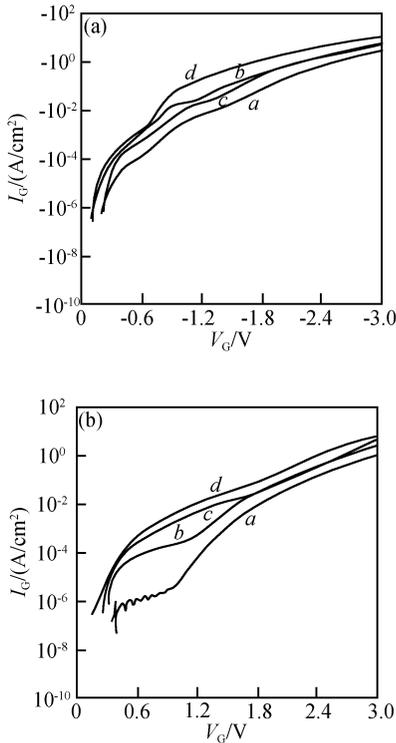


图 9 不同栅介质及其厚度 MOS 电容栅隧穿漏电流密度与栅电压的关系 (a) nMOS; (b) pMOS a: 氮注入 Si 再氧化, EOT: 1.9nm; b: 氮注入 Si 再氧化, EOT: 1.2nm; c: N<sub>2</sub>O 退火氮化, EOT: 2.0nm (a), EOT: 2.05nm (b); d: 纯 SiO<sub>2</sub>, EOT: 2.0nm

Fig. 9 Gate tunneling leakage density versus gate voltage of nMOS capacitors (a) and pMOS capacitors (b) respectively with various gate dielectric and thickness. a: Oxynitride grown on N-implanted Si, EOT: 1.9nm; b: Oxynitride grown on N-implanted Si, EOT: 1.2nm; c: Oxide nitrided by N<sub>2</sub>O annealing, EOT: 2.0nm for (a), and 2.05nm for (b); d: Pure oxide, EOT: 2.0nm

### 3.5 Ni 自对准硅化物

随着器件尺寸的减少, 常规 Co 硅化物由于耗 Si 多, 反应温度高, 不再适用于亚 30nm 器件制备, Ni 硅化物应运而生. 这是因为 Ni 自对准硅化物工艺有一系列的优点, 如 NiSi 形成温度低、工艺窗口大、薄层电阻低、耗 Si 少; 随线宽减少, NiSi 薄层电阻减少, 等. 但也有一个缺点, 即热稳定性差. 为此, 着重研究了 Ni/Si 和 TiN/Ni/Si 的热反应特性、成

膜规律及 Ni 自对准硅化物浅结的漏电机理及减少漏电的途径. 图 10 给出了不同 Ni 薄膜厚度的双层金属薄膜 TiN/Ni 与单层金属薄膜 Ni 在不同退火温度下的方块电阻变化. 由图可见, TiN/Ni 双层金属薄膜所形成的硅化物薄膜与 Ni 单层金属薄膜所形成的硅化物相比, 不但薄膜的方块电阻明显减小, 而且热稳定性有了明显的改善, 即由低阻 NiSi 相向高阻 NiSi<sub>2</sub> 相转变的温度提高了近 100°C. 其原因是

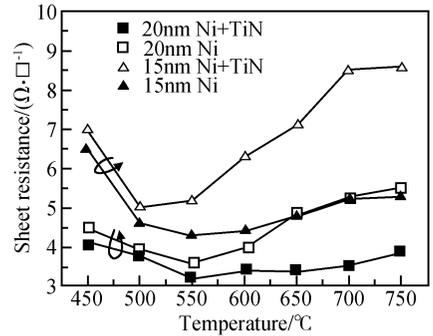


图 10 NiSi 薄层电阻随 RTA 形成温度的变化, 比较了有 TiN 层和无 TiN 层的结果

Fig. 10 NiSi sheet resistance as a function of RTA temperature, and compare both with and without TiN film

上层覆盖的 TiN 薄膜抑制了 Ni 表面及随后的 NiSi 形成过程中氧原子的入侵而造成的薄膜氧化, 因为 Ni 及其硅化物对氧非常敏感. 图 11 给出了 NiSi 薄膜的薄层电阻和相应厚度随 poly-Si 线宽的变化关系. 结果表明在优化的 RTA 条件下, 由于存在边缘效应, 随 L<sub>G</sub> 缩小, NiSi 薄膜的厚度增加, 故其薄层

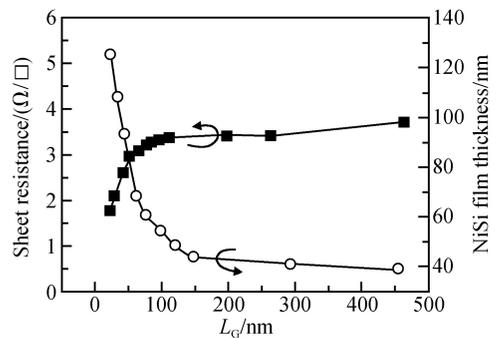


图 11 As 重掺杂多晶硅上 NiSi 薄层电阻和厚度随栅长度的变化

Fig. 11 Thickness and sheet resistance of Ni silicide on As heavy doped poly-Si line versus gate length

电阻随着 poly-Si 线宽的减小而减小. 当 poly-Si 线宽减小到 24nm 时, 相应 NiSi 薄膜厚度为 125nm, 对应薄层电阻减小到 1.8Ω/□. 而 S/D 上的薄层电阻为 3.5Ω/□. NiSi 薄膜在超深亚微米和纳米器件

中的应用面临的另一个主要问题是如何改善 Ni 自对准硅化物浅结的反向  $I-V$  特性. 我们通过改善 NiSi/Si 界面粗糙度和抑制 Ni 表面及其硅化物表面的氧化来改善 Ni 硅化物浅结的漏电流. 受测试系统本身漏电限制, 在 5V 电源电压下, 对于  $0.1\mu\text{m}$  浅结, Ni 自对准硅化物浅结平均漏电流密度为  $2 \times 10^{-7} \text{ A/cm}^2$  ( $n^+/p$  结) 和  $1.5 \times 10^{-7} \text{ A/cm}^2$  ( $p^+/n$  结). 漏电流密度的均匀性很好, 表明 NiSi 薄膜的良好均匀性及其 NiSi/Si 界面的平整、光滑.

为了研究机理, 对 TiN/Ni/Si 和 Ni/Si 两种样品进行了 TEM 剖面分析, 如图 12 所示. 可以看到, 对无 TiN 覆盖的样品, NiSi/Si 界面不太平整, 而且有尖峰存在, 这是造成漏电的主要原因. 而有 TiN 覆盖的 NiSi/Si 界面就平整光滑得多.

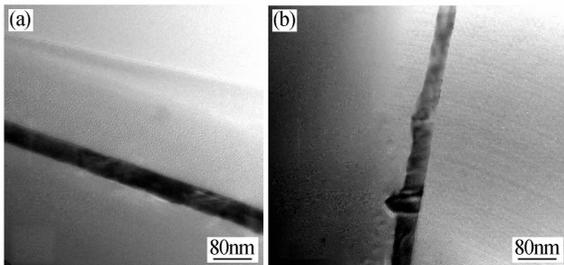


图 12 Ni-自对准硅化物(NiSi)薄膜剖面 HRTEM 照片 (a) 有 TiN 膜覆盖; (b) 无 TiN 膜覆盖

Fig. 12 HRTEM cross section photo of Ni-salicide thin film (a) With TiN capping layer; (b) Without TiN capping layer

#### 4 器件与 32 分频器电路特性

在上述先进的关键工艺技术研究成功的基础上, 优化了集成技术, 研制成功了高性能栅长 22nm CMOS 器件及栅长 27nm CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级 CMOS 环形振荡器), EOT 为 1.2nm. 由于对各关键技术进行了深入系统的研究, 摸清楚了其中的规律, 各关键工艺基本上是可控制的、可重复的, 从而基本上保证了集成技术的可控性和可重复性.

图 13 和 14 分别给出了采用 NiSi 的栅长 22nm CMOS 器件的  $I_D-V_D$  输出特性和  $I_D-V_G$  亚阈值特性, EOT 为 1.2nm. 由图可见, 栅长 22nm CMOS 器件的输出特性和亚阈值特性很好, 在电源电压  $V_{DD} \pm 1.0\text{V}$  下, nMOS 和 pMOS 的饱和驱动电流  $I_{ON}$  分别为  $790$  和  $-450\mu\text{A}/\mu\text{m}$ , 相应关态漏电流  $I_{OFF}$  分别为  $37$  和  $-49\text{nA}/\mu\text{m}$ ; nMOS 亚阈值斜率和漏致势垒下降(DIBL)分别为  $84$  和  $80\text{mV/V}$ , pMOS 亚阈值斜率和 DIBL 分别为  $96$  和  $86\text{mV/V}$ . 这些结果充分表明, 研制成功的 22nm CMOS 器件极好地抑

制了短沟道效应和漏引起的势垒下降效应, 有很高的  $I_{ON}/I_{OFF}$  比. 特别是 pMOS 器件性能更为优良, 这是因为 Ge 预非晶化源/漏延伸区使结显著变浅, 并大大降低了寄生 S/D 串联电阻, 更重要的是 Ge 预非晶化源/漏延伸区显著提高了空穴迁移率, 其原因是其在沟道区引入了一大的单轴压应力.

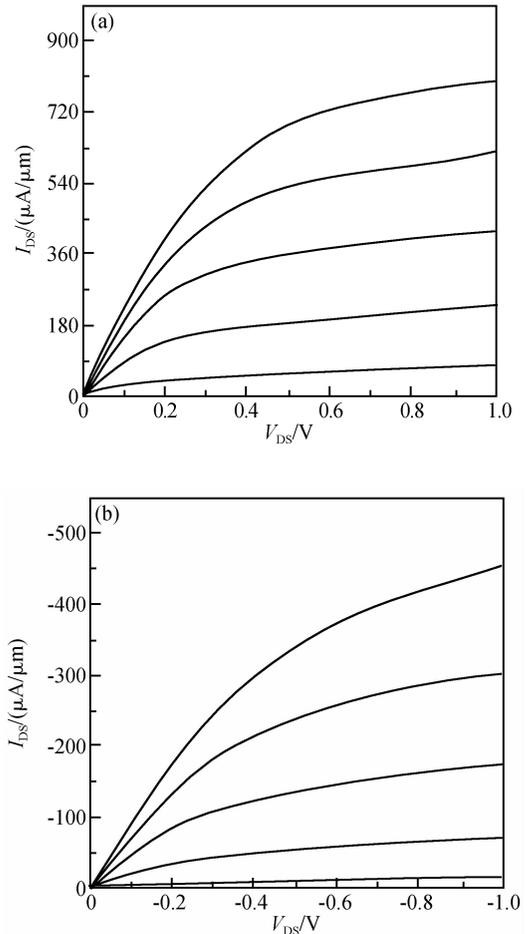


图 13 栅长为 22nm CMOS 器件的  $I_D-V_D$  输出特性 ( $V_{GS}: 0 \sim \pm 1.0\text{V}$ , step:  $\pm 0.2\text{V}$ ) (a) nMOS(+); (b) pMOS(-)

Fig. 13  $I_D-V_D$  characteristics of 22nm gate length CMOS devices ( $V_{GS}$  is varied from  $0\text{V}$  to  $\pm 1.0\text{V}$  at  $\pm 0.2\text{V}$  steps) (a) nMOS(+); (b) pMOS(-)

同时应用上述技术, 还研制成功了采用 NiSi 的栅长为 27nm 和 EOT 为 1.2nm 的 CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级 CMOS 环形振荡器). 图 15(a), (b) 和 (c) 分别给出了栅长 27nm CMOS 32 分频器电路的芯片照片和输出波形, 其中嵌入了 201 级 CMOS 环形振荡器(EOT 1.2nm). 从图 15(b) 可以看出, 在 1.2V 电源电压下, CMOS 环形振荡器每级延迟为 14.1ps. 从图 15(c) 可以看出, 在 1.5V 电源电压下, CMOS 环形振荡器每级延迟为 11.7ps.

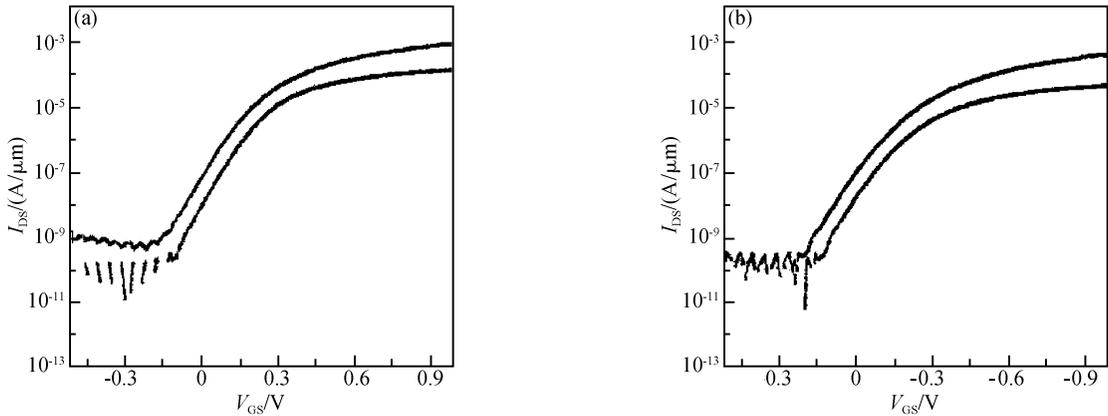


图 14 栅长为 22nm CMOS 器件的  $I_D$ - $V_G$  亚阈值特性 ( $V_{DS}$ :  $\pm 0.1 \sim \pm 1.0V$ ) (a) nMOS(+); (b) pMOS(-)

Fig.14 Sub-threshold characteristics of 22nm gate length COMS devices ( $V_{DS}$  is varied from  $\pm 0.1V$  to  $\pm 1.0V$ ) (a) nMOS(+); (b) pMOS(-)

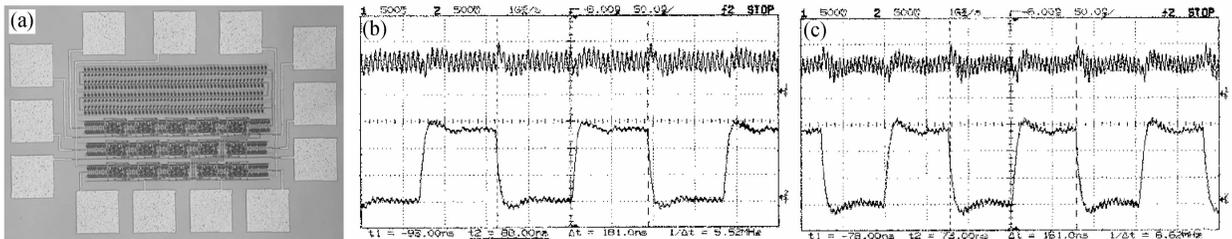


图 15 (a) 栅长 27 nm CMOS 32 分频器电路芯片照片, 其中嵌入了 201 级 CMOS 环形振荡器 (EOT 1.2 nm); (b), (c) 栅长 27nm CMOS 32 分频器电路输出波形, 其中嵌入了 201 级 CMOS 环形振荡器 (EOT 1.2nm)

Fig.15 (a) Chip photo of gate length 27 nm CMOS 32 frequency divider circuits embedded with 201 stage CMOS ring oscillator; (b), (c) Output waves of gate length 27nm CMOS 32 frequency divider circuits embedded with 201 stage CMOS ring oscillator

对其中嵌入了 57 级 CMOS 环形振荡器的 CMOS 32 分频器电路的测试表明在 500MHz 的频率下其仍能很好地工作。

具有 EOT 1.2nm 的高性能栅长 22nm CMOS 器件和栅长 27nm CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级 CMOS 环形振荡器)的研制成功充分证明了上述创新的关键工艺技术在亚 30nm 技术中是十分成功的和有用的. 这归功于采用了具有自身特色的工艺结构和一系列创新的关键技术。

## 5 结论

本文采用一种新的 Ge 预非晶化 S/D 延伸区应变沟道工程, 成功地研制出了具有应变沟道的栅长 22nm CMOS 器件和栅长 27nm CMOS 32 分频器电路(其中分别嵌入了 57 级/201 级 CMOS 环形振荡器), 使 pMOS 性能得到很大的改善, pMOS 空穴有效迁移率得到显著提高. 特征尺寸等比例缩小增强应变效应和有效迁移率对纵向电场不敏感是下一代 CMOS 技术中非常吸引人的两大优点。

**致谢** 作者衷心感谢中国科学院微电子研究所硅工程中心全体员工和中科院微电子所二室、三室在研制中的大力支持和帮助, 衷心感谢清华大学微电子研究所李志坚院士、钱佩信教授和中国科学院微电子研究所吴德馨院士的有益讨论和宝贵建议。

## 参考文献

- [1] Xu Qiuxia, Qian He, Liu Ming, et al. 20nm polysilicon gate patterning and application in 36nm complementary metal-oxide-semiconductor devices. J Vac Sci Technol B, 2003, 21 (6): 2352
- [2] Hoyt J L, Nayfeh H M, Eguchi S, et al. Strained silicon MOS-FET technology. IEDM Tech Dig, 2002: 23
- [3] Chan V, Rengarajan R, Rovedo N, et al. High speed 45nm gate length CMOSFETs integrated into a 90nm bulk technology incorporating strain engineering. IEDM Tech Dig, 2003: 77
- [4] Khamankar R, Bu H, Bowen C, et al. An enhanced 90nm high performance technology with strong performance improvements from stress and mobility increase through simple process changes. IEDM Tech Dig, 2004: 162
- [5] Ghani T, Armstrong M, Auth C, et al. A 90nm high volume manufacturing logic technology featuring novel 45nm gate

- length strained silicon CMOS transistors. IEDM Tech Dig, 2003;978
- [ 6 ] Chidambaram P R, Smith B A, Hall L H, et al. 35% drive current improvement from recessed-SiGe drain extensions on 37nm gate length pMOS. IEDM Tech Dig, 2004;48
- [ 7 ] Steegen A, Stucchi M, Lauwers A, et al. Silicide induced pattern density and orientation dependent transconductance in MOS transistors. IEDM Tech Dig, 1999;497
- [ 8 ] Niu Guofu, Cressler J D, Mathew S J, et al. A total resistance slope-based effective channel mobility extraction method for deep submicrometer CMOS technology. IEEE Trans Electron Devices, 1999, 46(9):1912
- [ 9 ] Xu Qiuxia, Qian He, Han Zhengsheng, et al. Characterization of 1.9- and 1.4-nm ultrathin gate oxynitride by oxidation of nitrogen-implanted silicon substrate. IEEE Trans Electron Devices, 2004, 51(11):113

## High Performance Gate Length 22nm CMOS Device with Strained Channel and EOT 1.2nm<sup>\*</sup>

Xu Qiuxia<sup>1,†</sup>, Qian He<sup>1</sup>, Duan Xiaofeng<sup>2</sup>, Liu Haihua<sup>2</sup>, Wang Dahai<sup>1</sup>, Han Zhengsheng<sup>1</sup>, Liu Ming<sup>1</sup>, Chen Baoqin<sup>1</sup>, and Li Haiou<sup>1</sup>

(1 *Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

(2 *Institute of Physics, Chinese Academy of Sciences, Beijing 100080, China*)

**Abstract:** As scaling CMOS device towards sub-30nm gate length, device physics and semiconductor technology will encounter a series of barriers. This paper deeply investigates sub-30nm CMOS key process technologies, especially offers a new low-cost technique for enhancement of hole mobility using strained channel by Ge pre-amorphization implantation (PAI) for S/D extension to overcome the serious short channel effect (SCE) and to improve drive current/off state leakage ratio, which makes 32% hole effective mobility improvement at 0.6MV/cm vertical field for 90nm gate length pMOS. And the hole mobility enhancement strengthens with the scaling down of feature size of the device. The analysis using zero order Laue Zone diffraction on large angle convergent beam electron diffraction (LACBED) in TEM reveal very large compressive strain of  $-3.6\%$  (gate length 75nm) in the channel region induced by Ge PAI for S/D extension. Based on the optimum of integration technology, high performance gate length 22nm CMOS devices and gate length 27nm CMOS 32 frequency dividers embedded with 57 stage/201 stage CMOS ring oscillator with strained channel are fabricated successfully with EOT 1.2nm and Ni-SALICIDE.

**Key words:** strained channel; compressive stress; Ge PAI; EOT; gate length; CMOS

**EEACC:** 2550B; 2550N; 2550G; 2550F

**Article ID:** 0253-4177(2006)S0-0283-08

\* Project supported by the State Key Development Program for Basic Research of China(No.2006CB302704)

† Corresponding author. Email:qxq@ime.ac.cn

Received 8 December 2005, revised manuscript received 26 December 2005

©2006 Chinese Institute of Electronics