

一种抗单粒子翻转的 SOI 器件结构

贺 威^{1,2,†} 张正选¹

(1 中国科学院上海微系统与信息技术研究所, 上海 200050)

(2 中国科学院研究生院, 北京 100049)

摘要: 介绍了 SOI 器件的可偏压隔离阱结构, 对这种结构抗单粒子翻转的可能性进行了分析, 对采用此结构的反相器的抗单粒子翻转性能利用器件模拟软件 Medici 和电路模拟软件 Hspice 进行了模拟. 最后对基于可偏压隔离阱的抗单粒子翻转器件的应用给予了讨论.

关键词: 单粒子翻转; SOI; CMOS

EEACC: 2570D

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)S0-0291-04

1 引言

绝缘体上硅(SOI)技术中,埋氧化层把器件的硅膜与衬底隔离,使电荷收集体积仅局限在顶层硅内非常有限的区域.因此,SOI技术在抗单粒子翻转(SEU)和瞬时辐照方面有着体硅技术不可比拟的优势,然而SOI器件所具有的一系列寄生效应却降低了SOI的这种优势的发挥.仅仅采用SOI材料来制作CMOS电路,虽然具有一定的抗SEU能力,但在能量较大的入射粒子作用下,仍有可能发生翻转.如果要进一步提高SOI器件和电路的抗SEU能力,使电路在任何能量的入射粒子作用下都不发生单粒子翻转,则需要采用适当的器件设计.

本文介绍一种采用可偏压隔离阱的CMOS/SOI器件结构,并对采用此结构加固的反相器的抗SEU性能利用器件模拟软件Medici和电路模拟软件Hspice进行了模拟.根据模拟结果,对采用可偏压隔离阱结构抗单粒子效应的可能性进行了分析,并对基于此技术的抗SEU器件的应用给予了讨论.

2 可偏压隔离阱抗SEU的器件原理

由于入射粒子会造成SOI顶层硅的电离,产生电子空穴对,在MOS管的源漏端的电场的作用下,产生一个瞬时电流,这个电流可能会造成单粒子翻转.在如图1所示的2管CMOS/SOI反相器中,当输入X为低电平,输出Y为高电平时,pMOS管线性,nMOS管截止,在nMOS管的漏端和源端之间有强电场.此时如果有粒子入射到nMOS管,沿着

粒子的轨迹,硅原子被电离,产生电子空穴对,电子会在电场的的作用下,被推至耗尽层.这些电子会使耗尽区收集的电荷大量增加,如果产生的电荷足够多,在电场的的作用下,会产生从Y点到地的瞬时脉冲电流,结果可能造成Y点输出的高电平在瞬间降低,产生逻辑错误,这就是单粒子翻转^[1].同样,当输入X为高电平,输出Y为低电平时,nMOS管线性,pMOS管截止,此时在pMOS管的漏端和源端之间有强电场,如果有粒子入射到pMOS管,会产生从V_{DD}点到Y点的瞬时脉冲电流,也有可能造成单粒子翻转.

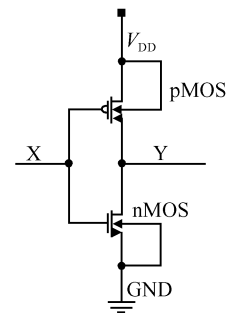


图1 2管CMOS/SOI反相器

Fig.1 2X CMOS/SOI inverter

考虑到沿着入射粒子的轨迹被电离的硅原子所产生的电子空穴对只有在强电场的的作用下,才有可能产生瞬态电流,造成单粒子翻转.如果将MOS管放置在可加偏压的隔离阱中,则可以在MOS管的源漏端加上相同的电压,形成低电场,以防止电荷收集,达到防止形成瞬态电流的目的.这就是“可偏压隔离阱”技术^[2].在如图2所示的6管加固CMOS/

† 通信作者. Email: willhe@mail.sim.ac.cn

2005-10-13 收到, 2005-12-30 定稿

SOI 反相器中, N2, NS, P2 和 PS 的源漏端被加上相同的电压, 形成低电场, 以防止电荷收集, 达到防止形成瞬态电流的目的. 当输入电平 X 为低电平, 输

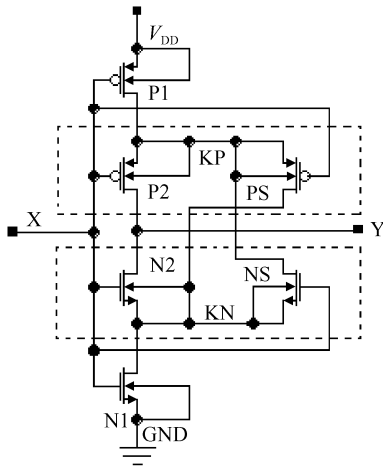


图 2 6 管加固 CMOS/SOI 反相器
Fig. 2 Hardened 6X CMOS/SOI inverter

出 Y 为高电平时, P1, P2, PS 导通, N1, N2, NS 截止, KN 点为高电平, 在 N2 和 NS 的源端和漏端都是高电平, 源漏端没有强电场. 沿着入射粒子的轨迹, 硅原子也会被电离, 产生电子空穴对, 但由于失去电场的作用, 不会形成瞬态电流. 此时 N1 管截止, 在 N1 的源漏端存在强电场, 当入射到 N1 的粒子造成 KN 到地的瞬态电流时, 此时 KN 点的电压会降低, 由于 P2 线性, Y 点电压近似于 KP 点电压, 又 PS 线性, KP 点电压就是 PS 和 P1 的分压, 及 $V_{KP} = (V_{DD} - V_{KN}) R_{PS} / (R_{P1} + R_{PS}) + V_{KN}$, 其中 R_{P1} 和 R_{PS} 分别为 P1 和 PS 的导通电阻. 设计 PS 的宽长比小于 P1 宽长比, 大约为 1:2, 从而 $R_{PS} > R_{P1}$, 则可以得到 $V_{KP} > 1/2 V_{DD}$, Y 点电压始终是大于 $1/2 V_{DD}$ 的高电平, 不会发生单粒子翻转. 同样, 设计 NS 的宽长比小于 N1 宽长比, 当输入电平 X 为高电平时, 输出 Y 点电压始终是小于 $1/2 V_{DD}$ 的低电平, 此反相器也能抗单粒子翻转.

需要注意的是, 此器件中 N2 和 NS 必须放在与 N1 不同的阱内, 成为“隔离阱”, 如果将 N2 和 NS 与 N1 放在同一阱内, 由于 N1 两端的强电场, 入射单粒子产生的瞬态电流, 可能会影响 N2 和 NS, 同样, P2 和 PS 也必须放在与 P1 不同的阱内. 此器件结构也不能在体硅中实现, 因为在体硅中, 只有一种阱可以实现完全隔离, 如在 p 衬底中, 只有 n 阱能实现完全隔离, n 衬底中, 只有 p 阱能实现完全隔离, 如果不能实现隔离阱, 受入射粒子在衬底中造成的电流的影响, 此器件结构就不能很好地抗 SEU.

3 模拟结果

入射粒子在 MOS 管中造成的脉冲电流近似为指数脉冲^[3], 不同能量和速度的入射粒子造成的脉冲峰值、脉宽、上升和下降时间均不同. 为了模拟的准确性, 本文首先用器件模拟软件 Medici 模拟了不同能量和速度的粒子在 nMOS/SOI 管和 pMOS/SOI 管中造成的脉冲电流, 如图 3 所示, 入射粒子的 LET 值分别为 $80 \text{ meV}/(\text{mg}^{-1} \cdot \text{cm}^{-2})$ 和 $98 \text{ meV}/(\text{mg}^{-1} \cdot \text{cm}^{-2})$ 的 Ar 粒子时, 在 nMOS/SOI 管和 pMOS/SOI 管中产生的脉冲电流.

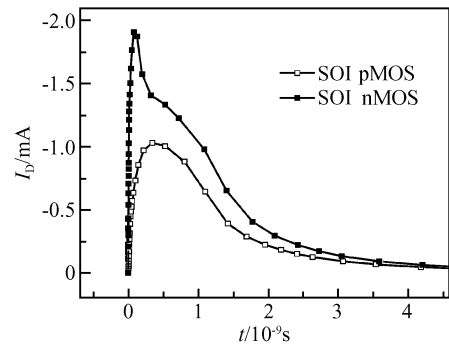


图 3 Medici 模拟 nMOS/SOI 和 pMOS/SOI 单粒子效应图
Fig. 3 Medici simulated SEU of nMOS/SOI and pMOS/SOI

采用 Hspice 对反相器进行模拟, 在模拟中加入了如图 3 所示的脉冲电流, 以模拟不同粒子对反相器造成的影响. 在如图 2 所示的 6 管加固 CMOS/SOI 反相器中, 当输入 X 为低电平时, 入射粒子只有在 N1 中才会产生脉冲电流, 电流方向从 KN 点到地, 此时向 KN 点和地之间加入图 3 所示的 nMOS 脉冲电流, 模拟 N1 中的单粒子效应, 观察输出 Y 点的电压变化情况, 如图 4 的曲线 1 所示. 当输入 X 为高电平时, 入射粒子只有在 P1 中才会产生脉冲电流, 电流方向从 V_{DD} 到 KP 点, 此时向 V_{DD} 和 KP 点之间加入图 3 所示的 pMOS 脉冲电流, 模拟 P1 中的单粒子效应, 观察输出 Y 点的电压变化情况, 如图 5 的曲线 1 所示.

为了便于比较, 本文也模拟了 2 管 CMOS/SOI 反相器的抗 SEU 性能, 模拟结果如图 4 的曲线 2 和图 5 的曲线 2 所示. 从图 4 和 5 可以看出, 在同样的入射粒子的作用下, 当输出为高电平时, 2 管 CMOS/SOI 反相器的输出电压降到 2.5V 以下发生翻转时, 6 管单元反相器电压始终保持在 4.4V 以上; 输出为低电平时, 入射粒子使 2 管反相器的输出电压升高 2.5V 以上发生翻转时, 6 管单元反相器电压始终保持在 1V 以下. 根据模拟得出, 此 2 管反相

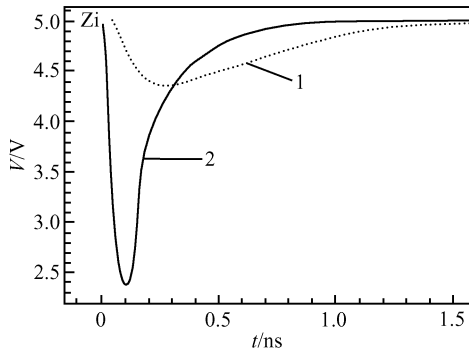


图 4 输出为高电平时 2 管 CMOS/SOI 反相器和 6 管 CMOS/SOI 反相器的输出抗 SEU 性能比较图

Fig.4 Comparison of 2X inverter and hardened 6X inverter when output is high

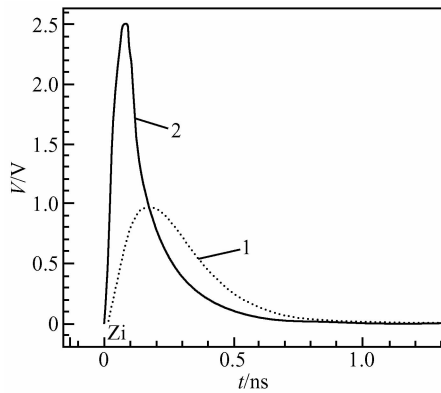


图 5 输出为低电平时 2 管 CMOS/SOI 反相器和 6 管 CMOS/SOI 反相器的输出抗 SEU 性能比较图

Fig.5 Comparison of 2X inverter and hardened 6X inverter when output is low

器的翻转的临界电荷为 0.24pC, 而 6 管单元反相器翻转的临界电荷为无穷大, 表明此反相器在任何能量的入射粒子的作用下都不会发生翻转, 具有很好的抗 SEU 性能.

4 讨论

采用可偏压隔离阱结构加固的 6 管反相器虽然具有很好的抗 SEU 性能, 但是在速度、功耗以及版图的面积方面付出了代价. 与 2 管反相器相比, 在输出电流相当时, 加固 6 管反相器的输入电容是 2 管反相器输入电容的 2.5 倍, 降低了反相器的速度, 所消耗的功耗和版图面积也约为 2 管反相器的 2.5 倍左右. 但是比起其他几种抗 SEU 加固的方法, 如设计冗余电路, 采用去耦电阻或去耦电容^[4~6]等, 此反相器的版图面积和功耗都要小得多, 而且速度也比较快.

以上所讨论的是抗 SEU 的 6 管反相器, 隔离阱

加固技术可以用来设计各种抗 SEU 加固的寄存器或者组合逻辑电路, 如图 6 所示的 2 输入或非门和图 7 所示的 2 输入与非门, 模拟表明其具有良好的抗 SEU 性能.

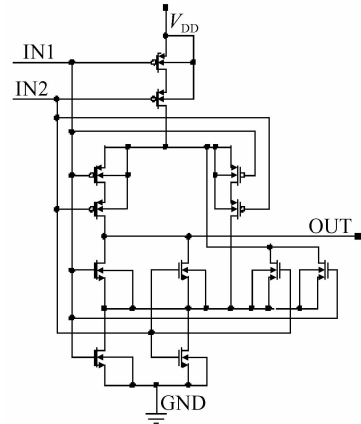


图 6 抗 SEU 的 NOR2 门

Fig.6 SEU hardened NOR2

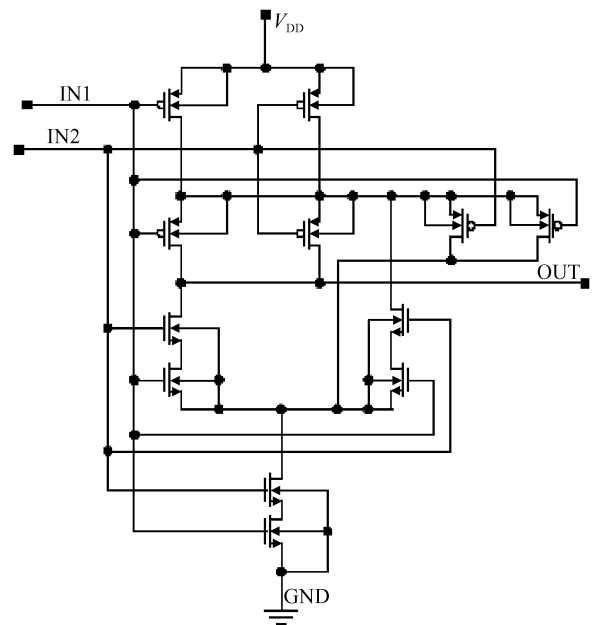


图 7 抗 SEU 的 NAND2 门

Fig.7 SEU hardened NAND2

5 结论

本文介绍了一种采用可偏压隔离阱来进行抗单粒子翻转加固的 SOI 器件结构, 模拟比较了未加固的和采用可偏压隔离阱加固的 CMOS/SOI 反相器的抗 SEU 性能. 比起其他几种抗 SEU 加固的方法, 如设计冗余电路, 采用去耦电阻或去耦电容等, 采用这种器件结构加固的电路具有速度快、版图面积小和功耗低等优点.

参考文献

- [1] Colinge J P. Silicon on insulator technology materials to VL-SI. Boston: Kluwer Academic Publishers, 1991
- [2] Baze M P, Buchner S P, McMorrow D. A digital CMOS design technique for SEU hardening. IEEE Trans Nucl Sci, 2000, 47(6): 2603
- [3] Alles M L. SPICE analysis of the SEU sensitivity of a fully depleted SOI CMOS SRAM cell. IEEE Trans Nucl Sci, 1994, 41(6): 2093
- [4] Rockett L R. An SEU-hardened CMOS latch design. IEEE Trans Nucl Sci, 1988, 35(6): 1682
- [5] Whitaker S, Canaris J, Liu K. SEU hardened memory cells for a CCDs reed Solomon encoder. IEEE Trans Nucl Sci, 1991, 38(6): 1471
- [6] Massengill L W. SEU-hardened resistive-load static RAM's. IEEE Trans Nucl Sci, 1991, 38(6): 1478

SOI Device Design for SEU Hardening

He Wei^{1,2,†} and Zhang Zhengxuan¹

(1 Shanghai Institute of Microsystem and Information Technology, Chinese Academy of Sciences, Shanghai 200050, China)

(2 Graduate University of the Chinese Academy of Sciences, Beijing 100049, China)

Abstract: A CMOS device design technique based on SOI process, using actively biased isolated wells for single event upset hardening, has been described. Medici and Hspice simulations were performed to simulate inverter constructed by actively biased isolated wells. This paper also discusses the application of this technique.

Key word: SEU; SOI; CMOS

EEACC: 2570D

Article ID: 0253-4177(2006)S0-0291-04

† Corresponding author. Email: willhe@mail.sim.ac.cn

Received 13 October 2005, revised manuscript received 30 December 2005