

0.18 μm 数字 CMOS 工艺下的高增益运算放大器设计

王 晗[†] 叶 青

(中国科学院微电子研究所, 北京 100029)

摘要: 基于 SMIC 0.18 μm 数字 CMOS 工艺, 设计了一种基于增益增强技术的折叠式共源共栅运算放大器, 并采用衬底校准技术增大了运放的输入摆幅, 可用于 13 位 30MHz 采样频率的流水线模数转换器, 分析了受流水线性能限制的运放性能. 仿真结果表明运放在 1V 的输入摆幅下开环增益大于 100dB, 8.5pF 负载电容下单位增益带宽为 322MHz, 功耗仅为 1.9mW.

关键词: CMOS; 运算放大器; 折叠式共源共栅; 增益增强; 衬底校准; 流水线模数转换器
EEACC: 1205; 1220

中图分类号: TN402 文献标识码: A 文章编号: 0253-4177(2006)S0-0318-04

1 引言

随着大规模集成电路技术的高速发展, 高性能运算放大器已经广泛应用于高速高精度模数转换器 (analogue-to-digital converters, ADCs) 中, 是高性能流水线 ADC 中的核心单元电路之一, 其性能直接影响到 A/D 转换器的整体性能. 所以, 高性能运算放大器的设计一直是模拟集成电路设计研究的热点之一.

不同于模拟集成电路, 数字电路系统的性能随着器件沟道长度的减小而增强. 在深亚微米工艺中, 相当数量的片上系统 (system-on-a-chip, SOC) 需要在大规模数字电路的基础上集成模拟电路. 但是采用数字工艺的模拟电路面临相当严重的问题, 首先随之而来的是沟道击穿电压的下降 (当沟道长度小于 0.4 μm 时一般低于 10V) 以及晶体管本征增益的减小 (一般低于 30), 除此之外, 晶体管的阈值电压远远低于电源电压降低的速度. 因此, 采用数字深亚微米工艺实现高性能模拟电路很具有挑战性.

文献[1]中采用电导消除技术 (conductance cancellation technique) 设计的运算放大器, 在 0.35 μm CMOS 工艺条件下实现了 83dB 的开环增益. 但是由于输入摆幅的限制, 该电路对工艺浮动和器件失配比较敏感. 因此, 在高增益的前提下保证较大的输入工作范围可以提高电路工作的稳定性.

文献[2]在 0.18 μm 工艺条件下实现的运算放大器, 采用了增益增强技术, 开环增益为 52dB, 单位

增益带宽为 1.9MHz, 功耗仅仅为 200 μW . 但是增益增强技术仍然面临对器件失配敏感的问题. 另外一个问题是这种技术会造成低摆率, 从而使建立时间较长.

本文针对高速流水线 A/D 转换器, 对折叠式共源共栅结构进行了分析, 优化了其开环增益和动态范围, 并采用衬底校准技术增大了输入摆幅. 使用 SMIC 0.18 μm Logic 1P6M 工艺仿真库, 用 Hspice 模拟设计了差动输出摆幅为 1V, 增益大于 100dB 的运算放大器, 可用于 13 位 30MHz 采样频率流水线 A/D 转换器的开关电容 2 倍增益级电路中.

2 运算放大器性能要求

在每级 1.5 位流水线 A/D 转换器中, 每一级的输入信号与数模转换模块 (MDAC) 的输出信号之差经过 2 倍增益级放大电路和采样保持电路, 再进入下一级^[3]. 采用的两倍增益级放大电路的输入输出电压关系为:

$$\frac{V_{\text{out}}}{V_{\text{in}}} = \frac{C}{1 + AF} \quad (1)$$

其中 $C = C_1/C_s = 2$; $F = C_1/(C_1 + C_s + C_{\text{in}})$ 为反馈因子, C_{in} 为运放输入级的输入电容; A 为运放的低频增益. 当 A 趋向于无穷时, $V_{\text{out}} = 2V_{\text{in}}$, 因此, 高速高增益的运算放大器是必需的. 在设计过程中, 放大器的性能一般要在速度、精度和功耗中作折中选择, 而运放的结构选择至关重要. 设计放大器首先要根据其用途选择一种合适的电路结构. 对于高速

[†] 通信作者. Email: wanghan@ime.ac.cn

2005-10-11 收到, 2006-01-05 定稿

高精度 A/D 转换器的放大器, 希望其在较低的电源电压下有尽可能短的建立时间, 还要考虑系统对动态范围、输入共模范围、输出摆幅、共模抑制比和电源抑制比、功耗等性能的要求。

在当前广泛采用的高性能运算放大器中, 增益增强型运放会造成较大的功耗。共源共栅运放具有低功耗、高速度以及低噪声的特点, 可是输出摆幅受限制。两级运放虽然有很高的开环增益和最大的输出摆幅, 但由于采用两级电路, 信号经过时会引进额外的极点和零点, 会使运放的相频特性变坏。为了保证运放正常工作, 就需要对其进行电容补偿。而在开关电容电路中, 额外的电容会导致误差变大, 并将降低运放的单位增益带宽, 使运放很难工作在高频环境中。通过比较可见: 共源共栅运放电路具有很好的

稳定性、较大的输出摆幅、比较快的速度, 很适合应用在开关电容电路中。

本文基于传统的采用增益增强方法的折叠共源共栅运放结构, 结合衬底校准技术, 实现了一种高性能运算放大器电路, 如图 1 所示。其中, pMOS 管 P0~P6 和 nMOS 管 N1, N2 组成传统的折叠共源共栅运放; P7~P15 和 N5~N13 为增益增强电路, 由于输出摆幅的限制, 采用了两级运放来实现; N14~N16 和 P16, P17 组成衬底校准电路, N17~N19 和 P18, P19 为第一级共模抑制电路。由于篇幅限制, 电路图中未包括偏置电路和二级共模抑制电路, 其中二级共模抑制电路与第一级类似, 为单级差分输入单端输出放大器, outn 和 outp 为差分输入, b3 为单端输出。

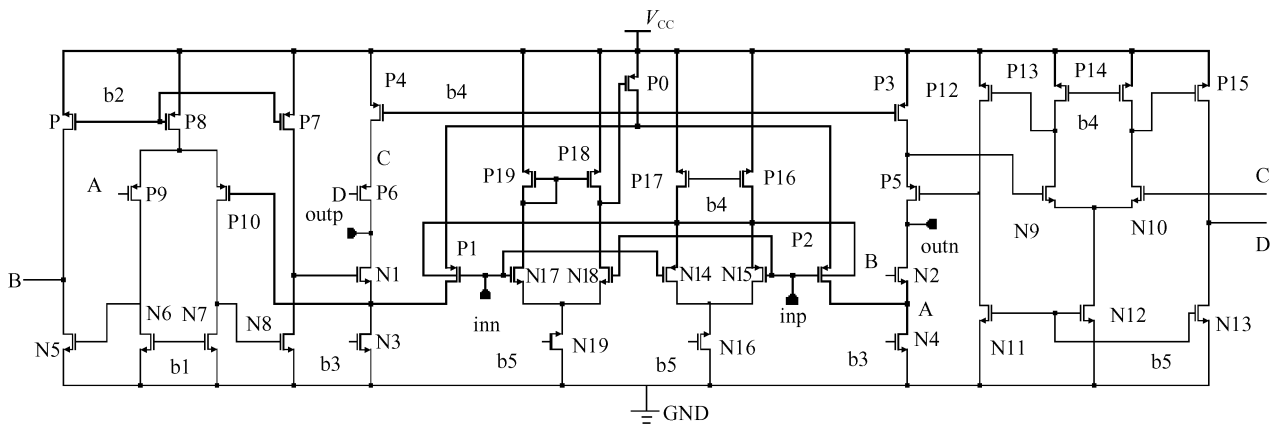


图 1 采用增益增强和衬底校准方法的折叠共源共栅放大器结构
Fig. 1 Folded-cascode OTA with gain enhancement and bulk regulation

在 1.8V 电源电压下, 晶体管的阈值电压降为 0.4V 左右, 限制了输入电平的范围。尽管折叠式共源共栅结构比套筒式共源共栅结构有着更大的输入摆幅, 但是为了达到要求的动态范围, 减小负载电容的压力, 同时增大增益的线性范围, 我们利用衬底效应, 使得输入管的衬底与源之间存在一个正偏的电压。这样会有恒定的电流流过衬底, 缓解了共模反馈的压力, 增大了输入范围^[4]：

$$V_{TH} = V_{TH0} + \gamma(\sqrt{|2\phi_F + V_{SB}|} - \sqrt{|2\phi_F|}) \quad (2)$$

所以当衬底电压变大时阈值也跟着变大, 而输入管的跨导与过驱动电压成反比, 当输入电平变大时, 衬底校准可以通过增大阈值来使得跨导的变化在可以接受的范围之内。通过采用该方法, 使得输入电平范围由开始的 0.6V 增加到 1V, 同时在 1V 的共模电平摆幅范围内, 增益保持大于 100dB。图 2 是电路在不同共模电平下的直流传输曲线。其中当 $V_{in} = 0.6V$ 时, 开环增益为 101.2dB; 当 $V_{in} = 1.6V$

时, 开环增益则为 102.6dB, 失调电压分别为 0.5 和 0.2mV。

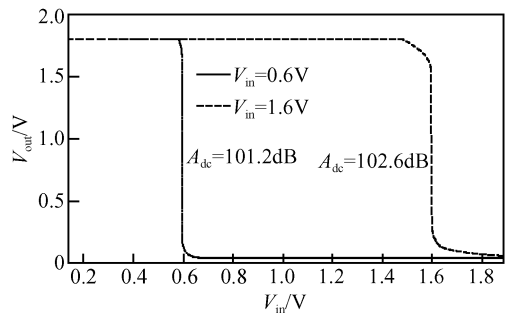


图 2 不同输入电压下放大器的直流传输曲线图
Fig. 2 DC transfer characteristics for the amplifier with different input voltages

3 运算放大器性能分析

首先运算放大器必须满足流水线 A/D 转换器

对动态范围的要求. 在开关电容电路中, $1/f$ 噪声可以忽略不计, 只考虑热噪声, 可以推导出动态范围 DR 的表达式:

$$DR = \frac{\frac{1}{2} \left(\frac{V_s}{2} \right)^2}{\frac{kT}{FC_{\text{leff}}} \left(1 + \frac{C_{\text{gs}}}{C_{\text{leff}}} \right)} \quad (3)$$

其中 V_s 为输出摆幅; F 为反馈因子; C_{leff} 为有效负载电容; C_{gs} 为输入电容. 相比负载电容, 输入电容可以忽略不计. 由此可以得到

$$C_1 \cong \frac{8 \times 2^{2B} kT}{FV_s^2}$$

其中 B 为 A/D 转换器的分辨位数. 如果 $B = 13$, 则负载电容约为 8.5 pF . 在 SOC 系统中这是一个相当大的值, 因此在实际应用中往往采用片外电容来实现. 而此时单位增益带宽为:

$$\omega_u = 2\pi f_s N \cong 2\pi f_s \ln 2^B = F \frac{g_{m1}}{C_{\text{leff}}} \quad (4)$$

其中 g_{m1} 是输入管的跨导; f_s 为工作频率. 如果 $f_s = 30 \text{ MHz}$, 则单位增益带宽在 300 MHz 左右. 此外, 可以计算出输入管跨导约为 5 mS , 假设输入管的过驱动电压为 0.1 V , 则输入管的工作电流为 $250 \mu\text{A}$ 左右.

再来考虑运算放大器的增益要求, 运放的阶跃响应的终值与理想值之差应该小于 0.5 LSB . 由 (1) 式可知:

$$A_{\text{dB}} \geq 20 \lg \left(\frac{2^{(B+3)}}{V_s} - 2 \right) = 96 \text{ dB}$$

4 模拟结果

运算放大器是按照 13 位 30 MHz 采样频率流水线 A/D 转换器开关电容 2 倍增益级放大器的设计指标来实现的. 运放的阶跃响应误差包括动态误差和静态误差, 按照一般的 40% 和 60% 分配, 调节

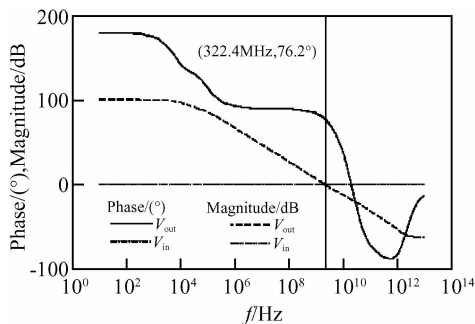


图 3 放大器的频率响应特性曲线图

Fig. 3 Frequency response of the amplifier

输入管电流使得摆率符合设计要求, 并留有一定的设计裕度. 基于 SMIC $0.18 \mu\text{m}$ digital CMOS 工艺的 BSIM3V3 模型, 采用 Hspice 进行仿真, 图 3 为运算放大器的频率响应特性曲线, 表 1 是运放的性能参数.

表 1 运算放大器的仿真结果

Table 1 Summary of the simulation

Parameter	Spec.	Simu.
Technology	SMIC $0.18 \mu\text{m}$ Logic	
Supply voltage	1.8V	
DC gain	$>96 \text{ dB}$	$>100 \text{ dB}$
Dynamic range	$>80 \text{ dB}$	81.2 dB
UGB(8.5 pF)	$>300 \text{ MHz}$	322.4 MHz
Phase margin(8.5 pF)	$>60^\circ$	76.5°
Power consumption	Minimize	1.9 mW
Offset voltage	-	0.5 mV
Input range($A_{\text{dc}} > 96 \text{ dB}$)	$>1 \text{ V}$	1 V
Setting time	$<33.3 \text{ ns}$	31 ns

5 结论

本文设计了一种采用增益增强和衬底校准技术的折叠式共源共栅全差分运算放大器, 具有高直流开环增益和高单位增益带宽、大输入摆幅、高速度和低功耗等特点. 采用 SMIC $0.18 \mu\text{m}$ Logic 1P6M 数字工艺模型库对运算放大器进行了直流和交流小信号分析. 仿真结果表明本文实现的高性能运放具有 1 V 的输入摆幅和大于 100 dB 的开环增益, 在 8.5 pF 的负载电容下, 运放的单位增益带宽为 322 MHz , 相位裕度为 76.5° , 功耗仅为 1.9 mW , 能满足 13 位 30 MHz 采样频率的高速高性能流水线 A/D 转换器设计的要求.

参考文献

- [1] Yan J, Geiger L. A negative conductance voltage gain enhancement technique for low voltage high speed CMOS op amp design. Proc 43rd IEEE Midwest Symposium on Circuits and Systems, 2000; 502
- [2] Gerfers F, Hack C, Ortman M, et al. A 1.2 V , $200 \mu\text{W}$ rail-to-rail op amp with 90 dB THD using replica gain enhancement. Proc 28th the European Solid-State Circuits Conference, 2002; 175
- [3] Johns D, Martin K. Analog integrated circuit design. Canada: John Wiley & Son Inc. 1997
- [4] Schlogl F, Zimmermann H. OPAMP with 106 dB DC gain in 120 nm digital CMOS. IEEE International SOC Conference, 2003; 121

An OPAMP with High DC Gain in 0.18 μm Digital CMOS

Wang Han[†] and Ye Qing

(*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

Abstract: When scaled down to the ultra deep sub-micron field, the condition that the system-on-a-chip(SOC) needs analog circuits on the chip encounters serious challenges. Based on a SMIC 0.18 μm digital process, the operational amplifier is designed with the gain-boosted, also with the bulk regulator. The design widens the input range. Furthermore, the performance limited by pipelined ADC is analyzed in detail. The simulated result shows an open-loop gain of over 100dB, an unit gain bandwidth of 322MHz with a 8.5pF load, and a power consumption of 1.9mW.

Key words: CMOS; operational amplifier; folded-cascode; gain-booster; bulk regulator; pipelined ADC

EEACC: 1205; 1220

Article ID: 0253-4177(2006)S0-0318-04

[†] Corresponding author. Email: wanghan@ime.ac.cn

Received 11 October 2005, revised manuscript received 5 January 2006