

# 提高 SOI 器件和电路性能的研究

海潮和 韩郑生 周小茵 赵立新 李多力 毕津顺<sup>†</sup>

(中国科学院微电子研究所, 北京 100029)

**摘要:** 在分析 SOI 器件的浮体效应、击穿特性、背栅阈值、边缘漏电、ESD 及抗辐照特性的基础上, 提出了提高 SOI 器件和电路性能的技术途径. 体接触是防止浮体效应的最好方法; 正沟道和背沟道的  $\text{BF}_2/\text{B}$  离子注入可以分别满足阈值和防止背栅开启的需要; SOI 器件栅电极的选取严重影响器件的性能; 源区的浅结有助于减小寄生 npn 双极晶体管的电流增益; 而自对准硅化物技术为 SOI 器件优良特性的展现发挥了重要作用. 研究发现, 采用综合加固技术的 nMOS 器件, 抗总剂量的水平可达  $1 \times 10^6 \text{ rad}(\text{Si})$ .

**关键词:** SOI; 浮体效应; 沟道; 抗辐照

**PACC:** 2560

**中图分类号:** TN386

**文献标识码:** A

**文章编号:** 0253-4177(2006)S0-0322-06

## 1 引言

国际上早期的 SOI 技术关注较多的是材料和特种专用电路的发展<sup>[1,2]</sup>, 其目的是为了满足不同航天和军工的需求, 特殊的需求背景决定了人们对 SOI 的抗辐照性能特别感兴趣. 近年来随着微电子技术的迅猛发展, SOI 器件和电路在低压、低功耗和高速领域越发显现出优势<sup>[3,4]</sup>, 更能满足器件尺寸向纳米缩减的需求, SOI 有可能会替代体硅成为 21 世纪的主流技术.

SOI 技术是在体硅 CMOS 技术的基础上发展起来的, 和体硅相比 SOI 有较多的优势<sup>[5]</sup>, 如 SOI 器件具有耐高温、高速度、无栓锁、抗辐照、特别适宜低压低功耗工作等特点. SOI 也有它的劣势, 这种劣势实际上是由其特殊的器件结构决定的. 一般来说体硅 MOS 器件认为是四端器件, 而 SOI 的 MOS 器件认为是五端器件 (S-D-G<sub>正</sub>-B-G<sub>背</sub>). 薄的硅膜、BOX 层和背栅的存在是引出 SOI 特点的根源. 如果对 SOI 的特点认识不足, 就不能将 SOI 的优势充分发挥出来, 因此, 提高 SOI 器件和电路性能的研究是非常必要的.

## 2 SOI 器件的性能分析

### 2.1 SOI 器件的浮体效应

在部分耗尽 (PD) SOI nMOSFET 器件中存在着浮体效应, 特别当器件尺寸进入亚微米和深亚微

米领域之后, 浮体效应将更显著地影响器件性能<sup>[6]</sup>. 产生浮体效应的根本原因在于漏端的高电场对载流子加速进而导致碰撞离子化效应. 高电场碰撞离子化所产生的空穴在电场的作用下, 向源端迁移积累, 提高靠近源端的体电位. 阈值电压受体电势影响而降低, 器件的输出电流增大, 导致 Kink 效应; MOS 器件的体-源结势垒的降低, 将激活另一种寄生效应“寄生双极晶体管效应”.

在体硅器件中, 碰撞电离所产生的多子可以通过衬底或阱接触而流出体外, 一般不会观察到 Kink 效应. Kink 效应在 PDSOI-n 沟道器件中表现得较为明显, 而在 p 沟道器件中表现较弱, Kink 效应可以采用体接触的办法来消除. 对于全耗尽 (FD) 的 SOI MOSFET 器件, 其漏端电场比部分耗尽器件中的值要小, 因此在全耗尽器件中所产生的电子-空穴对相对较少, 一般不产生浮体效应. 严重的浮体效应会引发寄生晶体管效应并最终导致单晶体管闩锁 (single-transistor latchup).

### 2.2 SOI-nMOS 器件的双结击穿

在 SOI MOSFET 结构中存在一寄生晶体管, FET 的体区 (相当于双极晶体管的基区) 一般是浮置的. 这一寄生双极晶体管正是 SOI 器件呈现反常亚阈值斜率和漏击穿电压降低等现象的根源. 由于 nMOS 的浮体效应严重, 引起漏击穿电压降的更低. 因此如何提高 nMOS 的击穿电压也是当今特别要解决的课题之一. 一般有边缘的器件比无边缘器件的双结击穿要低, 边缘的杂质浓度不仅影响寄生漏电也会影响击穿电压. 为提高背栅阈值较高的背界

<sup>†</sup> 通信作者. Email: bravehawk@126.com

2005-10-11 收到, 2006-01-13 定稿

面的掺杂浓度(对减低寄生晶体管的  $\beta$  有利),也会引起漏击穿电压降低,在进行工艺设计时要综合考虑各种因素的影响。

### 2.3 SOI-MOS 器件的背栅阈值

在正常工作条件下(pMOS 的源接高电位  $V_{dd}$ , nMOS 的源和背面衬底接地电位  $V_{ss}$ ),SOI CMOS 电路对 pMOS 和 nMOS 器件的工作状态有很大的不同.nMOS 相当于在 0V 的背栅栅压下,pMOS 相当于在 -5V 的背栅栅压下.这就是 SOI CMOS 电路和体硅 CMOS 的本质差别,所以要特别注意 pMOS 的背栅阈值的大小和对电路性能的影响.在不影响漏端击穿的情况下,尽量提高 nMOS 背栅阈值,这样有足够的余量来“应付”辐照效应造成的阈值下降.

### 2.4 SOI-MOS 器件的边缘漏电

对于 LOCOS 隔离工艺来说,场区边缘寄生管漏电是 nMOS 器件的重大问题.造成的原因是杂质分凝、鸟嘴的形貌及较低的掺杂浓度.可以采用改善鸟嘴形状、增加边缘注入浓度、切断寄生通道和改变隔离方法解决.

### 2.5 SOI 器件的 ESD 性能

SOI 器件的主要缺点之一是抗 ESD 性能比体硅差<sup>[7]</sup>.实验发现在 HBM 应力测试中,SOI MOS-FET 缓冲器的平均承受 ESD 电压大约仅是体硅 nMOS 的一半.因此在设计时要特别注意电路外围各端口的抗静电保护电路方案的制定,一般选择环形的栅控二极管.要充分考虑到 SOI 膜厚对电路抗静电性能的重要影响;保护电阻经常会在 ESD 实验中被烧毁,一般较厚的硅膜厚度对满足 ESD 的指标有利.

### 2.6 SOI 器件的抗辐照特性

器件在辐照环境下会产生总剂量辐照效应、单粒子事件、剂量率效应和中子辐照效应.辐照会使器件性能退化、电路失效.人们在材料制备、器件结构、工艺及电路设计方面设法缓解各种辐照效应.总的来说 SOI 器件有好的抗辐照特性,但是总剂量辐照效应方面并没有先天的优势.由于 BOX 层的存在,背栅阈值在总剂量辐照下的漂移和漏电是 SOI 器件和电路要特别解决的问题.

## 3 提高 SOI 器件和电路性能的措施

### 3.1 体接触是防止浮体效应的最好方法

T 型栅器件是目前使用最广泛的用来抑制浮体

效应的体接触结构.当把体引出端的  $p^+$  区接地时,碰撞电离产生的空穴可以由体引出端流走,不在中性体区产生积累,从而消除 Kink 效应.然而,由于栅下面的 p 型硅区存在很大的串联电阻,当器件的宽度超过某一值时,Kink 效应仍然存在.增加硅膜厚度有利于减小器件体区的串联电阻,可以提高 T 形栅器件体接触抑制浮体效应的有效性.

BTS(body-tied-to-source)结构器件是另一种使用较为广泛的用来抑制浮体效应体接触结构,但是这种结构不能在传输晶体管中使用.源区边缘上的  $p^+$  扩散区减小了晶体管的有效宽度,BTS 体接触结构作用的有效性也受栅宽的限制,在设计大宽长比的器件时要规定 BTS 的最大间距.对于同一栅宽的器件,BTS 体接触结构比 T 形栅结构 Kink 点出现的要晚,如图 1 所示.

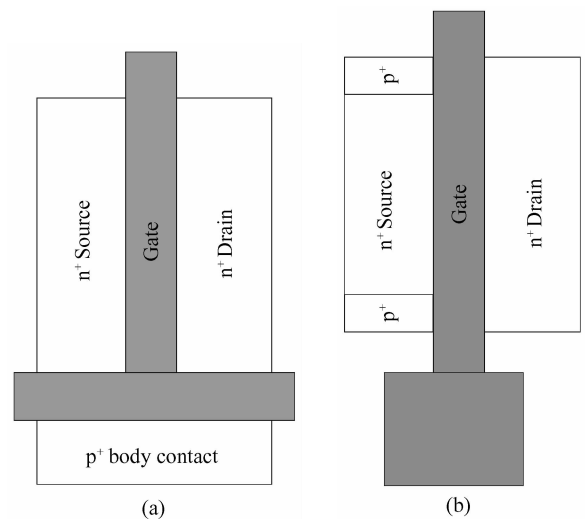


图 1 nMOS 器件的体接触结构 (a) T 形栅器件;(b) BTS 结构器件

Fig.1 Body-contact structures for nMOS devices (a) T-gate devices;(b) BTS structure devices

Schottky 体接触结构与 BTS 结构在源区几乎完全一样,区别只是在源区边缘处不进行重掺杂  $p^+$  注入,而是采用生长硅化物的方法把边缘处 p 型硅区与源区  $n^+$  注入区连接,源区边缘处的 p 型硅区是在进行 nMOS 的阈值调整注入时形成.硅化物与 p 型硅接触形成 Schottky 结的势垒高度较低,只有 0.2~0.3V,因而器件的浮体电位被钳制在一个较低的水平,可以起到抑制浮体效应的作用.Schottky 体接触结构的优势在于在漏区也可以形成相同的体接触结构,源漏区可以互换<sup>[8]</sup>.

体接触的类型与抑制浮体效应、提高器件的双结击穿电压有很大的关系.

### 3.2 精细的沟道掺杂技术

由于 SOI 顶层的硅膜很薄,给沟道杂质分布的

控制带来困难. 单一的均匀掺杂工艺简单, 可以制备出所需开启电压的器件, 初步满足电路的要求. 为了优化 SOI 器件和电路性能, 必须精细设计沟道的杂质分布. 通常在正表面(沟道区)和下界面(体区)分别注入  $\text{BF}_2/\text{B}$  离子, 这样形成不同的杂质和浓度分布, 以满足对正栅和背栅的不同需求.

这里要特别指出的是, 背沟注入剂量对浮体器件和体接触器件特性的影响, 其趋势相反, 这主要是由其不同的击穿机理所造成的. 浮体器件由于寄生双极晶体管的作用, 器件的击穿特性相对于体接触器件来说有很大的降低, 并且, 寄生双极晶体管的增益  $\beta$  与沟道浓度有很大关系. 当背沟浓度加大后, 晶体管的增益会有所下降, 因此击穿电压会提高. 相对于浮体器件而言, 体接触器件由于体接触的作用, 引出了空穴, 基本消除了寄生双极晶体管的影响, 击穿是由漏体结所影响的, 所以当沟道浓度越高时, 击穿电压会降低.

在背沟道注入中, 采用只注入器件源区部分的“半背沟注入”, 这样一半区域的浓度高, 而漏区的沟道浓度低. 实验结果表明相对于传统结构的部分耗尽器件而言, 关态和开态的击穿特性有了很大的提高<sup>[9]</sup>, 并且对翘曲效应也有所改善, 如图 2 所示.

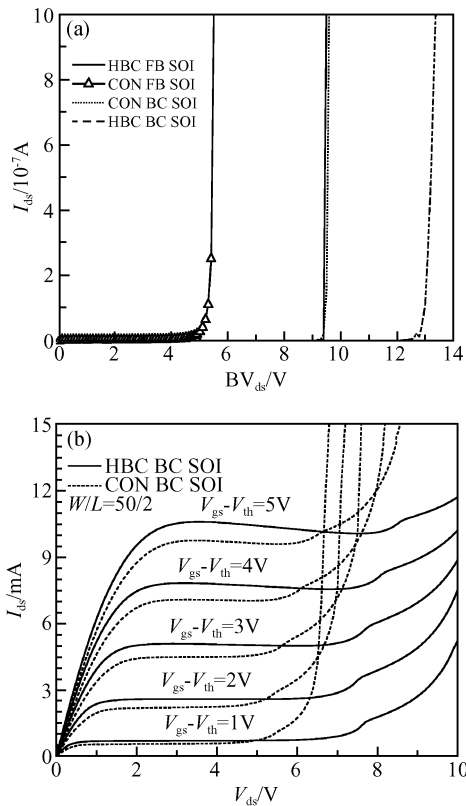


图 2 4 种器件关态击穿特性(a)和 2 种器件输出特性(b)的比较  
Fig. 2 Off-state breakdown characteristics of four kinds of devices (a) and output characteristics of two kinds of devices (b)

### 3.3 浅结及特殊的源漏工程

源区的浅结有助于减小寄生 npn 双极晶体管的电流增益, 这是因为源区较低能量和较低剂量的  $\text{n}^+$  注入 ( $\text{As}^+$ , 30keV,  $2.5 \times 10^{15} \text{cm}^{-2}$ ) 加上严格控制后部的退火条件, 使  $\text{n}^+$  源区的纵向和横向延伸减小了, 这相当于增加了寄生晶体管的基区的宽度<sup>[10]</sup>.

源区注入大剂量的  $\text{Ge}$  ( $\geq 10^{16}/\text{cm}^2$ ), 形成 SiGe 源结构的器件时, 由于源区的带隙变窄, 横向寄生双极晶体管的增益降低, Kink 效应、反常亚阈值斜率和漏击穿电压降低等浮体现象被抑制<sup>[11]</sup>.

对于薄膜全耗尽器件来说, 要想得到优良的器件性能, 沟道部分要足够薄, 使其能在全耗尽状态下工作; 而源漏部分则要相对厚, 这样提供足够的硅膜来形成硅化物以保证有足够小的电阻. 为此我们研发成功源漏抬高结构的新工艺, 通过在源漏区淀积非晶硅层, 很好地解决了源漏电阻大的问题. 图 3 示出研制成功的栅长为  $0.35 \mu\text{m}$  的具有源漏抬高结构的全耗尽 SOI CMOS 器件<sup>[12]</sup>.

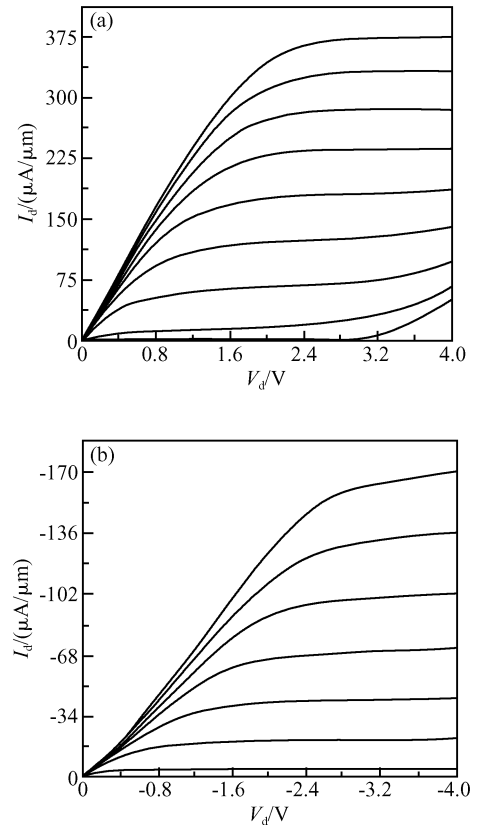


图 3 栅长为  $0.35 \mu\text{m}$  的 CMOS 器件的输出特性 (a) nMOS; (b) pMOS  
Fig. 3 Output characteristics of  $0.35 \mu\text{m}$ -gate CMOS devices (a) nMOS; (b) pMOS

### 3.4 SOI CMOS 器件栅电极的选取

和体硅 CMOS 工艺一样,SOI CMOS 器件栅电极可以有不同的选择,但是现在一般还是选择多晶硅作为栅的电极.单一的  $n^+$  多晶硅栅可以通过先有多晶硅膜上注入高剂量的  $P^+$  离子方便地实现;而 nMOS 为  $n^+$  多晶硅、pMOS 选用  $p^+$  多晶硅的双栅电极工艺, $B^+$  离子的注入量要大于  $P^+$  离子的注入剂量.根据器件类型和电路的特点,可以方便地设计工艺线路以使器件的开启电压、导通电流等参数符合要求.相同阈值的 pMOS 器件对比, $n^+$  多晶硅使得埋沟 pMOS 器件获得较大的跨导;而  $p^+$  多晶硅的 pMOS 器件,由于有较高的沟道掺杂浓度可以同时获得较大的背栅阈值电压.

在全耗尽 SOI CMOS 器件中,积累型器件也可成为一种选择.对采用  $n^+$  多晶硅 pMOS 器件来说,从源、沟道到漏的掺杂类型为  $p^+ - p - p^+$ .积累型器件不仅有表面沟,还存在着埋沟,这和体硅器件及部分耗尽 SOI 器件是完全不同的.较低的垂直电场和较高的埋沟迁移率,造成了积累型器件较大的跨导.

当 CMOS 器件的特征尺寸小于  $0.1\mu\text{m}$  时,栅氧化层厚度相应减小到  $3\text{nm}$  以下,多晶硅栅耗尽效应和过高的栅电阻将会加重.用金属作栅电极,可以从根本上消除多晶硅栅的栅耗尽效应、栅穿透效应以及电阻值大的问题.中国科学院微电子研究所在金属栅 SOI CMOS 工艺研究中,采用分别溅射  $35\text{nm}$  的 TiN 和  $100\text{nm}$  的 W 层,制作出 W/TiN 栅全耗尽 SOI 器件<sup>[13]</sup>.图 4 为硅膜厚度为  $60\text{nm}$ ,器件沟道长度为  $0.25\mu\text{m}$ ,TiN 栅与双多晶硅栅(nMOS 用  $n^+$  多晶硅栅,pMOS 用  $p^+$  多晶硅栅)SOI CMOS 器件在相同沟道注入剂量情况下的亚阈值特性比较.

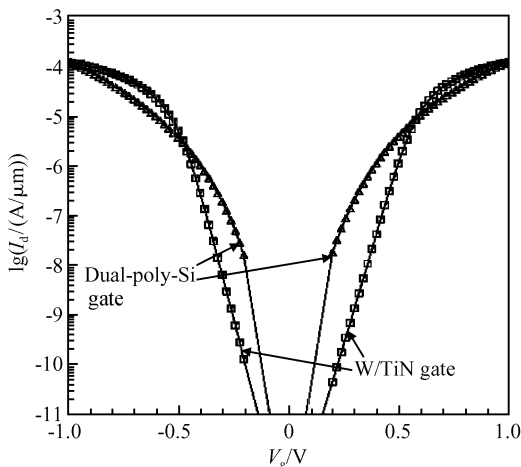


图 4 TiN 栅和双多晶硅栅 SOI CMOS 器件的亚阈值特性比较

Fig. 4 Subthreshold characteristics of TiN-gate and dual-poly-Si gate SOI CMOS devices

### 3.5 SOICMOS 工艺中的自对准硅化物技术

自对准硅化物技术是深亚微米体硅 CMOS 技术使用的一项技术手段,对于 SOI 电路来说,这项技术尤为重要.自对准硅化物便于双多晶硅电极工艺线路的  $n, p$  多晶硅的连接,多晶硅栅的方阻也有大幅度的降低.另外,最重要的是硅化物工艺使 SOI 器件的源漏区电阻达到  $3 \sim 5\Omega/\square$ ,这为 SOI 器件优良特性的展现发挥了重要作用.

BTS 结构与 Schottky 体接触结构的良好形成,自对准硅化物是最为方便、可行和有效的技术措施.

在动态阈值电路(DTMOS)的技术中,运用自对准硅化物的优势可以同时实现栅源漏的硅化物和栅-体的连接<sup>[14]</sup>.

自对准硅化物技术首先要注意选取合适的金属和金属膜的厚度,自对准硅化物形成的退火温度及选择腐蚀的温度时间等技术细节.

### 3.6 抗辐照加固技术

抗辐照加固在材料器件和电路几个方面都有大量的工作要做,中科院微电子所的工作也是刚刚开始<sup>[15]</sup>.研究发现不同的材料结构、材料制备方法对器件的抗辐射性能有直接的影响,如 Smart-cut 材料比 SIMOX 材料有较优越的抗辐照性能.

对于 SIMOX 材料,减少注氧的剂量(形成薄 BOX 层)对器件的抗辐照加固有利.图 5 示出在经受同样的  $1 \times 10^6 \text{rad}(\text{Si})$  的总剂量辐照后器件背栅的阈值漂移. BOX 厚度为  $150\text{nm}$  的器件漂移约为  $4\text{V}$ ;BOX 厚度为  $370\text{nm}$  的器件漂移约为  $20\text{V}$ .

在电路的抗辐射性能的加固研究中,首先要考虑的是器件的加固,只有器件达到要求,电路才有可能达标(当然电路设计也有它的加固研究课题).在器件的抗总剂量加固的研究中,有如下一些体会.

常用的器件总剂量加固的措施有多种,不同的技术措施对正栅、背栅、沟道、源漏、边缘等起到的作用不同.在众多技术措施中,正栅的加固是首先要考虑的.正栅加固工艺的要点是:低温( $<900^\circ\text{C}$ )的氢氧合成氧化栅介质+二氧化硅栅的氮化工艺.

背栅的加固主要在材料制备的时候进行(多种方法).对 nMOS 来说向背界面注入较高的 p 型杂质可以提高背栅的阈值,源区浅结对抗辐照有利.实验发现,浮体的部分耗尽 SOI nMOS 器件比体-源接触的器件有更好的抗辐照特性,图 6 给出了浮体器件和体接触器件的辐照对背栅阈值的影响.

前面提到“场区边缘寄生管漏电是 nMOS 器件的重大问题”,为了降低边缘寄生管漏电的影响,可以采用加大边缘注入剂量,后场注入,切断边缘通道和无边缘器件等方法.辐照实验表明:经过加固的环

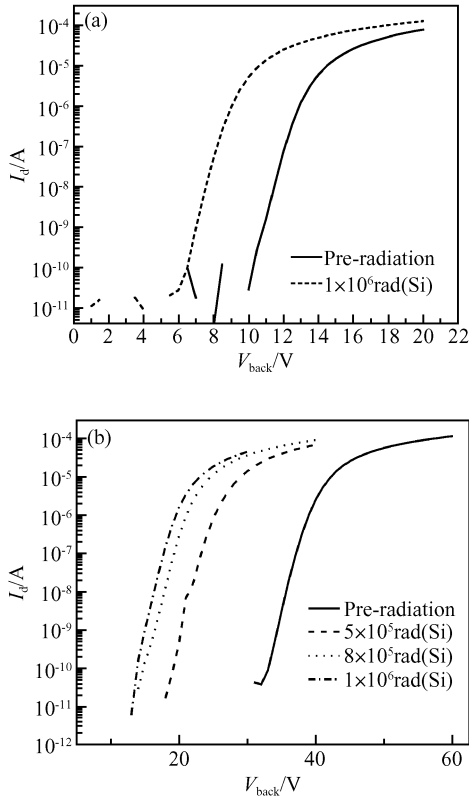


图 5 总剂量辐照对器件背栅亚阈值特性曲线的影响 (a) BOX 厚度为 150nm; (b) BOX 厚度为 370nm  
Fig.5 Response of back-gate subthreshold characteristics to total-dose radiation (a) Height of BOX is 150nm; (b) Height of BOX is 370nm

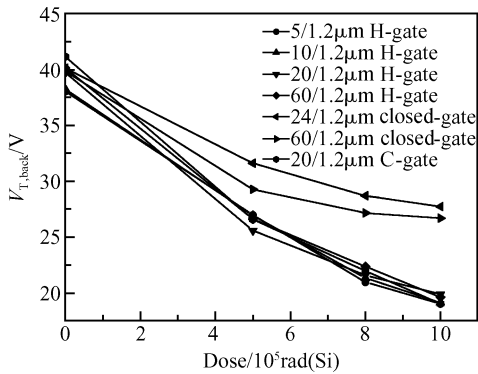


图 6 总剂量辐照与 H 形(体接触)器件及环形栅(浮体)器件背栅阈值的关系  
Fig. 6 Back-gate subthreshold characteristics of H-gate (BC) and closed-gate (FB) devices as a total-dose radiation

形、H 形和 C 形体接触的 nMOS 器件在经受  $1 \times 10^6$  rad(Si) 的总剂量辐照后,性能基本保持良好. 图 7 和图 8 示出辐照前后器件的正栅、背栅亚阈值特性曲线.

对单粒子事件和剂量率辐照的研究,一般认为

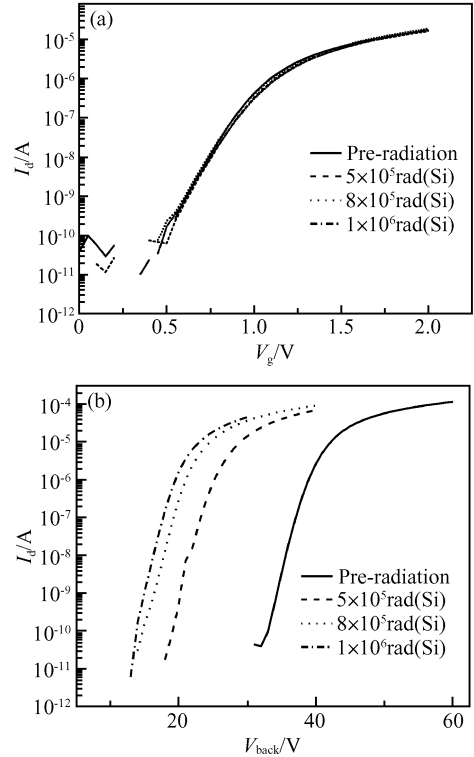


图 7 H 形栅器件辐照前后的亚阈值特性曲线 (a) 正栅; (b) 背栅  
Fig.7 Subthreshold characteristics of H-gate as a total-dose radiation (a) Front; (b) Back

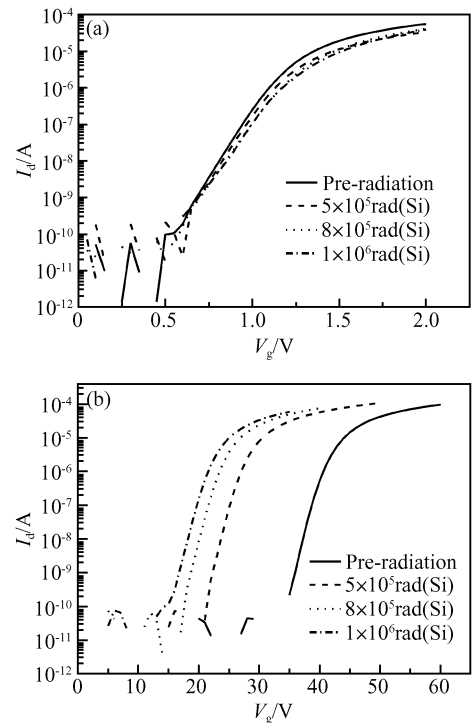


图 8 C 形栅器件辐照前后的亚阈值特性曲线 (a) 正栅; (b) 背栅  
Fig.8 Subthreshold characteristics of C-gate as a total-dose radiation (a) Front; (b) Back

对逻辑器件和存储器会产生单粒子翻转,对 CMOS 器件会产生闩锁效应或出现永久损伤. 如果说总剂量加固是对器件的边缘(场区)或正背栅(实质是 SiO<sub>2</sub>)的措施,那么单粒子事件和剂量率辐照的加固就是针对器件的沟道、体区、源漏的解决办法. 我们在 3.1~3.5 节中提到的一些技术,对这种辐照效应的防止和降低都是很有益的.

## 4 结语

近年来,国际各大公司对 SOI 器件和电路都投入了极大的热情,IBM, Intel, AMD 公司综合应用 SOI 技术、应变硅和铜布线技术,在新型 64 位微处理器方面展开了激烈的竞争. 其他一些公司在低压 SRAM, DRAM, 超低压(0.5V) SOI-DTMOS 32bit ALU, 低压低功耗的 PLL 以及工作在 0.5V 的微处理器等领域都取得了很好的成果. 国内随着 SOI 材料和工艺、电路设计等方面工作的展开,必将迎来 SOI 技术的更大进步.

## 参考文献

- [1] Hosack H H, Houston T W, Pollack G P. SIMOX silicon-on-insulator: materials and devices. *Solid State Technol*, 1990; 61
- [2] Hite L R, Lu H, Houston T W, et al. An SEU resistant 256K SRAM. *IEEE Trans Nucl Sci*, 1992, 39(6): 2121
- [3] Kuo J B, Su K W. CMOS VLSI engineering: silicon-on-insulator. Boston: Kluwer Academic Publishers, 1998; 103
- [4] Lee J W, Kim H K, Oh J H, et al. A new SOI MOSFET for low power applications. *Proceedings IEEE International SOI Conference*, 1998; 65
- [5] Liu Xinyu, Sun Haifeng, Hai Chaohe, et al. A new SOI sense-amplifier. *Acta Electronica Sinica*, 2001, 29(6): 857
- [6] Lu P F, Chuang C T, Jin J, et al. Floating-body effects in partially depleted SOI CMOS circuits. *IEEE J Solid-State Circuits*, 1997, 32(8): 1241
- [7] Voldman S, Hui D, Warriner L, et al. Electrostatic discharge protection in silicon-on-insulator technology. *Proceeding of IEEE International SOI Conference*, 1999
- [8] Liu Yunlong, Liu Xinyu, Han Zhengsheng, et al. Simulation of a novel schottky body-contacted structure suppressing floating body effect in partially-depleted SOI nMOSFETs. *Chinese Journal of Semiconductors*, 2002, 23(10): 1019
- [9] Wu Junfeng, Zhong Xinghua, Li Duoli, et al. Improved breakdown voltage of partially depleted SOI nMOSFETs with half-back-channel implantation. *Chinese Journal of Semiconductors*, 2005, 26(10): 1875
- [10] Zhao Hongchen, Hai Chaohe, Han Zhengsheng, et al. Radiation of SOI MOSFET with shallow source. *Chinese Journal of Semiconductors*, 2004, 25(6): 735 (in Chinese) [赵洪辰, 海潮和, 韩郑生, 等. 源区浅结 SOI MOSFET 的辐照效应模拟. *半导体学报*, 2004, 25(6): 735]
- [11] Liu Yunlong, Liu Xinyu, Han Zhengsheng, et al. Floating-body effects in partially depleted SOI nMOSFET with asymmetric structure and Ge-implantation. *Chinese Journal of Semiconductors*, 2002, 23(11): 1154
- [12] Lian Lun, Hai Chaohe. Elevated source/drain engineering by novel technology for fully-depleted SOI CMOS devices and circuits. *Chinese Journal of Semiconductors*, 2005, 26(4): 674
- [13] Lian Jun, Hai Chaohe. W / TiN gate thin-film fully-depleted SOI CMOS devices. *Chinese Journal of Semiconductors*, 2005, 26(1): 6
- [14] Bi Jinshun, Hai Chaohe, Han Zhengsheng. Overview of SOI DTMOS (dynamic-threshold MOSFET). *Chinese Journal of Electron Devices*, 2005, 26(3): 551
- [15] Zhao Hongchen. Studies on radiation hardened SOI CMOS process and devices. PhD Thesis, Graduate School of Chinese Academy of Sciences, 2005; 42 (in Chinese) [赵洪辰. SOI CMOS 抗辐射技术研究. 中国科学院研究生院博士学位论文, 2005; 42]

## Study of Improved Performance of SOI Devices and Circuits

Hai Chaohe, Han Zhengsheng, Zhou Xiaoyin, Zhao Lixin, Li Duoli, and Bi Jinshun<sup>†</sup>

(*Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China*)

**Abstract:** Based on the analysis of floating body effect (FBE), breakdown characteristics, back channel threshold voltage, channel edge leakage, ESD, and radiation hardness characteristics in SOI devices, we propose some methods to improve SOI device and circuit performance as followings: Body contact scheme is the best way to suppress FBE; BF<sub>2</sub>/B ion implantation into front and back channels can module the threshold voltage of front channel and avoid the turn-on of back channel at the same time; The choice of gate type influences the performance of SOI devices severely; Shallow source region contributes to the reduction of  $\beta$  in parasitic npn bipolar transistor; Self-align-silicidation technology is helpful for the improvement of SOI device characteristics. The total dose of hardened nMOS reaches  $1 \times 10^6$  rad(Si) in our study.

**Key words:** SOI; floating body effect; channel; radiation hardness

**PACC:** 2560

**Article ID:** 0253-4177(2006)S0-0322-06

<sup>†</sup> Corresponding author. Email: bravehawk@126.com

Received 11 October 2005, revised manuscript received 13 January 2006