

集成 CMOS 四象限模拟乘法器

霍明学[†] 谭晓昀 刘晓为 王永刚 任连峰 齐向昆

(哈尔滨工业大学 MEMS 中心, 哈尔滨 150001)

摘要: 给出了一种 CMOS 型四象限模拟乘法器, 该乘法器采用有源衰减器结合吉尔伯特单元结构. 利用基于 CSMC 的 0.6 μm n 阱 2p2m 工艺 SPICE BSIM3V3 MOS 模型(level=49)进行仿真, 采用单电源 5V 电压供电. 利用 HSPICE 仿真并给出了仿真的结果及版图实现.

关键词: 模拟乘法器; 吉尔伯特单元; CMOS

EEACC: 1205; 1290

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2006)S0-0335-05

1 引言

模拟乘法器是模拟集成电路的一种重要模块, 它具有广泛的应用范围^[1]. 将集成模拟乘法器和运算放大器结合, 通过不同的外接电路可以实现乘、除、开方、平方等运算电路, 还可以组成各种函数发生器, 实现调制、解调和锁相环功能^[2~4]. 多数 MOS 型乘法器均采用吉尔伯特单元结构, 由于吉尔伯特单元具有较窄的线性输入范围^[5], 所以必须采用一定的手段扩大它的输入范围. 本文采用有源衰减器扩大吉尔伯特单元的线性输入范围. 基于 SPICE BSIM3V3 MOS 模型(level=49)的 SPICE 仿真结果表明, 在 5V 单电源供电的情况下, 将乘法器的四个输入端均偏置在 2.5V 电压, 输入端口 V_x 和 V_y 在 $-1.5\sim 1.5\text{V}$ 输入范围内均有较好的直流特性, V_x 端的 -3dB 带宽为 1.2297MHz, V_y 端的 -3dB 带宽为 6.665MHz.

2 四象限模拟乘法器工作原理

2.1 MOS 型吉尔伯特单元

MOS 型吉尔伯特单元的结构如图 1 所示, 其电路工作原理如下^[1].

当所有的管子都工作在饱和区, 且 Q16~Q19 相匹配并具有相同的宽长比, Q20 和 Q21 相匹配并具有相同的宽长比时, 设 Q16~Q19 的跨导参数与沟道宽长比之积为 K_a , 即 $K_a = K'_{16} (\frac{W}{L})_{16} =$

$K'_{17} (\frac{W}{L})_{17} = K'_{18} (\frac{W}{L})_{18} = K'_{19} (\frac{W}{L})_{19}$, Q20 和 Q21

的跨导参数与沟道宽长比之积为 K_b , 即 $K_b =$

$$K'_{20} (\frac{W}{L})_{20} = K'_{21} (\frac{W}{L})_{21}.$$

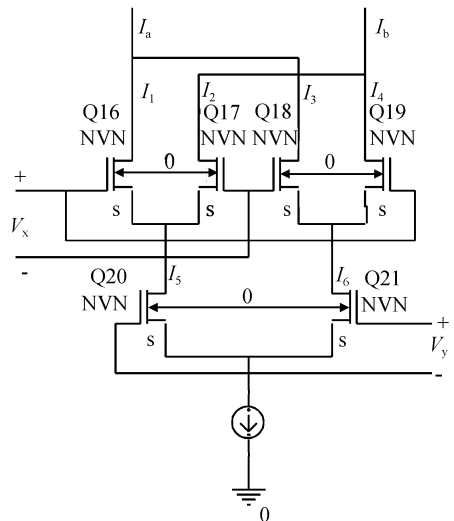


图 1 MOS 型吉尔伯特单元结构

Fig. 1 MOS Gilbert cell

根据图 1 计算得:

$$\begin{aligned} I_1 &= \frac{1}{2} I_5 - \frac{1}{2} I_5 V_x \sqrt{\frac{K_a}{I_5} - \frac{K_a^2 V_x^2}{4 I_5^2}} \\ I_2 &= \frac{1}{2} I_5 + \frac{1}{2} I_5 V_x \sqrt{\frac{K_a}{I_5} - \frac{K_a^2 V_x^2}{4 I_5^2}} \\ I_3 &= \frac{1}{2} I_6 + \frac{1}{2} I_6 V_x \sqrt{\frac{K_a}{I_6} - \frac{K_a^2 V_x^2}{4 I_6^2}} \\ I_4 &= \frac{1}{2} I_6 - \frac{1}{2} I_6 V_x \sqrt{\frac{K_a}{I_6} - \frac{K_a^2 V_x^2}{4 I_6^2}} \end{aligned} \quad (1)$$

定义 I_o 为输出电流, 则有:

[†] 通信作者. Email: huomingxue@hit.edu.cn

2005-12-08 收到, 2006-01-11 定稿

$$I_o = I_a - I_b = I_4 + I_2 - (I_1 + I_3) = (I_4 - I_3) - (I_1 - I_2) \quad (2)$$

则

$$I_o = I_5 V_x \sqrt{\frac{K_a}{I_5} - \frac{K_a^2 V_x^2}{4 I_5^2}} - I_6 V_x \sqrt{\frac{K_a}{I_6} - \frac{K_a^2 V_x^2}{4 I_6^2}} \quad (3)$$

如果满足 $K_a V_x^2 \ll 4 I_5, K_b V_x^2 \ll 4 I_6$, 则

$$I_o = \sqrt{K_a} (\sqrt{I_5} - \sqrt{I_6}) V_x \quad (4)$$

同理可得

$$V_y = \sqrt{\frac{2}{K_b}} (\sqrt{I_5} - \sqrt{I_6}) \quad (5)$$

将(5)式代入(4)式得

$$I_o = \sqrt{\frac{K_a K_b}{2}} V_x V_y \quad (6)$$

上式即为吉尔伯特单元的传输特性. 可以看出两个输入电压信号经过吉尔伯特单元后相乘转化为电流输出, 因此吉尔伯特单元可以作为乘法器的核心单元. 不过由于吉尔伯特单元的输入范围较窄, 所以需要输入信号进行衰减, 设计中使用四个有源衰减器对输入信号进行衰减.

2.2 有源衰减器

由于吉尔伯特单元的输入范围较窄, 大概为几十毫伏, 这限制了它的使用, 为了扩大它的输入范围, 采用图 2 所示的有源衰减器, 这种有源衰减器由两个 pMOS 管连接而成. 其中上面的管子工作在线性区, 下面的管子工作在饱和区.

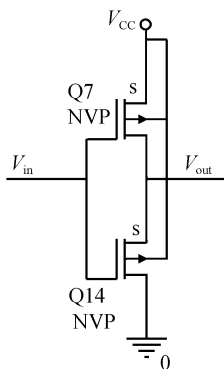


图 2 有源衰减器结构图

Fig.2 Active attenuator structure

经过推导, 图 2 所示的有源衰减器具体工作原理为^[1]:

$$V_{out} = \left[1 - \sqrt{\frac{w_7 l_{14}}{w_7 l_{14} + w_{14} l_7}} \right] (V_{in} - V_{THP}) \quad (7)$$

$$V_{out} = \eta (V_{in} - V_{THP}) \quad (8)$$

其中 η 为衰减系数, 其表达式为:

$$\eta = \left[1 - \sqrt{\frac{w_7 l_{14}}{w_7 l_{14} + w_{14} l_7}} \right] \quad (9)$$

假设 $w_7 = 16 \mu\text{m}, l_7 = 4 \mu\text{m}; w_{14} = 10 \mu\text{m}, l_{14} = 20 \mu\text{m}$, 则:

$$\eta = \left[1 - \sqrt{\frac{16 \times 20}{16 \times 20 + 4 \times 10}} \right] = 0.057 \quad (10)$$

通过模拟仿真可以看到, 理论计算与实际模拟结果一致.

输入电压经过有源衰减器后, 需要用一个小 nMOS 管接成源极跟随器的形式, 将电平移位到满足吉尔伯特单元的需要.

2.3 偏置电路

图 3 为乘法器的偏置电路, 它为有源衰减器和吉尔伯特单元提供偏置电流.

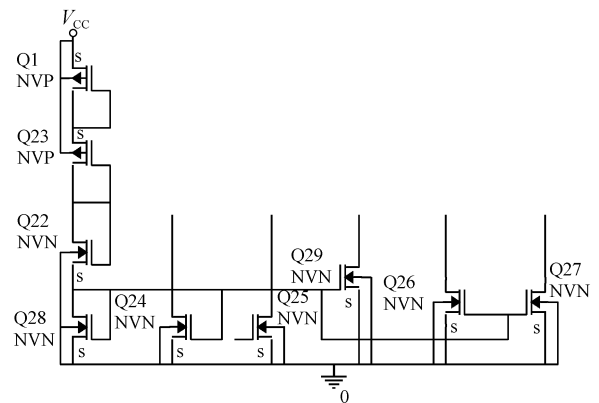


图 3 偏置电路

Fig.3 Bias circuit

2.4 全 MOS 型四象限模拟乘法器整体电路图

CMOS 型四象限模拟乘法器的整体电路如图 4 所示, 它由 17 个 nMOS 管和 12 个 pMOS 管组成, 其中 Q16~Q21 为吉尔伯特单元; Q2 和 Q3 为吉尔伯特单元的负载晶体管, 这两个管子工作在线性区; Q4~Q7 与 Q12~Q15 构成四个有源衰减器; Q8~Q10 分别为四个有源衰减器的源极跟随器, 起到电平移位的作用, 其余的 MOS 管构成的偏置电路为吉尔伯特单元和有源衰减器提供电流.

经过反复的 SPICE 仿真及验证, 所有 MOS 管的宽长比如表 1 所示.

表 1 MOS 器件的宽长比

Table 1 Dimension of MOS device

MOS 管	W/L	MOS 管	W/L
Q1, Q23	90/10	Q12~Q15	10/20
Q2, Q3	20/4	Q16~Q21	120/16
Q4~Q7	16/4	Q22	20/10
Q8, Q9	90/2	Q24~Q28	30/10
Q10, Q11	3/10	Q29	120/10

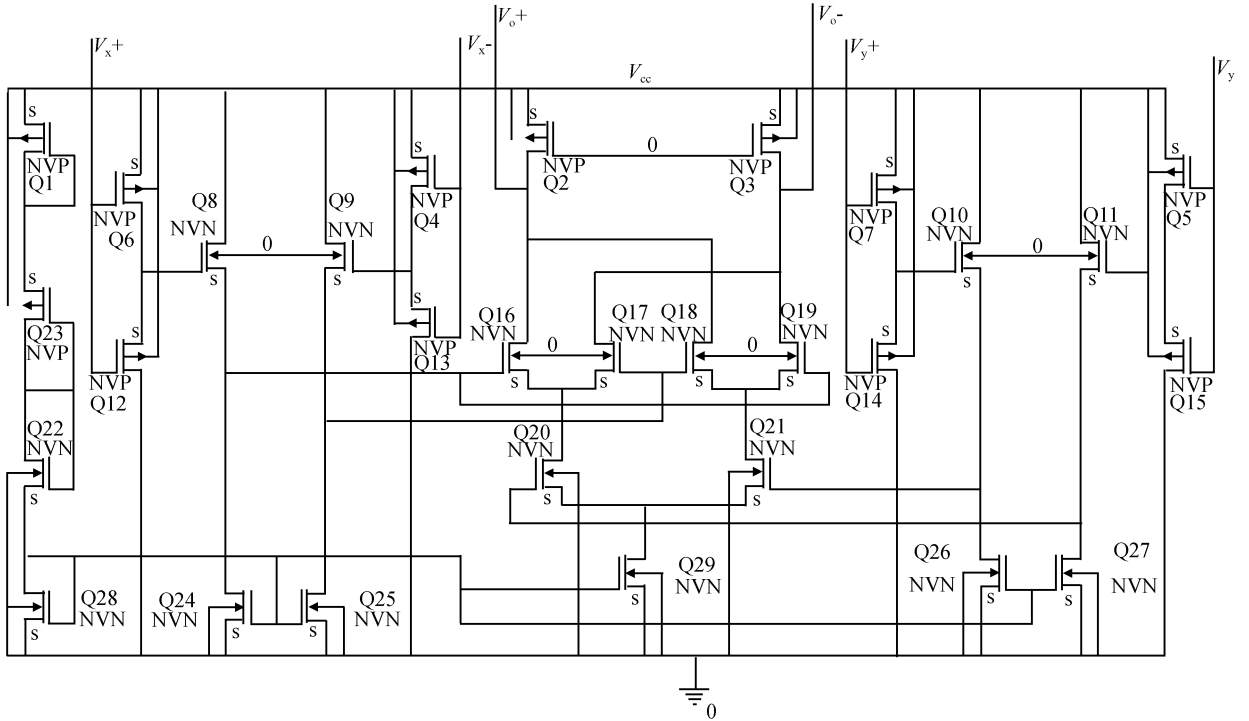


图4 集成 CMOS 四象限模拟乘法器

Fig.4 Integrated circuit of four quadrant CMOS analog multiplier

由于给出的 CMOS 型四象限模拟乘法器为双端输出,在单端输出应用时可以通过一个减法器将双端输出信号转化成单端输出信号.图 5 为具体的减法器电路结构.

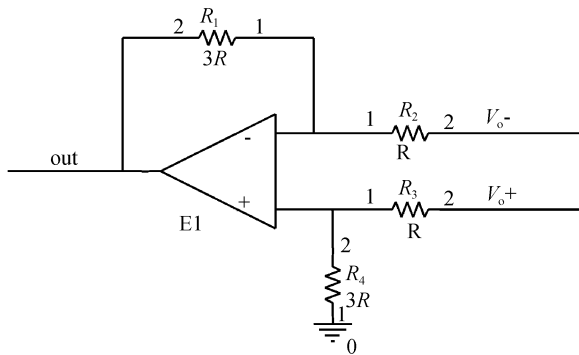


图5 乘法器双端输出转成单端输出电路

Fig.5 Circuit of converting dual terminal to single terminal

2.5 版图实现

对于上面提出的乘法器结构采用 CSMC 的 $0.6\mu\text{m}$ n 阱 2p2m 工艺进行版图实现,具体的版图如图 6 所示.在版图中考虑吉尔伯特单元为主要的管子,因此采用共中心对称结构以避免失配.

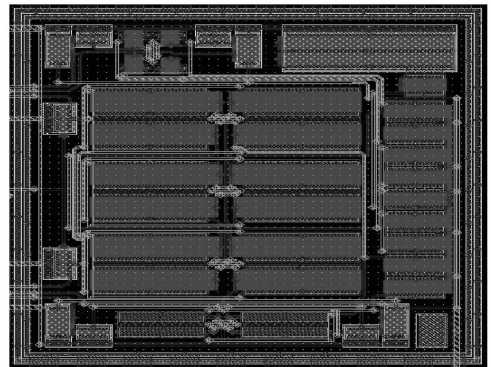


图6 乘法器版图

Fig.6 Layout of multiplier

3 计算机仿真结果

利用 HSPICE 对乘法器电路进行模拟仿真,基于 CSMC 的 $0.6\mu\text{m}$ n 阱 2p2m 工艺 SPICE BSIM3V3 MOS 模型 (level = 49),电源电压为 5V.

3.1 直流传输特性

对乘法器进行直流分析可以看到,在 5V 单电源供电的情况下,将乘法器的四个输入端均偏置在 2.5V 电压.然后对乘法器进行直流特性扫描,步长为 0.5V.图 7 为 V_x 在 $-1.5 \sim +1.5\text{V}$ 输入范围内

直流扫描情况的传输特性曲线. 图 8 为 V_y 在 $-1.5 \sim +1.5\text{V}$ 范围内直流扫描情况的传输特性曲线.

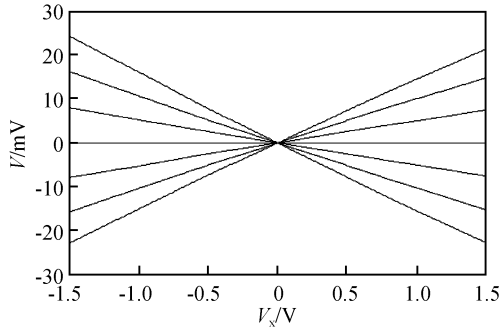


图 7 V_x 直流传输特性

Fig.7 Direct current transfer characteristics of V_x

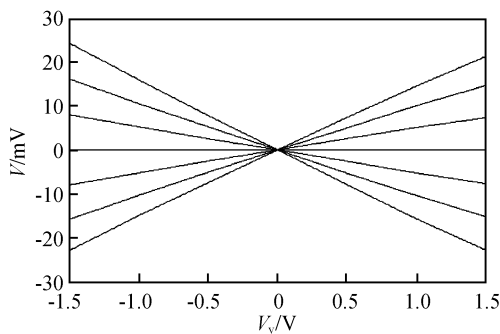


图 8 V_y 直流传输特性

Fig.8 Direct current transfer characteristics of V_y

3.2 交流特性

在 5V 单电源供电的情况下, 将乘法器的四个输入端电压均偏置在 2.5V, 然后对乘法器进行交流特性扫描. 图 9 是 $V_y = 1\text{V}$ (AC 峰值), $V_x = 1\text{V}$ (DC 值) 时, 乘法器的幅频特性曲线, -3dB 带宽为

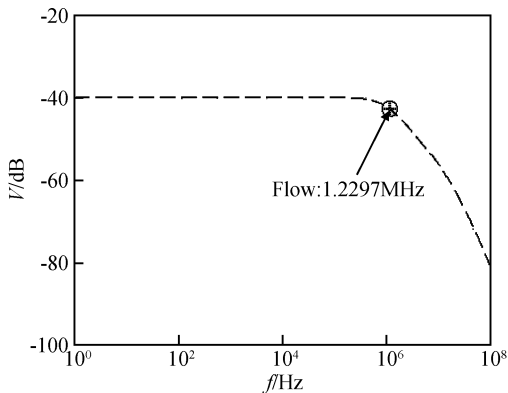


图 9 V_y 端交流传输特性

Fig.9 Alternating current transfer characteristics of V_y

1.2297MHz. 图 10 是 $V_x = 1\text{V}$ (AC 峰值), $V_y = 1\text{V}$ (DC 值) 时乘法器的幅频特性曲线, -3dB 带宽为 6.665MHz.

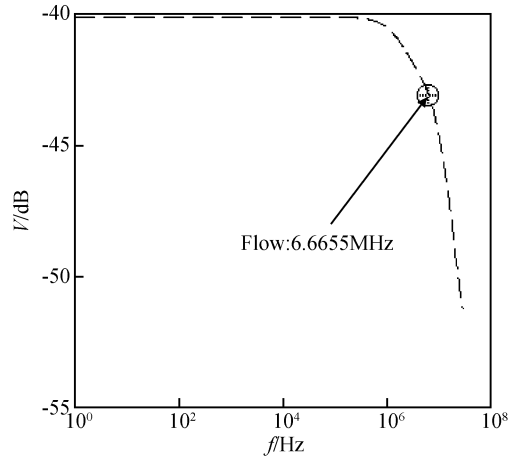


图 10 V_x 端交流传输特性

Fig.10 Alternating current transfer characteristics of V_x

3.3 倍频特性

图 11 是将 1kHz 的正弦信号送入到乘法器后输出的 2kHz 正弦信号.

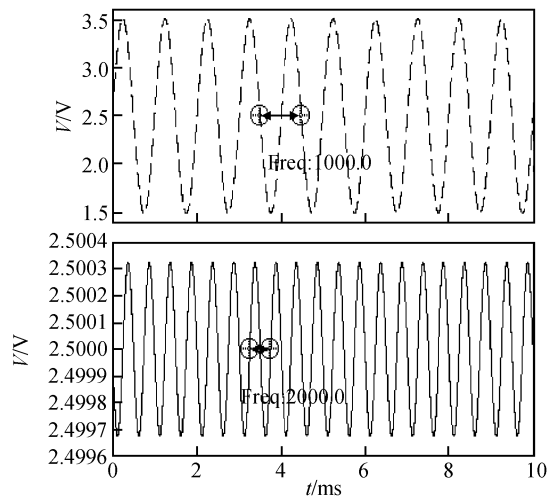


图 11 乘法器输出信号

Fig.11 Signal multiplying by multiplier

4 结论

本文设计的 CMOS 型四象限模拟乘法器, 通过利用有源衰减器扩大了吉尔伯特单元的输入范围. SPICE 模拟显示该乘法器具有较大的线性输入范围, 较为理想的频率特性和适于低电压供电系统的应用等优点.

参考文献

- [1] Qin Shicai, Jia Xiangluan. Analog integrated electronics. Tianjin: Tianjin Science Press, 1996: 296 (in Chinese) [秦世才, 贾香鸾. 模拟集成电子学. 天津: 天津科学技术出版社, 1996: 296]
- [2] Qin Shicai, Geiger R L. A $\pm 5V$ CMOS analog multiplier. IEEE J Solid-State Circuits, 1987, SC-22: 1143
- [3] Wang Z. A CMOS four-quadrant analog multiplier with single-ended output and improved temperature performance. IEEE J Solid-State Circuits, 1991, 26: 1293
- [4] Gilbert B. A high-performance monolithic multiplier using active feedback. IEEE J Solid-State Circuits, 1974, SC-9(6): 364
- [5] Coban A L, Allen P E. Low-voltage CMOS trans-conductance cell based on parallel operation of triode and saturation trans-conductors. Electron Lett, 1994, 30: 1124

An Integrated Four Quadrant CMOS Analog Multiplier

Huo Mingxue[†], Tan Xiaoyun, Liu Xiaowei, Wang Yonggang, Ren Lianfeng, and Qi Xiangkun

(MEMS Center, Harbin Institute of Technology, Harbin 150001, China)

Abstract: A four quadrant CMOS analog multiplier is presented. It consists of active attenuator and Gilbert cell. The simulation results based on CSMC 0.6 μ m n well 2p2m process SPICE BSIM3v3 MOS model (level = 49) at 0~5V power supply. The simulation results and layout are given.

Key words: analog multiplier; Gilbert cell; CMOS

EEACC: 1205; 1290

Article ID: 0253-4177(2006)S0-0335-05

[†] Corresponding author. Email: huomingxue@hit.edu.cn

Received 8 December 2005, revised manuscript received 11 January 2006