

基于 ATE 的 IC 测试原理、方法及故障分析

潘曙娟^{1,†} 钟 杰²

(1 中国科学院微电子研究所 杭州分部, 杭州 310053)

(2 浙江大学信电系 通信与信息处理研究所, 杭州 310027)

摘要: 介绍了基于 ATE 的集成电路的测试原理和方法, 包括电气特性测试原理和功能测试原理, 详细地介绍了通用的测试方法以及一些当今流行的比较特殊的测试方法, 并以一个功能较为全面而典型的具体电路为例进行了常见的故障分析。

关键词: 通用测试仪; 直流/交流参数测试; 功能测试; 扫描

EEACC: 7210A

中图分类号: TN407

文献标识码: A

文章编号: 0253-4177(2006)S0-0354-04

1 引言

随着我国集成电路产业的飞速发展, 集成电路测试和服务在产业链中的作用将越来越大. 专业化的集成电路(IC)测试业是集成电路产业中一个重要组成部分, 从产品设计开始至完成加工全过程, 提供给客户的产品是否合格就是通过测试完成的.

在当今集成电路产业中, 由于专用测试仪的局限性、非标准性以及专用测试仪开发的周期过长的问題, 使得专用测试仪的使用受到了较大的限制. 而通用测试仪(ATE)以它的通用性、标准性、便捷性以及开放性迅速成为了集成电路测试行业的主流. ATE, 即 Automatic test equipment, 是用来给测试芯片提供测试模式, 分析芯片对测试模式的响应来检测芯片的测试系统. 本文以 ATE 为基础, 讨论了集成电路测试的基本原理和测试方法, 并进行了故障分析.

2 集成电路测试总论

集成电路测试主要分为三种: verification test, mass production test 和 burn-in.

verification test, 称之为芯片验证, 主要用来验证一个新的设计在量产之前功能是否正确, 参数特性等是否符合 spec 以及电路的稳定性和可靠性. 测试范围包括功能测试和 AC/DC 测试, 测试项目相对来说比较全面. 其主要目的除了调试之外还为量产测试作准备. Verification 的周期直接关系到产品的质量和竞争力以及投放市场的时间.

mass production test, 称之为量产测试. 量产测试在整个 IC 生产体系中位于制程的后段, 其主要功能在于检测 IC 在制造过程中所发生的瑕疵和造成瑕疵的原因. 因此, 量产测试是确保 IC 产品良好率, 提供有效的数据供工程分析使用的重要步骤. mass production test 以测试时间计费, 同时测试设备价格的高低也将影响每小时的测试费用, 从而直接影响产品的成本, 因此提高测试覆盖率和测试效率非常重要.

burn-in, 主要用于测试可靠性. 采用各种加速因子来模拟器件长期的失效模型, 常用的有加高温, 加高电压等.

集成电路测试的基本原则是通过测试向量对芯片施加激励, 测量芯片响应输出(response), 与事先预测的结果比较, 若符合, 则大体上可以说明芯片是好的.

下面就常用器件所涉及到的测试参数和测试原理作详细说明.

3 测试原理和方法

一个基于 ATE 的测试程序往往包括三个方面: 直流参数测试、交流参数测试和功能测试.

3.1 直流参数测试

直流参数测试项目比较分散, 但相对来说测试方法比较固定且单一. 一个典型的数字集成电路直流参数主要有如下几个: I_{IH}/I_{IL}(输入高低漏电流), V_{IH}/V_{IL}(输入高低电平), V_{OH}/V_{OL}(在一定负载 I_{OH}/I_{OL} 下的输出驱动能力), I_{SB}&I_{DD}(静态

† 通信作者. Email: panshujuan@casic.ac.cn

2005-10-11 收到, 2005-12-30 定稿

和动态电流)。测试过程中为了保护测试设备和快速筛选器件,一般还要先进行通断测试,即 Opens/Shorts 测试,暂且把它归为直流测试。下面对各个项目的测试原理进行说明。

(1) Opens/Shorts 测试

Opens/Shorts 测试,又名连续性测试或者接触测试,主要检测芯片各个管脚是否短路或者开路。测试可以采用串行方式和并行方式两种,两种方式各有优缺点,串行慢,但可以测出管脚之间是否有短路;并行快,但不能检测管脚之间的短路问题。测试时所有管脚接地,分别测管脚对 V_{cc} 和 GND 的电压,如图 1 所示。

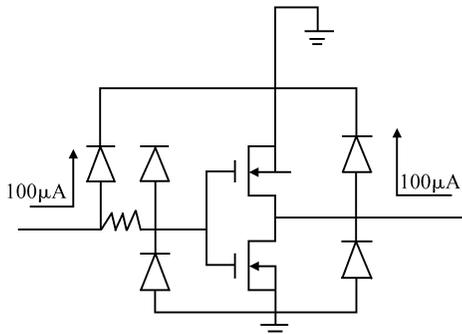


图 1 开路/短路测试示意图

Fig.1 Opens/Shorts test map

测试管脚对 V_{cc} 时,用 ATE 的 PPMU 加 $+100\mu\text{A}$ 电流,测量其电压,如果测量结果大于 $+1.2\text{V}$,则为开路,小于 $+0.1\text{V}$ 则为短路。

测试管脚对 GND 时,用 ATE 的 PPMU 加 $-100\mu\text{A}$ 电流,测量电压,如果结果小于 -1.2V ,则为开路,大于 -0.1V 则为短路。

通常在量产测试中,为了减少测试时间,降低测试成本,管脚对电源和对地的测试只做其中的一个。

(2) I_{IH}/I_{IL} 测试

该测试项测试输入管脚的高(低)漏电。上电后测试 I_{IH} 时对管脚加工作电压,测试 I_{IL} 时,对管脚加 0V 电压,测量相应的电流,如果测量值高于指标,则说明该芯片存在缺陷。在量产测试中可以直接将其剔除。而在 VERIFY 过程中则要对其进一步分析,并结合其他参数推算是否是工艺的不足还是设计本身的缺陷。

(3) V_{IL}/V_{IH} 测试

V_{IL}/V_{IH} 是芯片所能识别的最高低电平和最低高电平。它的测试主要通过一个或者几个覆盖被测管脚状态变换的功能向量来进行测试。在正常工作电压下,对输入高低电平进行扫描,当扫到使功能向量在该工作电压下 fail 或者 pass 的临界点时即找到了对应的 V_{IL} 或者 V_{IH}。根据测试结果确定器件该参数是否符合 spec。由于对 V_{IL}, V_{IH} 的测

试费时费力,在量产测试中往往会对其简化。一般采用的方法是:令输入的高低电平为最恶劣的条件,那么如果功能向量能够通过,该芯片就基本上符合这一参数特性。

(4) V_{OL}/V_{OH} 测试

V_{OL}/V_{OH} 的测试需要相应的初始化向量 (Pattern),把要测试的输出管脚配置到指定的电平,然后用 PPMU 加电流测电压。V_{OH} 输出高电平是指在器件的输出管脚为逻辑 1 并且负载电流为 I_{OH} 时的电压值。V_{OL} 输出低电平是指在器件的输出管脚为逻辑 0 并且负载电流为 I_{OL} 时的电压值。在测试时,要求先配置相应的输出管脚,使得其对应相应的逻辑电平,然后进行加电流测电压,再根据测量的实际值和限定值确定器件该参数失效与否。

(5) I_{CC}(动态电流)和 I_{SB}(静态电流)测试

I_{CC} 和 I_{SB} 分别是芯片在动态工作下和在静态下的电流。通常直接对电源脚进行测量即可。需要注意的是,测试 I_{SB} 时一般需要对各个输入脚指定一个固定的输入电平,否则外来杂讯对输入管脚的干扰很可能导致测量值出现偏差。

3.2 交流参数的测试

交流参数测试主要包括传输延时(propagation delay test),建立和保持时间(setup & hold),速度测试(functional speed)等,这些通常跟工艺有关。

通常交流参数的测试借助功能测试来实现,通过改变输入信号的上升沿、下降沿和保持时间等参数来进行扫描式的测量。在量产测试中的处理方法类似于 V_{IL} 和 V_{IH},只取最恶劣的条件来测试。而在 VERIFY 中则要仔细分析。

3.3 功能测试

功能测试主要测试芯片在一定时序下的逻辑功能,其基本原则是借助于向量,对芯片施加激励,观察其响应是否和设想的一致。功能测试可以覆盖极高比例逻辑电路的失效模型。对于功能测试,verification 和 mass product test 的区别主要在于:前者侧重于测试的覆盖率,对测试时间要求不高;而后者在兼顾测试覆盖率的同时,力求用最短的时间来达到测试目的,有时候为了节省测试时间,甚至可以牺牲一些不太重要的测试指标。

功能测试中的一个基本要素是向量。向量通常是由 HDL 或 RTL 行为模型模拟得到的一个文件,其中既包含激励也包含电路响应。最常见的作为 ATE 测试程序的测试向量是模拟输出的 VCD 文件,在实际操作中,需要将它所提供的信息翻译成为与 ATE 时钟对应的信号波形输出文件才能够被

ATE 使用. 在实际应用中功能测试往往比较复杂. 在 ATE 语言中, 这些信号波形是通过上升沿和下降沿等来调整的. RZ, NRZ 和 SBC 信号就是几个用来表示逻辑 1 和逻辑 0 的不同信号的波形例子.

随着深亚微米和纳米设计的广泛应用, 相对简单的功能性向量已经无法满足对产品测试的是实际需求. 而扫描(scan), 逻辑内建自测试(LBIST)和 Memory BIST 这类结构测试方法已经为识别生产和设计中的缺陷, 描绘和监控产品生产过程以及加速产品上市提供了更加有效的方法. 下面简单介绍时下流行的扫描测试原理.

扫描测试的原理(见图 2)是通过加一个边界扫描单元(boundary scan cell, BSC)以及一些附加的测试控制逻辑实现的, BSC 主要是由寄存器组成的.

每个 I/O 管脚都有一个 BSC, 每个 BSC 有两个数据通道: 一个是测试数据通道, 测试数据输入 TDI, 测试数据输出 TDO; 另一个是正常数据通道, 正常数据输入 NDI, 正常数据输出 NDO. 在正常工作状态, 输入和输出数据可以自由通过每个 BSC, 正常工作数据从 NDI 进, 从 NDO 出. 在测试状态, 可

以选择数据流动的通道. 对于输入的 IC 管脚, 可以选择从 NDI 或从 TDI 输入数据; 对于输出的 IC 管脚, 可以选择从 BSC 输出数据至 NDO, 也可以选择从 BSC 输出数据至 TDO.

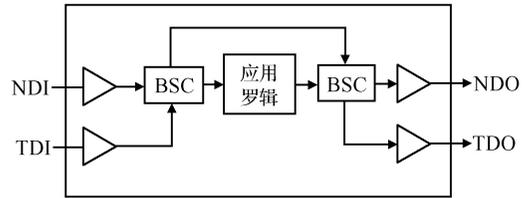


图 2 扫描测试原理示意图

Fig. 2 principle of scan test

图 3 是边界扫描测试应用的示意图. 为了测试两个 JTAG 设备的连接, 首先将 JTAG 设备 1 某个输出测试脚的 BSC 置为高或低电平, 输出至 NDO, 然后, 让 JTAG 设备 2 的输入测试脚来捕获从管脚输入的 NDI 值, 再通过测试数据通道将捕获到的数据输出至 TDO, 对比测试结果, 即可快速准确地判断这两脚是否连接可靠.

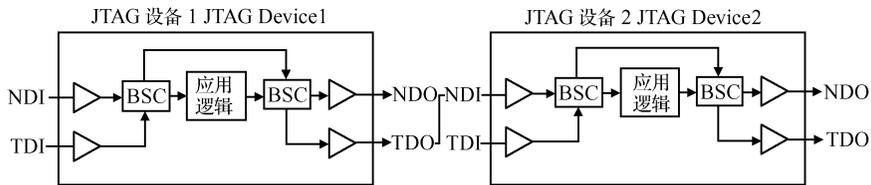


图 3 边界扫描应用示意图

Fig. 3 Application of boundary scan test

扫描测试的两大优点是: 一个是方便芯片的故障定位, 迅速准确地测试两个芯片管脚的连接是否可靠, 提高测试检验效率; 另一个是具有 JTAG 接口的芯片, 内置一些预先定义好的功能模式, 通过边界扫描通道来使芯片处于某个特定的功能模式, 以提高系统控制的灵活性和方便系统设计, 所以现在几乎所有复杂的 IC 芯片都有 JTAG 控制接口.

4 常见故障案例分析

在创建测试程序, 进行测试流程的设计时要考虑测试效率, 把容易出错的参数放在前面, 把测试时间较长但不容易出错的参数或者功能放在后面以便于快速筛选芯片. 下面以 ZSX01 的测试为例介绍几种常见故障, 测试平台为目前业界较为权威的通用测试仪 Teradyne J750.

ZSX01 是一款多功能芯片, 面向多媒体应用,

可实现 MIDI, ADCM, MP3 等音乐格式的编解码, 同时支持 CMOS SENSOR 功能, 具有拍摄、预览、简单图像处理等功能, 是一款典型的数模混合的集成电路芯片, 对其测试问题的分析具有很强的代表性.

在 verification 阶段, 对 ZSX01 的测试包括了直流参数、交流参数和功能的测试. 由于设计流程比较规范, 在此阶段没有发现直流测试方面比较明显的缺陷, 但在交流参数和功能测试上发现较多的问题.

为提高测试覆盖率, ZSX01 的数字逻辑通过功能向量和 scan_chain 相结合的方式进行测试. 通常, 想要将功能向量应用到一台 ATE 上时总会出现问题, 原始模拟都是事件驱动的, 翻译时必须为目标模式指配波形, 不同的模式通常需要不同的波形. 由于测试工程师和设计工程师对信号的调制波形存在不同的理解, 导致向量文件通过 ATE 实

际加载到芯片时出现了完全不符合的波形。本次测试中,设计工程师对信号管脚的信号调制采用的是 RZ 调制,而在 ATE 上采用的则是 NRZ 的调制方式,因此尽管是相同的向量文件,由于信号加载方式的不同也就导致了完全不同的结果。

而对于 scan_chain 的测试,一开始在 ATE 上测试时表现为“输出向量比较”在很多时钟都出错,即使调整采样时间点,效果也没有改善。后通过热流罩(一种温度控制仪器)改变芯片的测试环境温度,发现当温度升高时,错误数量明显减少,而温度降低时错误数量增加,且这个错误数量在相同温度下也表现得极不稳定,时而多,时而少。原因在于当进行扫描测试时,芯片内部在同一个时钟沿会有很多寄存器在翻转,这些同时工作的寄存器耗费了大量的电流,且相互牵制。而温度的升高使得 CMOS 电路的沟道导电能力增强,从而使得原先应该翻转而不易翻转的寄存器得以正常工作。实际上考虑到扫描测试的特殊性,输出比较电平应该定为 $0.5V_{cc}$ 比较合理,而不是通常功能测试的 $0.7V_{cc}$ 或者 $0.8V_{cc}$ 。因为只要能够看到输出管脚的电平翻转,基本上可以说明这些寄存器功能是正常的。所以后来通过改变输出比较电平为 $0.5V_{cc}$ 同时调整信号的上升沿和下降沿以及采样点使得扫描测试在常温下也能通过且比较稳定。

量产测试阶段对晶圆的测试同样发现存在问题,直流项 ISB fail 的芯片, fail 的形状在晶圆上呈现小规模集中分布,这通常是由于制造过程中 wafer 本身的缺陷或者晶圆制造厂在制造过程中的失误所造成的,需要把这一信息反馈给相应的厂商。

5 结语

由于集成电路设计规模的不断扩大,集成电路验证和测试的时间往往数倍于 IC 设计开发的时间,IC 测试将占据越来越重要的地位。IC 设计工程师通常需要在设计阶段就要考虑到芯片的测试问题,包括导入可测性设计,自动生成测试模式等,加速故障诊断,以使产品尽快量产上市。

随着集成电路产业分工日益明晰,集成电路测试作为设计、制造和封装的有力补充,推动了整个 IC 产业的迅速发展。

参考文献

- [1] Fang Jianping, Hao Yue, Liu Hongxia, et al. An efficient test data compression technique based on codes. Chinese Journal of Semiconductors, 2005, 26(11): 2062
- [2] Alfred L. Crouch principles of test vector building for ATE. Chinese Taiwan(in Chinese)[Alfred L. Crouch 测试仪中的向量生成原理. 中国台湾]
- [3] Wang Hongyi, Lai Xinquan, Li Yushan, et al. A design for built in testability of DC2DC converter chip. Chinese Journal of Semiconductors, 2005, 26(9): 1848 (in Chinese)[王红义, 来新泉, 李玉山, 等. 一种 DC-DC 芯片内建可测性设计. 半导体学报, 2005, 26(9): 1848]
- [4] Song Kezhu, Yang Xiaojun, Wang Yanfang. Principles and practice of boundary SCAN. Electronic Technology, 2001, (10): 27(in Chinese)[宋克柱, 杨小军, 王砚方. 边界扫描测试的原理及应用设计. 电子技术, 2001, (10): 27]
- [5] Zhang Xing. New semiconductor parts and basic research on technics. China Basic Science, 2003, (5): 16(in Chinese)[张兴. 新型半导体器件及工艺基础研究. 中国基础科学, 2003, (5): 16]
- [6] Teradyne J750 User Guide. Teradyne Co. Ltd. USA.
- [7] Date sheet of ZSX01. China

Principle, Practice, and Failure Analysis of IC Test Based on ATE

Pan Shujuan^{1,†} and Zhong Jie²

(1 Department of Hangzhou, Institute of Microelectronics, Chinese Academy of Sciences, Hangzhou 310053, China)

(2 Institute of Communication and Signal Process, Zhejiang University, Hangzhou 31002, China)

Abstract: This paper introduces the principle and method of IC test, including the electronic and functional characteristics. This paper also introduces the failure analysis based on the ZSX01, which is a typical circuit, referring to scan test.

Key words: ATE; DC/AC test; function test; scan test

EEACC: 7210A

Article ID: 0253-4177(2006)S0-0354-04

† Corresponding author. Email: panshujuan@casic.ac.cn

Received 11 October 2005, revised manuscript received 30 December 2005