

# 磁存储器驱动电路界面平坦化研究\*

杜 寰<sup>1,2,†</sup> 赵玉印<sup>1</sup> 韩郑生<sup>1</sup> 夏 洋<sup>1</sup> 张志纯<sup>2</sup>

(1 中国科学院微电子研究所, 北京 100029)

(2 湘潭大学职业技术学院 机电与电子工程系, 湘潭 411105)

**摘要:** 利用原子力显微镜(AFM)和扫描电镜(SEM)对磁存储器(MRAM)驱动电路与存储单元——磁性隧道结(MTJ)的连接界面的表面平坦化进行了研究. 原子力显微镜照片表明: 磁控溅射沉积的金属铝膜的表面由尺寸约为 300nm 的颗粒组成, 其表面粗糙度约为几十纳米的量级, 用统计平均值(均方根值 root mean square, RMS)描述约为 10nm; 在铝膜的表面沉积一层难溶金属 Ti 或 Ta 膜以后, 可很好地改善过渡层金属表面的平坦化效果. 通过用化学机械平坦化设备(chemical mechanical planarization, CMP) 在小压力和低转速的条件下, 可使过渡层金属表面的 RMS 值达到小于 1nm 的平坦化效果. 扫描电镜照片的结果也显示: 利用光刻胶平坦化, 然后通过调节反应离子刻蚀的条件, 使刻蚀的过程中对氧化硅和光刻胶的刻蚀速率相等, 去掉光刻胶, 达到平坦化整个芯片表面的效果.

**关键词:** 磁存储器; 平坦化; 表面粗糙度; 均方根值

**PACC:** 7570; 7570P **EEACC:** 3120J

**中图分类号:** O47

**文献标识码:** A

**文章编号:** 0253-4177(2006)S0-0358-03

## 1 引言

磁存储器(magnetic random access memory, MRAM)作为非易失性存储器, 由于具有速度快、功耗低、存储密度高等优点而受到广泛青睐<sup>[1,2]</sup>, 最近两年取得了长足的进展. 2004 年, IBM 公司通过应用 0.18 $\mu\text{m}$  铜布线的 CMOS 工艺, 采用 1T1MTJ(1 transistor 1 magnetic tunnel junction)的结构研制出了 16Mbit 的 MRAM<sup>[3]</sup>, 并计划于 2006 年研制出 256Mbit 的 MRAM. 目前有报道表明, 通过应用新的势垒层材料和磁性材料以及新的制备方法, 使 MTJ 的 TMR 效应在常温下能达到 $\sim 230\%$ , 在低温下达到 $\sim 300\%$ . 这为简化 MRAM 的驱动电路、提高性能、降低功耗打下了基础. MRAM 驱动电路的工艺是多层金属布线的标准 CMOS 工艺. 由于 MTJ 中隧道势垒层是一层厚度约为 1nm 的金属氧化层(通常为氧化铝  $\text{AlO}_x$  或氧化镁  $\text{MgO}_x$ ), 所以, MTJ 对接触表面平整度要求很高, 通常要求表面有很好的平整度<sup>[4]</sup>. 接触表面的平整度包括两个方面, 一个方面是指直接与 MTJ 接触的局部区域, 该区域有很好平整度(通常要求该区域的粗糙度的 RMS 值小于 1nm); 另一方面要求整个驱动完成后表面没有高的台阶, 以避免过渡层金属线和位线在跨过这些台

阶时发生断裂. 本文采用在金属铝线上沉积一层金属钛或钼膜, 然后用 CMP 对直接与 MTJ 接触的局部进行平坦化处理. 对整个芯片表面的平坦化处理则通过沉积氧化硅和旋涂光刻胶来进行, 然后通过调节反应离子刻蚀条件, 使对氧化硅的刻蚀速率等于对光刻胶的刻蚀速率, 然后去掉光刻胶来实现.

## 2 器件设计

图 1 给出了 1T1MTJ MRAM 的结构示意图. 由存储单元 MTJ 完成数据“0”和“1”的存储. 在写的过程中, 读字线控制 MOS 器件处于断开状态, 由写字线和位线共同产生的电流磁场作用决定 MTJ 自由层磁化方向的取向, 达到将数据写入的目的. 通常情况下, 认为当自由层的磁化方向与钉扎层的磁化方向一致时为数据“0”, 而当自由层的磁化方向与钉扎方向相反时为数据“1”. 读的过程中由读字线和位线共同作用完成, 读取信息时, 写字线处于零电位状态, 读字线在脉冲信号的作用下使 MOS 器件处于开启状态, 电流从位线经 MTJ 再经 MOS 器件流到地线. 由于磁电阻效应, 当 MTJ 中自由层的磁化方向与钉扎层的磁化方向相同时(数据“0”)以及 MTJ 自由层与钉扎层的磁化方向相反时(数据“1”)MTJ 的电阻是不同的, 因此, 在相同电流的情况下, MTJ

\* 国家重点基础研究发展计划资助项目(批准号:001CB610601)

† 通信作者. Email: duhuan@ime.ac.cn

2005-10-13 收到, 2006-01-13 定稿

两端的电压降是不同的,根据电压的高低来确定 MTJ 存储的数据.很多情况下,会把写字线和 MTJ 设计在地线的正上方,和旁边控制另一个单元的 MOS 器件共用地线,这样可提高存储器的存储密度,但也增加了工艺上多层金属布线的难度.

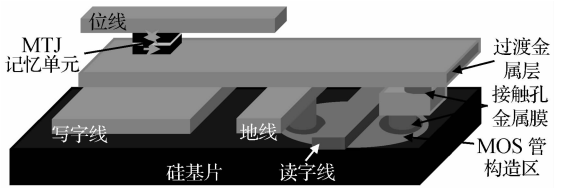


图 1 1T1MTJ 结构的磁存储器示意图  
Fig.1 1T1MTJ structure of MRAM

### 3 结果与分析

整个实验是在中国科学院微电子研究所硅工程中心工艺线 2 $\mu$ m 标准 CMOS 工艺的基础之上,通过对金属薄膜表面进行一些平坦化处理而完成的.工艺流程的顺序是先完成 CMOS 控制电路以后,再进行 MTJ 的制备.由于前述存储单元 MTJ 势垒层的厚度很薄,因此导致 MTJ 对它所处的位置平坦化要求很高.经过场氧化、栅氧化、多晶硅的沉积与刻蚀、离子注入、低温氧化以及金属化以后,所形成的过渡金属层表面的粗糙度是不适合制备高质量 MTJ 存储单元的.通常情况下,标准的 CMOS 工艺金属化材料是铝,铝薄膜经钝化后,其表面由许多颗粒构成,如图 2 所示.从 AFM 形貌照片可以得出:过渡层金属铝膜的表面是由许多大小不等的颗粒构成,较大颗粒直径的尺寸约为 300nm 左右,颗粒的高度约为 16nm,其表面粗糙度的 RMS 值约为 9nm.由此来看,在这样的表面粗糙度下是很难制备出性能优越的磁性存储单元 MTJ 的.由于金属铝膜的颗粒较大,并且铝较软,因此不适宜直接对铝膜进行平坦化处理.因为在抛光的时候,整个铝颗粒有可能被抛掉,在薄膜表面形成新的凹陷点.因此,需要对薄膜表面进行处理后才可进行平坦化处理.

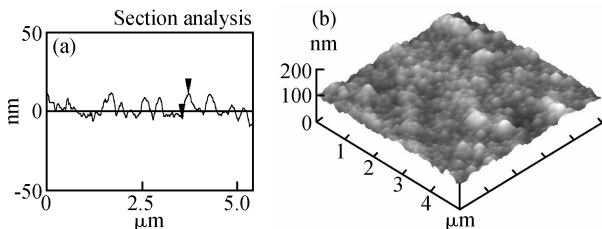


图 2 MTJ 所在位置 AFM 表面形貌照片 (a) 表面测试谱;  
(b) 形貌照片  
Fig.2 AFM image of MTJ location (a) Surface measure spectrum;(b) AFM surface image

图 3 是在铝膜表面沉积一层厚约 300nm 左右的金属 Ti 膜后的表面形貌.图 3 表明:沉积一层 Ti 膜后,过渡层的表面仍然由许多颗粒构成,但颗粒的尺寸却已减小,约为 260nm,颗粒的高度约为 9nm,其 RSM 值约为 4nm.在过渡层金属的表面沉积一层 Ti 膜后,虽然很好地改善了表面的粗糙度,但仍然不能满足制备高性能 MTJ 的要求.为此,我们对样品表面进行 CMP 处理.图 4 示出了在低压力、低转速的情况下,经 CMP 处理后的 AFM 照片.从照片中可以看出,过渡层金属表面经 CMP 抛光处理后,表面的粗糙度得到了很大的改善.表面颗粒的尺寸约为 31nm,颗粒高度约为 0.9nm,其 RMS 值达到 0.4nm.如此表面光洁度完全可以满足制备 MTJ 的要求.

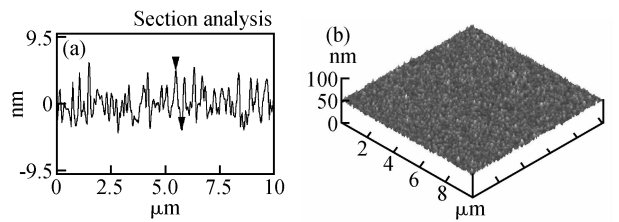


图 3 表面沉积一层 Ti 膜后的 AFM 表面形貌照片 (a) 表面测试谱;(b) 形貌照片  
Fig.3 AFM surface image of Al film after Ti film deposited (a) Surface measure spectrum;(b) AFM surface image

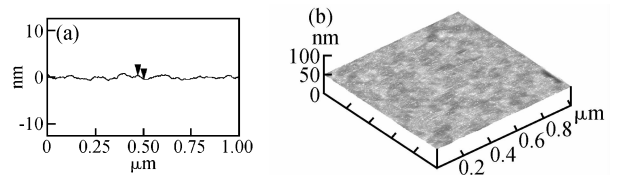


图 4 表面经 CMP 平坦化处理后的 AFM 形貌照片 (a) 表面测试谱;(b) 形貌照片  
Fig.4 AFM surface image Al/Ti multilayer after planarized by CMP (a) Surface measure spectrum;(b) AFM surface image

解决了 MTJ 对局部区域平坦化的要求以后,MRAM 对整个驱动电路芯片表面的平坦化也有较高的要求.如图 1 所示,存储单元 MTJ 对过渡金属层的厚度是有限制的,因为过渡金属层厚度增加,即意味着写字线与 MTJ 的距离增加,这将增加写入过程中电流的大小,增加磁存储器设计的难度.如果过渡金属层厚度太厚,将会使得写入过程无法实现.因此,在制备过渡层金属薄膜之前,也需要对整个芯片表面进行平坦化,以避免过渡金属层在跨过读字线、地线、写字线等台阶时不至于断裂.我们利用光刻胶的流动性对芯片表面进行了平坦化处理.具体的工

艺流程如下:在完成地线和写字线的刻蚀工艺以后,用 PECVD 技术沉积一层 $\sim 1\mu\text{m}$ 厚的氧化硅,然后对氧化硅进行反刻,以起到倒角的作用,对台阶圆拱化.再用 PECVD 技术沉积一层 $\sim 1\mu\text{m}$ 厚的氧化硅,旋涂光刻胶.由于光刻胶具有可流动性,因此,可利用这一特点,对芯片表面起到很好的平坦化作用,如图 5 所示.

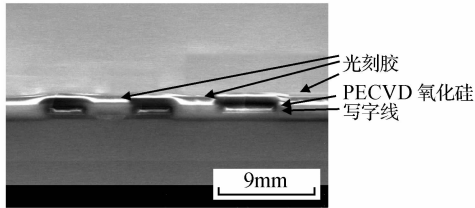


图 5 经光刻胶平坦化后芯片截面的 SEM 照片

Fig. 5 SEM photo of cross section of sample after planarized by using photoresist

随后的工艺是调整氧化硅和光刻胶的反应离子刻蚀速率,使这两者的刻蚀速率达到一致.去掉光刻胶,即可达到平坦化整个芯片表面的目的.

## 4 结论

利用原子力显微镜和扫描电镜对磁存储器驱动电路与存储单元——磁性隧道结(MTJ)的连接界面的表面平坦化进行了研究.通过在金属铝膜的表面沉积一层金属钛膜或钽膜,改善表面的平坦化效果,用化学抛光平坦化设备,在小压力和低转速的情况下,可以获得表面粗糙度 RMS 值达到小于 1nm 的效果.利用光刻胶的流动性可以获得整个芯片表面很好的平坦化效果.

## 参考文献

- [ 1 ] Tehrani S, Chen E, Durlam M. High density submicron magnetoresistive random access memory. *J Appl Phys*, 1999, 85 (8): 5822
- [ 2 ] Parkin S, Jiang X, Kaiser C. Magnetically engineered spintronic sensors and memory. *Proceeding of the IEEE*, 2003, 91 (5): 661
- [ 3 ] DeBrose J, Arndt C, Lu Y. 16Mb MRAM featuring bootstrapped write driver. *IEEE Symposium on VLSI Circuits*, 2004
- [ 4 ] Havemann R H, Hutchby J A. High-performance interconnects; an integration overview. *Proceeding of the IEEE*, 2001, 89(5): 586

## Investigation on Interface Planarization of Driver IC for Storage Cells of MRAM\*

Du Huan<sup>1,2,†</sup>, Zhao Yuyin<sup>1</sup>, Han Zhengsheng<sup>1</sup>, Xia Yang<sup>1</sup>, and Zhang Zhichun<sup>2</sup>

(1 Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100009, China)

(2 Department of Electrical & Electronic Engineering, School of Profession & Technology, Xiangtan University, Xiangtan 411105, China)

**Abstract:** Surface planarization for storage cells of magnetic random access memory (MRAM) is investigated by atomic force microscope (AFM) and scan electron microscope (SEM). AFM images indicate that the surface of Al films deposited by magnetron consists of many particles with size of tens of nanometers. The roughness of surface depicted with root mean square (RMS) is more than 10nm. The roughness of surface is improved after the film of refractory metal Ti or Ta deposited on Al film. Under the conditions of small pressure and low rotate speed, the roughness of surface (the value of RMS) reaches less than 1nm by applying chemical mechanical planarization (CMP). SEM images show that the surface of the whole chip can be planarized greatly by coating photoresist on surface. The photoresist is removed by reactive ion etch under the same etch rate to photoresist and oxide.

**Key words:** MRAM; planarization; roughness; RMS

**PACC:** 7570; 7570P **EEACC:** 3120J

**Article ID:** 0253-4177(2006)S0-0358-03

\* Project supported by the National Program on Key Basic Research of China(No.001CB610601)

† Corresponding author. Email: duhuan@ime.ac.cn

Received 13 October 2005, revised manuscript received 13 January 2006