

无线传感网络中低功耗处理器的设计和优化

赵 刚[†] 侯立刚 罗仁贵 刘 源 吴武臣

(北京工业大学, 北京 100022)

摘要: 采用 90nm 工艺设计实现了应用于无线传感网络中的低功耗处理器. 为了减小功耗, 采用了以下两种方法: (1) 采用门控时钟技术来降低动态功耗; (2) 采用多阈值电压单元库来减小漏电功耗. 通过比较给出了设计优化结果.

关键词: 低功耗; 多阈值电压; 门控时钟; 无线传感网络

EEACC: 2570D

中图分类号: TN47

文献标识码: A

文章编号: 0253-4177(2006)S0-0370-04

1 引言

传感器网络的应用越来越广泛, 例如: 通过传感器网络平台来检测室内的温度和湿度的变化, 通过压力传感器来监视矿井下的压力等等. 因为传感器网络是由成千上万个节点组成的, 定期更换其中的电池并不是一件很容易的事, 因此传感器网络中所使用的处理器必须在满足所需要功能要求的同时消耗尽可能少的能量^[1]. 传感器网络是由低功耗处理器、射频电路和传感电路组成, 如图 1 所示. 传感器网络中的低功耗处理器组成如图 2 所示, 它包括计数协处理器、指令和数据存储器以及各种接口, 如 UART SPI 等.

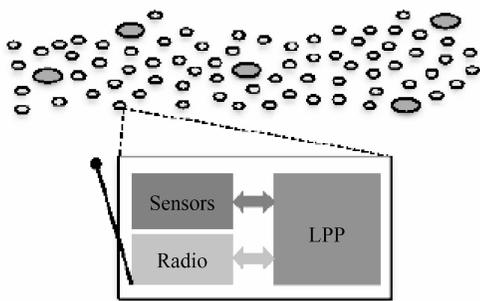


图 1 WSN 的组成

Fig. 1 Organization of wireless sensor network

无线节点自身的局限性使得低功耗设计在无线传感网络中越来越重要. 在 CMOS 数字电路中, 功耗主要由动态功耗和静态功耗组成^[2], 如公式(1)所示. 动态功耗与供电电压 V_{dd} 的平方成线性关系, 如公式(2)所示, 而静态功耗与供电电压 V_{dd} 成比例关

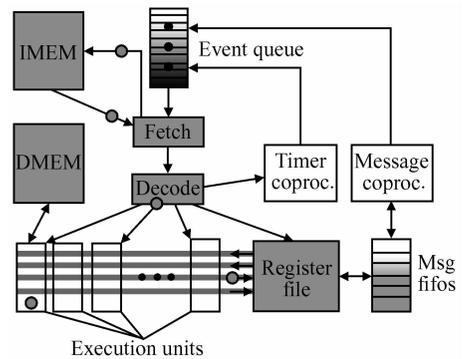


图 2 LPP 的结构

Fig. 2 Architecture of low-power processor

系如公式(3)所示.

$$P_T = P_{dynamic} + P_{leakage} \quad (1)$$

$$P_{dynamic} = KC_{out} V_{dd}^2 f \quad (2)$$

$$P_{leakage} = (I_{diode} + I_{subthreshold}) V_{dd} \quad (3)$$

当动态功耗在整个功耗中占主导地位时, 降低供电电压是行之有效的方法. 但是在降低供电电压的同时, CMOS 晶体管的阈值电压 V_{th} 也要随之降低以满足性能上的要求, 然而降低阈值电压 V_{th} 会使漏电流成指数倍地增长^[3], 这个问题在 90nm 工艺中尤为严重. 亚阈值电流可以近似地以公式(4)表示:

$$I_{leakage} = I_0 e^{(V_{gs} - V_{th})/nV_T} \quad (4)$$

其中 $I_0 = \mu_0 C_{ox} (W/L) V_T^2 e^{1.8}$, C_{ox} 是栅氧电容, W/L 是 MOS 器件的宽长比, μ_0 是零偏置的迁移率; V_{gs} 是栅源电压; V_T 在温度 $T = 300K$ 时为 26mV; n 是亚阈值摆幅系数, 由 $1 + C_d/C_{ox}$ 决定. 从公式(4)可以很明显地看出, 漏电流与电压 $V_{gs} - V_{th}$ 成指数关系. 因此, 降低 V_{th} 会使漏电流指数

[†] 通信作者. Email: zhaogang1213@emails.bjut.edu.cn

2005-10-11 收到, 2006-01-04 定稿

倍的增长.漏电流主要由亚阈值电流和漏结漏电流组成,如图3所示.采用90nm的工艺库来实现低功耗处理器时,该标准单元库中的漏电流比180nm及以上工艺要大得多.要解决漏电流问题,本文采用了多阈值电压工艺库的方法.

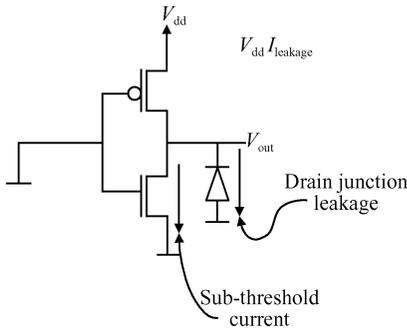


图3 漏电流组成

Fig.3 Composition of leakage current

从图4可看出,时钟网络消耗了大部分的动态功耗(~50%)^[4].既然时钟网络的功耗在处理器功耗中占了这么大的比例,可以通过将时钟网络中不经常转换的时钟关掉来降低功耗,即时钟门控技术.该技术在数据流逻辑中非常有效,因为这里的时钟要求可以在至少一个周期前确定,而在当前周期所控制的触发器难度较大.此外,门控信号必须在半个周期之前送出来关断时钟^[5].

Percent	Component
~50	Clock tree and latches
~10	Random logic
~20	I/Os
~20	Memory blocks

图4 动态功耗的分布

Fig.4 Typical distribution of dynamic power consumption

2 两种降低功耗的方法

2.1 采用多阈值电压单元库降低静态功耗

在130nm工艺以下,漏电功耗是电路设计的主要考虑^[6].漏电功耗并不是由电路状态的变换所产生,它相对于变换时所消耗的动态功耗占很小的比例,但是由于电路大部分时间都处于待机状态,所以它对电源的寿命是一个很大的影响.CMOS电路的漏电功耗主要由经过每个晶体管的漏电流所决定.漏电流有两个主要的来源:(1)亚阈值电流;(2)源和体之间、漏和体之间的反偏二极管漏电流.反偏漏电

流与亚阈值电流相比较小,可以忽略^[7].由于亚阈值电流随着阈值电压的减小将以指数倍增长,所以在低阈值电压电路设计中这将是一个隐患.解决的方法可以在电路的非关键路径上使用高阈值电压的单元库来减小漏电流,而在关键路径上采用低阈值单元库来保证电路的速度.对于无线传感网络中使用的低功耗处理器,在穿越 service_module 模块和 cpuwait_generator 模块的非关键路径上采用高阈值电压单元库,而在CPU的取值-译码-执行-回写关键路径上采用低阈值单元库来保证电路的速度和性能.这样在电路未增加晶体管的前提下,同时保证了电路的高性能和低功耗的要求.

2.2 采用门控时钟来降低动态功耗

如图5所示,在门控时钟前,当同步载入使能信号(EN)为逻辑状态0时,触发器失效,通过多路选择器将输出Q回馈到D;当使能信号(EN)为逻辑1时,触发器有效,将数据传到Q.可以看到在EN=0时,反复的循环载入复位会导致时钟网络反复的功率消耗,解决这个问题可以采用时钟门控的方法.

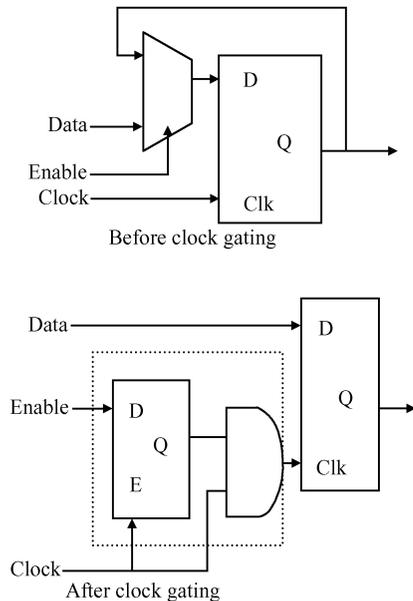


图5 门控时钟

Fig.5 Clock gating

采用时钟门控技术需要满足:输入到触发器的数据能够被简化为一个多路选择器,该选择器位于数据端和触发器的输出之间,那么就可以直接将数据输入端与触发器的数据端直接相连,通过插入一个门控单元(图5),插入门控时钟后,通过控制触发器的时钟信号,就可以消除多个周期对同一个数据反复的复位,从而减小了功率消耗,这对不经常使用

的寄存器可以减小不必要的功耗。

3 结果与讨论

这里使用台积电 90nm 工艺库: tcbn90glvt, tcbn90g 和 tcbn90ghvt, 这三个库提供了该公司的标准库单元. 其中 tcbn90glvt 库是低阈值电压单元库, tcbn90g 是普通单元库, tcbn90ghvt 是高阈值电压单元库. 实验所需要的条件设定如表 1.

表 1 实验条件
Table 1 Condition setting

Corner condition	Cell designator	Process		Voltage	Temperature
		pMOS	nMOS		
Worst	WCCOM	Slow	Slow	$V_{dd} \times 0.9$	125°C

实验 1: 利用 TSMC 的 tcbn90g 库, 而不采用多阈值电压库单元和门控时钟来实现低功耗处理器, 实验结果如表 2 所示, 单元内部功耗 (cell internal power) 是在电路状态转化过程中单元内部所消耗的功率, 还包括 CMOS 中 pMOS 和 nMOS 瞬间导通所消耗的功率 (short-circuit power). 节点转换功耗 (net switching power) 是在电路状态转换时对负载电容充放电所消耗的功率^[8]. 从表 5 可以看出, 低功耗处理器的时钟周期为 50ns, 那么低功耗处理器的动态功耗大约为 $100\mu\text{W}/\text{MHz}$, 但是静态功耗却达到了 1.7108mW. 静态功耗如此之大就是因为供电电压减小到 0.9V, 从而使得单元门的阈值电压相应减小而造成的. 阈值电压减小使得漏电流指数地增长. 漏电功耗为 1.7108mW, 这在设计中是绝对不能被接受的.

表 2 采用多阈值电压单元库前后对比

Table 2 Differences between using multiple threshold voltage cell library and single general library

Design	LPP_CORE	
	tcbn90gwc	tcbn90ghvtwc tcbn90glvtwc
Clock gating	No use	No use
Global operating voltage	0.9V	0.9V
Cell internal power	1.2614mW(58%)	1.0676mW(55%)
Net switching power	923.0274 μW (42%)	873.7874 μW (45%)
Total dynamic power	2.1845mW(100%)	1.9414mW(100%)
Cell leakage power	1.7108mW	137.4808 μW

实验 2: 采用多阈值库单元来降低漏电功耗. 从表 2 的对比可知, 采用多阈值电压库单元的漏电功耗比采用普通库单元的功耗降低了 10 倍多. 从表 5 可知设计中大约 73.7% 的单元采用了高阈值单元库来降低漏电功耗, 剩下的单元采用低阈值电压单元库来保证设计所需的性能.

表 3 采用门控时钟技术前后对比

Table 3 Differences between using clock-gating method and not

Design	LPP_CORE	
	tcbn90gwc	tcbn90ghvtwc tcbn90glvtwc
Clock gating	No use	Use
Global operating voltage	0.9V	0.9V
Cell internal power	1.2614mW(58%)	472.6379 μW (47%)
Net switching power	923.0274 μW (42%)	539.4732 μW (53%)
Total dynamic power	2.1845mW(100%)	1.0121mW(100%)
Cell leakage power	1.7108mW	109.9607 μW

表 4 时钟门控结果报告

Table 4 Clock gating summary

Design	LPP_CORE
Number of gated elements	20
Number of gated registers	8748(25.76%)
Number of ungated registers	25213(74.24%)
Total number of registers	33961

表 5 LPP 设计报告

Table 5 Summary of LPP design

Item	Multi- V_t	
Cycle period/ns	50	
WNS(FF to FF)/ns	Met	
Total area/ μm^2	236356.4 (Combinational)	629038.5 (Noncombinational)
Cell number	9324	
HVT library	6872	73.7%
LVT library	2462	26.4%

实验 3: 设计同时采用了门控时钟技术和多阈值电压单元库技术. 如表 4 所示, 由于采用了门控时钟技术, 处理器的动态功耗从 1.9414mW 减小到 1.0121mW, 也就是说动态功耗减小到大约 $50\mu\text{W}/\text{MHz}$, 设计中大约 8746(25.76%) 个寄存器被门控时钟所使能.

4 结论

在对无线传感网络中的低功耗处理器的设计中, 采用了门控时钟技术和多阈值电压库单元技术来降低功耗. 通过采用上述方法, 动态功耗节约了大约 50%, 漏电功耗降低了 10 倍以上.

参考文献

- [1] Hasan. Energy efficient security protocol for wireless sensor networks. Vehicular Technology Conference, 2003
- [2] Wei L, Chen Z, Roy K, et al. Design and optimization of dual-threshold circuits for low-voltage low-power applications.

- IEEE Trans VLSI Systems, 1999, 7(1):16
- [3] Nose K, Hirabayashi M, Kawaguchi H. V_{th} hopping scheme to reduce subthreshold leakage for low-power processors. IEEE Trans Solid-State Circuits, 2002, 37(3):413
- [4] Low Power Application Note for Encounter RTL Compiler Ultra 4.1.2 and SOC Encounter 4.1.3 Page 4
- [5] Patrick J, Brennan A D. Low power methodology and design techniques for processor design. ACM, 1998
- [6] TSMC 90nm Core Library Application Note. Chapter 6 page 43
- [7] Wei Liqiong. Design and optimization of low voltage high performance dual threshold CMOS circuits. 35th Design Automation Conference
- [8] Power Compiler User Guide 2003.12 page 57

Design and Optimization of Low-Power Processor for Wireless Sensor Network

Zhao Gang[†], Hou Ligang, Luo Rengui, Liu Yuan, and Wu Wuchen

(Beijing University of Technology, Beijing 100022, China)

Abstract: A low power processor (LPP) for wireless sensor network (WSN) is implemented, based on 90nm technology. In order to reduce power consumption, two methods are selected in the design. Clock gating technique is used to reduce the dynamic power dissipations, and multiple threshold voltage library is adopted to depress leakage power consumption. This paper reports the design results with a brief discussion.

Key words: low power; multi- V_{th} ; clock gating; wireless sensor network

EEACC: 2570D

Article ID: 0253-4177(2006)S0-0370-04

[†] Corresponding author. Email: zhaogang1213@emails.bjut.edu.cn

Received 11 October 2005, revised manuscript received 4 January 2006