

# 直接键合 SOI 晶圆的工艺

黄 祯 宏<sup>†</sup> 邱 恒 德

(合晶科技, 桃园 326)

**摘要:** 使用直接键合晶圆工艺制作 SOI 晶圆. 分别讨论了晶圆净度与表面平坦度对于键合晶圆缺陷的影响, 还通过将氧化层生长在不同晶圆上的方法, 比较不同方法对于挠曲度的影响. 结果表明, 晶圆的凹陷造成键合晶圆发生缺陷, 通过红外光可以准确检验出晶圆界面缺陷. 不同的氧化层生长方式明显地改变了键合晶圆的挠曲度.

**关键词:** 键合晶圆; 缺陷; 凹陷

**PACC:** 8170G; 7340T

**中图分类号:** TN219; TN305.1

**文献标识码:** A

**文章编号:** 0253-4177(2006)S0-0392-04

## 1 引言

半导体组件微小化对于硅晶圆的要求越来越严格, 也促进了 SOI 晶圆的工艺. SOI (silicon on insulator) 晶圆, 是在硅晶圆上制作一层氧化层, 再在氧化层上制作一层硅单晶层. 这种结构的好处之一是氧化层提供晶体管与硅基板间电讯的隔离, 可以减少寄生电容 (parasitic capacitance) 效应及降低组件的漏电流损失<sup>[1]</sup>.

近来, 为了适应机电系统 (MEMS) 与智慧型电力组件 (smart power device) 的市场发展, 学界与业界开发并广泛使用了组件层 (device layer 亦名 active layer) 厚度大于  $1\mu\text{m}$  的 SOI 晶圆, 称之为厚组件层的 SOI 晶圆. 组件层较薄的 SOI 晶圆则应用在毫微米级制程以下的集成电路.

一般晶圆制作出的 CMOS 与用 SOI 晶圆制造的 CMOS 比较, SOI 晶圆可以大幅减少制程光照数 (photolithography), 并且得到同样或较好的功能, 同时缩小了组件尺寸, 使得同样大小的晶圆可以做出更多组件, 显著地降低了成本. IBM 更宣称这种结构可以提升晶粒 (chip) 35% 的效能, 并且能降低 2~3 倍的功率消耗, 因此以这种方式制作出的省电组件, 可名符其实的称之为智能型电力组件 (Smart Power IC), 有利于使用在无线与携带式电子产品, 因为较低的功率损耗将使电池的生命周期更长. 因此 SOI 晶圆成为欧美日先进厂商纷纷投入研究的重要技术.

不同组件层厚度的 SOI 晶圆应用在不同的专业领域. 薄 SOI 晶圆主要应用在 CMOS 等 IC 工业. 厚组件层 SOI 晶圆则主要应用在微机电系统、电力

组件、传感器、光电组件, 以及制程技术在  $0.35\mu\text{m}$  以上的 IC.

薄组件层 SOI 晶圆的常见制造方法有 Smart Cut、SIMOX (separation by implant of oxygen)、ELTRANS (epitaxial layer transfer) 以及 Nano-Cleave. 厚组件层 SOI 晶圆则可将磊晶生长在薄组件层上, 藉以获得更厚的组件层. 或者使用直接键合方式 (direct wafer bonding, DWB) 贴合晶圆, 再以刻蚀和机械加工将晶圆薄化.

## 2 实验

本研究的 SOI 制造方式如图 1 所示. 利用本公司生产的芯片作为原料来源, 先高温生长一层氧化层, 再利用键合机 (wafer bonder) 将芯片正确的键合, 并且利用扫描式声波探测机 (scanning acoustic topography, SAT) 或红外线检测是否产生键合缺陷. 而后再于高温中退火, 并且用扫描式声波探测机或红外线方式作芯片扫描, 将可检测是否产生热缺陷. 最后利用轮磨机、抛光机台将厚度控制到需要范围, 再经过清洗、检测后即可制作出 SOI 晶圆.

## 3 结果与讨论

### 3.1 晶圆洁净度对键合影响

两片抛光后如镜面平坦的晶圆, 可以在室温下藉由氢键的力量键合在一起. 而且键合的时候, 如果没有表面微粒、表面凹陷等等的的影响, 则可以获得一片没有键合缺陷 (bonding voids) 的键合晶圆 (bonding wafers).

然而, 一般状况下, 芯片表面会有微粒的残留,

<sup>†</sup> 通信作者. Email: chhuang@waferworks.com

2005-10-13 收到, 2006-01-16 定稿

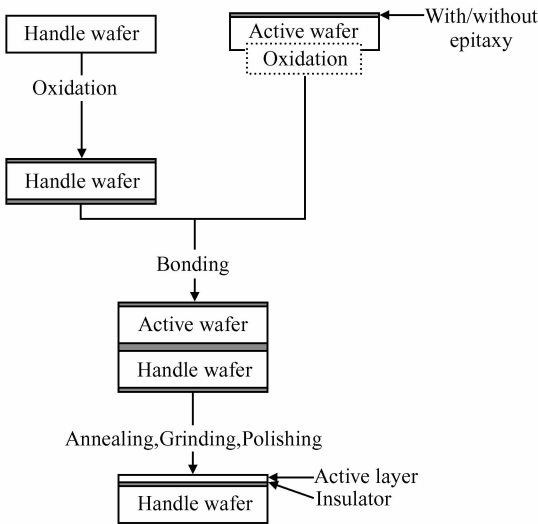


图1 本研究采用的 SOI 制作方式  
Fig.1 Direct bonded SOI wafers process

导致键合的时候上下两片芯片无法完全密合,微粒产生的隆起会造成晶圆局部的变形.如此一来,若将键合晶圆薄化,则缺陷处即会在薄化过程中产生破洞,这片晶圆即无法再使用于后续制程.因此,键合时候的无尘室等级必须有特定的要求,且键合前晶圆必须经过适当的晶圆清洗制程,才能确保晶圆表面的清洁度.而且,当组件层的厚度要求越薄,则键合前能够容许的晶圆表面微粒数量与大小就越小.

以组件层厚度为  $10\mu\text{m}$  为例,我们使用微粒检验机检验晶圆表面的残留微粒,得到对应的微粒位置,而后将芯片键合,再以红外线检测器观察,可以发现微粒尺寸大于一定程度的颗粒会在键合后出现在原来的位置,而更小的微粒则不会出现键合缺陷.因此,键合前的微粒大小必须限制为完全没有大于该尺寸的颗粒.

然而,此微粒大小的要求仅能保证红外线检测影像中看不到键合缺陷,但是如果组件层厚度小于  $10\mu\text{m}$ ,则如果键合界面有更小微粒的存在,组件层仍可能在抛光过程中产生破洞.也就是说,组件层厚度小于  $10\mu\text{m}$  的时候,键合前的晶圆表面清洁度必须限制在更严格的标准.但是此要求已经远超过一般硅晶圆要求的正常规格.所以,在经过一般硅晶圆清洗制程之后,键合前必须使用其他的方法将表面的微粒尽可能的去除.

市面上常见的晶圆键合机考虑到了此清洗造成的键合问题.所以,大部分的机台在键合前会先经过一道清洗程序,可能利用高压水柱、超音波震荡或其他单片式晶圆清洗制程,以确保每片晶圆在键合前都能达到一定的清洁度.晶圆键合机也必须放置在 Class 1 的无尘间(clean booth)内,以确保晶圆键合前的清洁度.

### 3.2 表面平坦度对键合影响

表面的平坦度对于 SOI 晶圆制程也有重要的影响性.所以化学研磨抛光技术(CMP)也决定键合的成败.此技术特点在于适当的控制抛光压力、时间、抛光浆,并选用稳定的机台与抛光载具、抛光垫、清洗设备等,才能精准达到客户要求的水准,避免产生凹陷(dimple)及刮伤等缺陷.凹陷的产生,常常是因为晶圆背面有微粒的存在,抛光时此微粒使所在位置的晶圆表面变形隆起,增加了该区域局部压力,导致该区域晶圆厚度被过度移除而造成了凹陷.键合后如果再经过热处理制程,晶圆会有部分愈合现

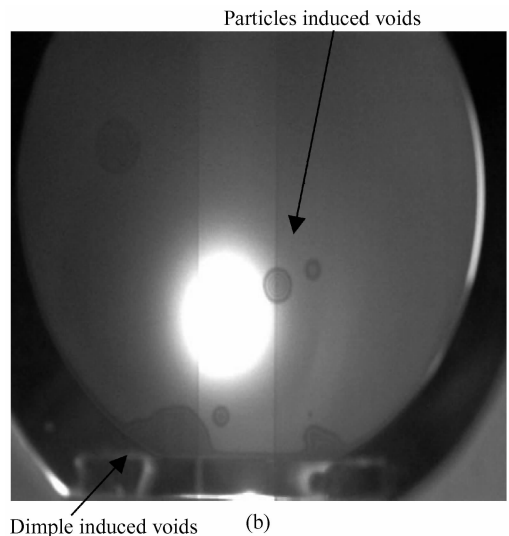
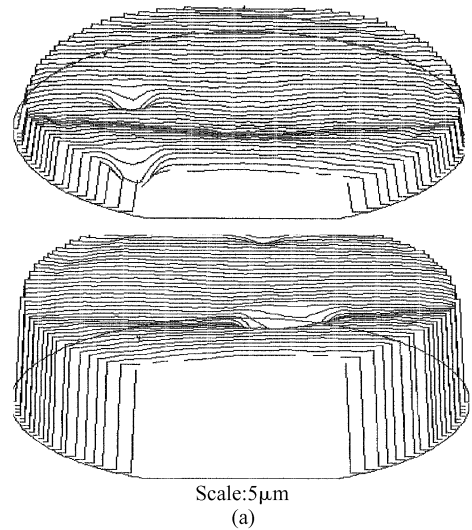


图2 (a)抛光时产生凹陷的芯片;(b)凹陷与微粒造成的键合缺陷  
Fig.2 (a) Wafers with dimples;(b) Voids by dimples and particles

象,也就是说面积小的凹陷会愈合而消失,但是面积大的凹陷则无法完全愈合.由于氧化层厚度以及组件层厚度都是微米(micrometer)等级,所以凹陷很容易造成氧化层与组件层的厚度不均匀,影响后续组件品质.图 2(a)即为抛光时产生凹陷的芯片,如果键合这种晶圆,将会产生如图 2(b)的键合缺陷(void),抛光时组件层厚度会产生不均匀甚至破洞,影响后续的组件制程,因此良好的抛光与清洗技术十分重要.

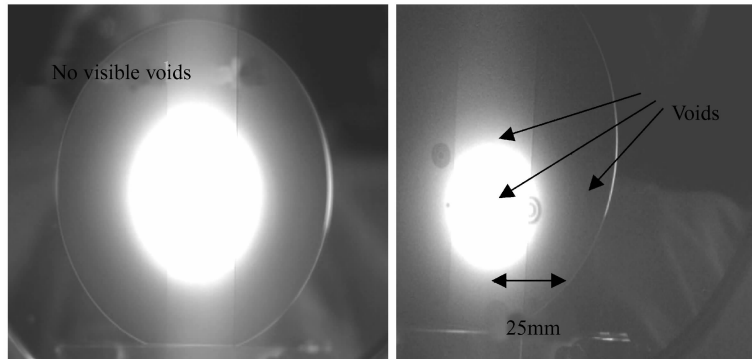


图 3 键合晶圆的红外线影像  
Fig.3 Infrared images of bonded wafers

若使用扫描式声波显微镜(scanning acoustic microscope, SAM),则是利用声波的反射.因为缺陷反射回来的信号强度与其他区域不同,所以能辨别出缺陷的位置与大小.

### 3.4 氧化不同晶圆的影响

以  $625\mu\text{m}$  厚的  $125\text{mm}$  硅晶圆作测试,将氧化层分别长在组件层晶圆或承载层晶圆,如图 4 所示.键合后研磨自  $1250\mu\text{m}$  磨到  $990\mu\text{m}$ ,再自动研磨至  $650\mu\text{m}$ ,最后抛光.过程中纪录每一制程造成的挠曲度变化,如图 5 所示.

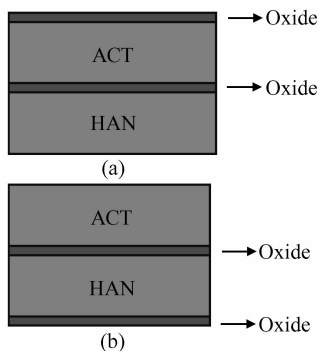


图 4 氧化层分别长在组件层晶圆(a)或承载层晶圆(b)  
Fig.4 (a) Device wafers oxidation; (b) Handle wafers oxidation

### 3.3 键合缺陷检测

晶圆键合后,可以使用红外线方式或声波检测方式观察是否有键合缺陷.若键合晶圆的界面处有微粒、气泡等等的存在,则会产生键合缺陷,也就是造成未键合区域,红外光通过此未键合区域后因为光的路径不同形成相位差,而在 CCD 接收处形成干涉,因而产生牛顿环(Newton ring)的影像.图 3 为无缺陷和有缺陷的晶圆红外线影像.

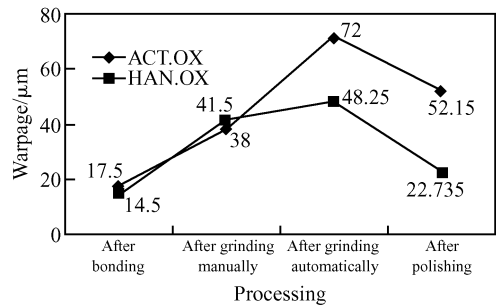


图 5 制程中挠曲度变化曲线  
Fig.5 Warpage variation with process

单面研磨会造成挠曲度大幅度的上升,抛光后则破坏层(damaged layer)消除,能够降低挠曲度.一般将氧化层生长在承载层晶圆,挠曲度比较小,是比较适当的方式.

### 3.5 组件层厚度控制

我们使用 FTIR 量测所制作出的  $150\text{mm}$  SOI 晶圆,测量九个点的厚度变化.两组成品厚度变化如表 1 及表 2 所示.

## 4 结论

经由适当的抛光片制作、氧化制程、键合与退火、

表 1 组件层目标厚度  $10 \pm 1\mu\text{m}$  的测量结果Table 1 Measurement of device layer thickness of  $10 \pm 1\mu\text{m}$ 

Wafer	Center	R/2	R/2	R/2	R/2	4/5R	4/5R	4/5R	4/5R
1	9.978	9.565	9.438	9.329	9.429	8.847	8.878	8.647	8.996
2	11.022	10.7	10.35	10.324	10.62	10.508	9.809	9.625	10.215
3	10.991	10.386	10.196	10.478	10.602	9.747	9.467	9.935	10.442
4	10.082	9.391	9.215	9.625	9.815	8.504	8.425	9.054	9.678
5	9.873	9.679	9.627	9.744	9.673	9.167	9.532	9.732	9.341

表 2 组件层目标厚度  $7 \pm 1\mu\text{m}$  的测量结果Table 2 Measurement of device layer thickness of  $7 \pm 1\mu\text{m}$ 

Wafer	Center	R/2	R/2	R/2	R/2	4/5R	4/5R	4/5R	4/5R
1	7.596	7.659	7.658	7.316	7.309	7.647	7.603	7.114	6.951
2	7.049	6.498	6.778	7.197	7.029	6.233	6.671	7.247	7.021
3	6.642	6.274	6.524	6.655	6.472	6.274	6.446	6.589	6.613
4	7.467	7.713	6.646	6.865	7.981	7.882	6.091	6.564	8.351
5	7.216	7.599	6.442	6.64	7.948	8.044	6.104	6.402	8.572

表面轮磨、刻蚀与抛光制程之后,即可制作出均匀厚度的组件层.过程中必须使用非常干净的晶圆,并且稳定的控制制程参数,才能作出符合各种应用规格的 SOI 晶圆.

### 参考文献

- [1] Tong Q Y, Gosele U. Semiconductor wafer bonding: science and technology. New York: Wiley, 1999

## Direct Bonded SOI Wafers Technology

Huang Chenhong<sup>†</sup> and Chiou Herngde

(Wafer Works Corporation, Taoyuan 326, China)

**Abstract:** This paper reports the direct bonded SOI wafers technology. It discusses how the wafer cleanliness and surface flatness result in the voids of bonded SOI wafers. By growing oxide on different layer of bonded wafers, we demonstrate the warpage variation. Dimples on wafers results in the bonding voids, which can be inspected by infrared light.

**Key words:** bonded wafers; SOI; voids; dimples

**PACC:** 8170G; 7340T

**Article ID:** 0253-4177(2006)S0-0392-04

<sup>†</sup> Corresponding author. Email: chhuang@waferworks.com

Received 13 October 2005, revised manuscript received 16 January 2006