

沟道应力对纳米尺度 MOSFET 器件特性的影响*

吴涛[†] 杜刚 刘晓彦 康晋锋 韩汝琦

(北京大学微电子学系, 北京 100871)

摘要: 利用 ISE DESSIS 器件模拟工具,模拟了纳米尺度的 MOSFETs 器件沟道中存在应力时的器件特性,分析了应力大小和方向发生变化对 MOSFET 的阈值电压、亚阈特性等器件特性的影响。

关键词: MOSFET; 应力; 深亚微米; 形变势垒模型

PACC: 0630M; 6146; 6220H

中图分类号: TN386

文献标识码: A

文章编号: 0253-4177(2006)S0-0415-04

1 引言

利用应力 Si, GeSiGe, 应力 Ge 等高迁移率材料作为 MOSFETs 中的沟道材料,能够在不进一步缩小沟道尺度的条件下获得大的开态电路和速度上的提高^[1~6],这将为解决 CMOS 集成电路在器件不断缩小后遇到的挑战提供可行的技术方案.近年来,高迁移率沟道材料,尤其是在工艺过程中引入的应力,如浅槽隔离、Cap 层的形成等受到了广泛的关注和研究.研究表明, MOSFET 开态电流的大小与应力的方向和大小是密切相关的^[1,7,8],在某些方向,应力反而会引起器件性能的退化.目前已有许多研究从理论和实验上讨论了应力大小与方向对 CMOS 器件开态电流的影响.但是应力对 CMOS 器件的亚阈特性包括阈值电压、亚阈摆幅等的影响却缺少深入、细致的研究.本文采用 ISE 器件模拟软件模拟了在体硅 CMOS 器件中施加不同大小和不同方向应力时阈值电压、亚阈特性等的变化,并从能带结构、载流子浓度分布、载流子漂移速度变化等方面进行了分析.所得的结果为应力引起的高迁移率 MOSFET 的特性研究及优化设计提供了理论基础.

2 器件结构与模拟方法

我们采用 ISE 器件模拟工具模拟了存在应力时的 n 沟和 p 沟 MOSFETs 体硅器件,计算了在器件中引入不同大小和不同方向的应力后器件特性的变化,其中器件结构如图 1 所示,模拟中器件的各项参数如表 1 所示.图 1 中沿 x 方向的米勒指数为

$\langle 1,0,0 \rangle$,沿 y 轴的米勒指数为 $\langle 0,1,0 \rangle$,而 z 轴方向的米勒指数为 $\langle 0,0,1 \rangle$,我们模拟了沟道中存在恒定均匀应力场的情况(图 1 中黑色区域).

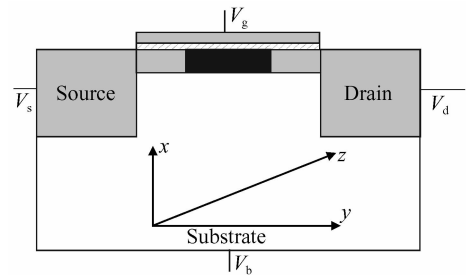


图 1 器件结构

Fig. 1 Structure of the device

表 1 器件参数列表^[9]

Table 1 Parameters of the device^[9]

Parameter	Value
Source/Drain size	30nm × 30nm
EOT	1nm
Gate length	60nm
Extension of source and drain	15nm × 15nm
Substrate doping	$1 \times 10^{18} \text{cm}^{-3}$
Channel doping	$1 \times 10^{16} \text{cm}^{-3}$

为了计算应力对硅能带结构造成的影响,我们采用了形变势垒模型^[10].在形变势垒模型中,假设各方向上的应力之间的影响很小,则由于晶格形变造成的每个能谷能量的变化可以表现为如下形式:

$$\Delta E_{c,i} = \sum_{j=1}^{\sigma} \Xi_{ij} \epsilon_j' \quad (1)$$

其中 Ξ_i 为形变势垒常数; ϵ_j' 表示应力张量在各个方向的分量,它与整个应力张量的方向有关.在 ISE

* 国家自然科学基金资助项目(批准号:90307003)

[†] 通信作者, Email: wutao@ime.pku.edu.cn

2005-12-08 收到, 2005-12-28 定稿

中,ISE 的应力模型并不直接改变载流子的有效质量,其中能带结构的弯曲程度是根据导带与价带的平均值来确定的.在应力作用下,半导体禁带宽度与亲和能的变化可以表示为如下形式:

$$E_g = E_{g0} + \Delta E_c - \Delta E_v \quad (2)$$

$$\chi = \chi_0 - \Delta E_v \quad (3)$$

这里 E_{g0} 与 χ_0 分别表示引入应力前的禁带宽度与亲和能大小.在 ISE 模拟器中,应力表示为一个六维的矢量(xx, yy, zz, yz, xz, xy),在本文中提到的所有应力都是按这种形式表示的.载流子迁移率的变化可以看作是由于各个方向的应力对载流子迁移率影响的总和.

3 结果与讨论

图 2 示出了 nMOS 和 pMOS 在受到 zz 方向、大小为 $(0,0,4\text{GPa},0,0,0)$ 的应力后的转移特性曲线.为了对比,图中同时示出了未加应力时的转移特性曲线.模拟显示,器件在施加应力后,开态电流增加,阈值电压则向绝对值减小的方向发生漂移.

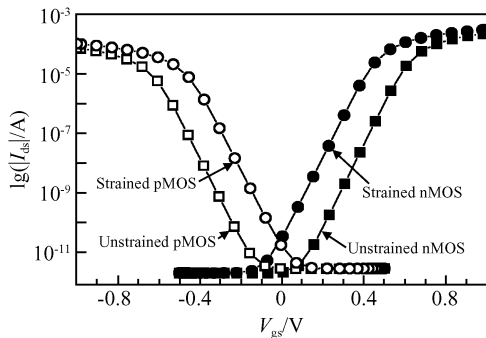


图 2 引入 $(0,0,4\text{GPa},0,0,0)$ 的应力前后,器件的转移特性变化图 $|V_{ds}|=50\text{mV}$

Fig. 2 Simulated I_{ds} - V_{gs} characteristics for the 25nm gate length p and n channel MOSFETs with and without stress in the channel $|V_{ds}|=50\text{mV}$, stress = $(0,0,4\text{GPa},0,0,0)$

图 3 为 nMOS 中沿 z 方向施加大小为 $(0,0,4\text{GPa},0,0,0)$ 的应力后能带结构变化图.在施加应力后,nMOS 器件的 p 型衬底中的价带能级发生明显的偏移,导致禁带宽度缩小了约 0.29eV (缩小比例约为 26%).同时我们也模拟了 pMOS 中沿 z 方向施加大小为 $(0,0,4\text{GPa},0,0,0)$ 的应力后能带结构,pMOS 在受到应力后禁带宽度缩小,但是其能带结构的变化主要发生在导带部分.以上结果说明应力的引入导致禁带宽度发生变化,使得能带在沟道部分不再连续,而且禁带宽度减小.

在沟道中引入应力后,由于能带结构发生了变

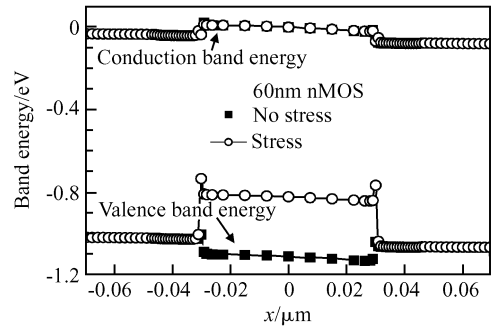


图 3 在 zz 方向施加大小为 $(0,0,4\text{GPa},0,0,0)$ 的应力前后,nMOS 的能带结构变化图 $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$

Fig. 3 Energy band diagram of nMOS with stress in z direction with $(0,0,4\text{GPa},0,0,0)$ of stress at $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$ The energy band structure of nMOS without stress is also plotted for comparison.

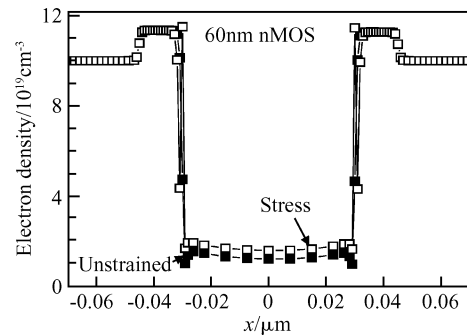


图 4 在引入应力 $(0,0,4\text{GPa},0,0,0)$ 前后,nMOS 的电子浓度沿沟道方向的分布图 $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$

Fig. 4 Electron density distribution along the channel of nMOS with $(0,0,4\text{GPa},0,0,0)$ of stress in z direction at $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$ The electron density distribution of nMOS without stress is also plotted for comparison.

化,载流子浓度分布也相应发生了变化.图 4 为 nMOS 中沿沟道方向载流子浓度在引入应力前后的变化图,模拟结果显示由于应力的引入,沟道部分禁带宽度缩小,因而反型层载流子浓度也有所增加,pMOS 的模拟也显示出类似的结果.

图 5 是沿沟道方向,n 型沟道 MOSFETs 中载流子迁移率的分布图.我们发现沟道边缘的电子虽然都有所增加,但越往沟道中央,载流子迁移率却越低,ISE 的这一模拟结果小于通过实验测试的结果^[7],也小于 25nm MOSFET 中的模拟结果^[11](p 型沟道 MOSFET 中空穴迁移率的模拟结果类似),这一方面是由于器件尺寸过大,载流子迁移率受应力的影响不再明显,另一方面也是由于 ISE 中对应力引入后载流子迁移率的模型还不够精确所致.

同时我们还模拟了同一方向的应力变化时,

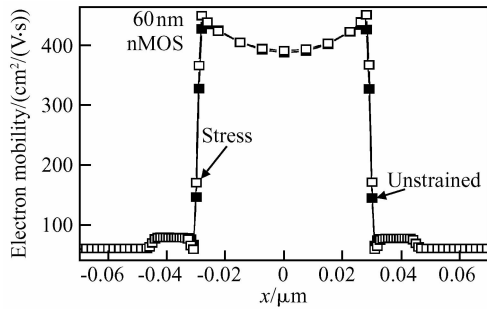


图5 在引入应力(0,0.4GPa,0.0,0)前后,nMOS的电子迁移率沿沟道方向的分布图 $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$

Fig. 5 Electron mobility distribution along the channel with stress in z direction $V_{ds}=50\text{mV}$, $V_{gs}=1\text{V}$

MOSFETs 器件特性随应力的变化. 其中亚阈斜率随应力大小的变化如图 6 所示, 阈值电压的大小随应力大小的变化如图 7 所示, 从模拟结果可以发现, 无论是压应力还是拉应力, 器件阈值电压的绝对值都随应力的增大而变小. 而对亚阈斜率而言, 当应力大小的绝对值处于一个数值范围以内时, 其变化并不明显, 但总体上依然呈增大的趋势.

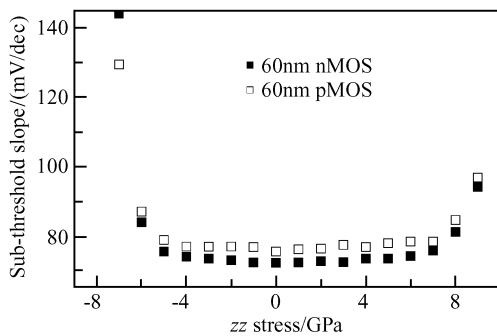


图6 改变沿 zz 方向应力大小后, 器件的亚阈特性变化图
Fig. 6 Sub-threshold slope versus magnitude of stress in z orientation $|V_{ds}|=50\text{mV}$

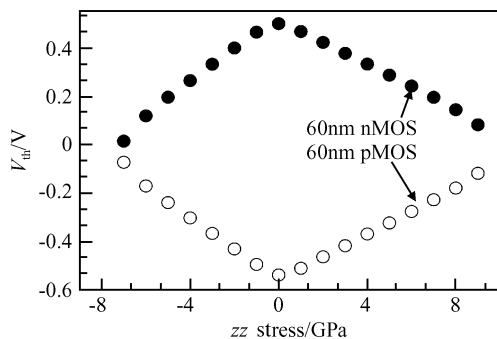


图7 改变沿 zz 方向应力大小后, 器件的阈值电压变化图
Fig. 7 Simulated threshold voltage of the nMOS and pMOS with different magnitudes of the stress along z direction $|V_{ds}|=50\text{mV}$

此外, 我们还模拟了 n 型和 p 型 MOSFETs 中应力方向发生变化时, 器件亚阈特性的变化图. 图 8 为应力方向发生变化时器件亚阈特性的变化图. 模拟结果显示沿 zz 方向的应力能明显改善器件特性, 这一点与实验结果也是吻合的^[7].

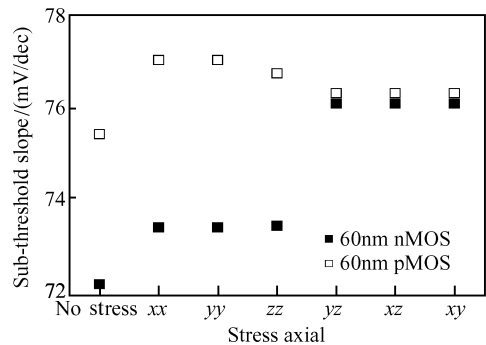


图8 亚阈特性随应力方向的变化图 $|V_{ds}|=50\text{mV}$

Fig. 8 Simulated sub-threshold slope characteristics for the device with different directions of stress

$|V_{ds}|=50\text{mV}$

4 结论

采用 ISE 模拟工具模拟了当在 n 型和 p 型 MOSFETs 器件的沟道中施加应力时, 不同的应力大小以及不同的应力方向对器件特性的影响. 模拟结果说明虽然由于应力的引入会导致载流子迁移率的提高, 但器件的亚阈特性却会变差. 无论是 n 型还是 p 型 MOSFETs 器件, 其亚阈特性均随着应力的加入变差, 应力越大, 亚阈特性越差.

参考文献

- [1] Ge C H, Lin C C, Ko C H, et al. Process-strained Si (PSS) CMOS technology featuring 3D strain engineering. IEDM Tech Dig, 2003: 73
- [2] Scott G, Lutze J, Rubin M, et al. nMOS drive current reduction caused by transistor layout and trench isolation induced stress. IEDM Tech Dig, 1999: 827
- [3] Matsumoto T, Maeda S, Dang H, et al. Novel SOI wafer engineering using low stress and high mobility CMOSFET with <100>-channel for embedded RF/analog applications. IEDM Tech Dig, 2002: 663
- [4] Steegen A, Stucchi M, Lauwers A, et al. Silicide induced pattern density and orientation dependent transconductance in MOS transistors. IEDM Tech Dig, 1999: 497
- [5] Nayfeh H M, Hoyt J L, Antoniadis D A. Investigation of scaling methodology for strained Si n-MOSFETs using a calibrated transport model. IEDM Tech Dig, 2003: 475
- [6] Nayfeh H M, Leitz C W, Fitzgerald E A, et al. Influence of high channel doping on the inversion layer electron mobility in strained silicon n-MOSFETs. IEEE Electron Device Lett, 2003, 24(4): 248
- [7] Ghani T, Armstrong M, Auth C, et al. A 90nm high volume

- manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors. IEDM Tech Dig, 2003;978
- [8] Chan V, Rengarajan R, Rovedo N, et al. High speed 45nm gate length CMOSFETs integrated into a 90nm bulk technology incorporating strain engineering. IEDM Tech Dig, 2003; 77
- [9] ITRS 2004 <http://public.itrs.net/Files/2004ITRS>
- [10] ISE dennis 8.0 manual
- [11] Wu Tao, Liu Xiaoyan, Du Gang, et al. Characteristics of 25nm MOSFETs with mechanical strain in the channel. IEEE ICSICT, 2004; 321

Characteristics of Nanometer MOSFETs with Mechanical Strain in the Channel*

Wu Tao[†], Du Gang, Liu Xiaoyan, Kang Jinfeng, and Han Ruqi

(*Department of Microelectronics, Peking University, Beijing 100871, China*)

Abstract: The characteristics of typical nanometer p- and n-channel strained Si MOSFETs with mechanical stress applied in the channel are simulated by a commercial device simulator ISE. The impacts of the direction and magnitude of the stress on the device performances such as threshold voltage and sub-threshold characteristics are investigated.

Key words: MOSFETs; strain; stress; deformation potential theory

PACC: 0630M; 6146; 6220H

Article ID: 0253-4177(2006)S0-0415-04

* Project supported by the National Natural Science Foundation of China (No. 90307006)

[†] Corresponding author. Email: wutao@ime.pku.edu.cn

Received 8 December 2005, revised manuscript received 28 December 2005

©2006 Chinese Institute of Electronics