

# 应变硅薄膜的厚度对材料迁移率的影响\*

王 琦 王荣华 夏冬梅 郑有焘 韩 平<sup>†</sup> 俞慧强 梅 琴 谢自力  
修向前 朱顺明 顾书林 施 毅 张 荣

(南京大学物理学系 江苏省光电信息功能材料重点实验室, 南京 210093)

**摘要:** 用化学气相沉积方法在 SiC/Si 上外延生长了应变硅薄膜. 扫描电子显微镜方法显示所得样品具有明显的 Si/SiC/Si 三层结构, 喇曼散射光谱和 X 射线衍射测量结果表明外延的 Si 薄膜存在应变. Hall 效应测量证明相比于相同浓度的体 Si 材料应变 Si 薄膜具有较高的霍尔迁移率; 但随着应变硅层厚度的增加, 霍尔迁移率下降, 这应与薄膜中应变减小和失配位错有关.

**关键词:** 应变 Si; SiC; 化学气相沉积; 霍尔迁移率

**PACC:** 6855; 8115; 3320R

**中图分类号:** TN304.1

**文献标识码:** A

**文章编号:** 0253-4177(2007)S0-0130-03

## 1 引言

传统意义上的晶体管的尺寸缩小正面临一些根本性的挑战. 当栅极电介质缩小到很薄时, 在器件上的电压不能和晶体管的尺寸同步地按比例减小, 隧穿电流就变得很重要. 目前提高栅极电介质材料性能的方法主要是减小二氧化硅材料的尺寸和使用高迁移率的应变材质. 应变硅是一种众所周知的能够提高载流子迁移率和增强器件性能的技术<sup>[1~3]</sup>. 相对采用新的高迁移率半导体材料, 如锗或 III-V 族化合物半导体, 在硅中引入应变对 CMOS 器件制造工艺的影响更小, 因而这项利用成熟 Si 工艺的技术成为人们的首选. SiGe 上外延应变 Si 薄膜已经实现了具有应用水平的调制掺杂场效应晶体管和金属-氧化物-半导体场效应晶体管<sup>[4]</sup>.

由于 SiC 的晶格常数比 Si 小, 在 SiC 上同样可以实现应变 Si 薄膜的外延生长. 本文用化学气相沉积(CVD)方法在 SiC/Si(111)上外延生长应变 Si 薄膜, 并研究应变 Si 薄膜的厚度对材料性质的影响.

## 2 实验

用 CVD 方法在 n 型 Si(111) (0.002~0.004  $\Omega \cdot \text{cm}$ ) 衬底上生长 SiC, 继而外延生长应变 Si 薄膜. 生长前衬底经浓硫酸和双氧水(4:1)溶液清洗,

5% HF 溶液(HF:H<sub>2</sub>O)腐蚀, 再用 N<sub>2</sub> 吹干后被放入 CVD 反应腔中. 外延生长中以 SiH<sub>4</sub> 为 Si 源, C<sub>2</sub>H<sub>4</sub> 为 C 源, H<sub>2</sub> 为载气. 外延生长时总压强约为 20Pa, SiC 的生长温度为 1100℃, 生长时间为 60min; Si 薄膜生长温度为 750℃, 生长时间分别为 15, 20, 30 和 60min.

所得样品的结构特征分别用 X 射线衍射(XRD)、喇曼(Raman)散射光谱、扫描电子显微镜(SEM)等方法进行表征, 样品的电学输运参数由霍尔(Hall)效应测量得到.

## 3 结果与讨论

图 1 为外延 Si 薄膜的生长时间为 30min 的样品剖面 SEM 形貌图, 从图中可以看到清晰的 Si/SiC/Si(111)三层结构, 且界面较为平整. 由比例标尺可确定样品中 Si 外延层的厚度为 110nm, 从而得到其生长速率约为 3.7nm/min. 外延 Si 薄膜的生长时间分别为 15, 20 和 60min 的样品的 Si 外延层的厚度分别为 60, 80 和 200nm.

样品的 XRD 谱(见图 2)显示了来自于 Si 薄膜及衬底的 Si(111)衍射峰( $2\theta = 28.39^\circ$ )和 SiC 层的 SiC(111)衍射峰( $2\theta = 35.52^\circ$ ), 除此之外没有其他晶向的衍射峰, 表明所得的外延 Si 薄膜具有良好的单晶取向. 在同测试条件下, 随着外延 Si 薄膜厚度的增加, SiC(111)衍射峰强度减小; 同时与衬底 Si

\* 国家重点基础研究发展规划(批准号:2006CB604900), 国家高技术研究发展规划(批准号:2006AA03A103, 2006AA03A142), 国家自然科学基金(批准号:60421003), 高等学校博士学科点专项科研基金(批准号:20050284004)和单片集成电路与模块国家级重点实验室 2006 年度基金(批准号:9140C1404010605)资助项目

<sup>†</sup> 通信作者. Email: hanping@nju.edu.cn  
2006-11-28 收到

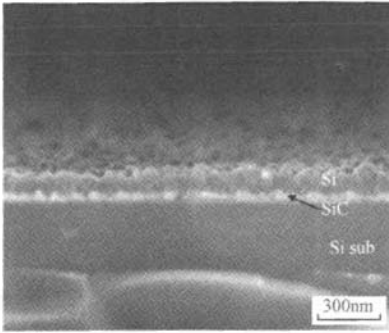


图1 Si/SiC/Si样品的剖面 SEM 形貌图 外延 Si 薄膜的生长时间为 30min.

Fig.1 SEM image of Si/SiC/Si(30min) sample

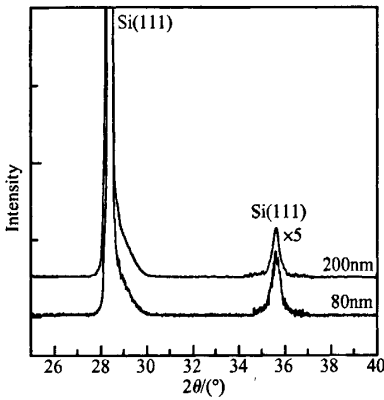


图2 Si/SiC/Si样品的 XRD 谱

Fig.2 XRD spectra of Si/SiC/Si samples

(111)的峰( $2\theta = 28.44^\circ$ )相比外延薄膜中的 Si(111)衍射峰向小角度方向移动,表明薄膜中存在压应变.

图3是不同 Si 外延层的 Si/SiC/Si 样品的 Ra-

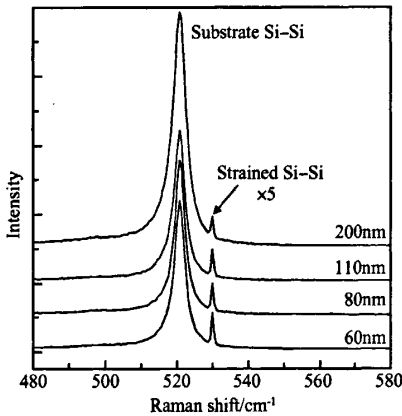


图3 Si/SiC/Si样品的 Raman 散射谱图

Fig.3 Raman spectra of Si/SiC/Si samples

man 测试结果,其中除了来自于衬底  $520.6\text{cm}^{-1}$  处的 Si—Si 峰,在  $529.8\text{cm}^{-1}$  处均有一较弱的峰,这源自应变硅薄膜<sup>[5,6]</sup>.由于 SiC 的晶格常数比 Si 的小,在 Si/外延薄膜中存在压应变,从而导致外延 Si 薄膜的 Si 峰都发生了蓝移<sup>[7]</sup>.外延 Si 薄膜的厚度增加时,应变 Si—Si 键的散射峰强度减弱,表明 Si 薄膜厚度增加时,薄膜晶体质量下降,这应由于失配位错使薄膜中的应变发生部分弛豫所致.

在室温下(300K)对不同厚度的 Si 薄膜样品进行了 Hall 效应测量,结果如图 4 所示.所得应变 Si 薄膜的导电类型为 n 型,载流子浓度约为  $2 \times 10^{22}\text{cm}^{-3}$ ,其霍尔迁移率均明显高于同等掺杂浓度下体 Si 材料的电子迁移率.迁移率与载流子的有效质量和散射机理有关,而有效质量由能带结构决定.SiC 的晶格常数比 Si 小,Si 受到的压应力使得 6 个导带谷中的两个能量降低,即价带态密度减小,相当于减小有效质量,同时减弱带间散射,这显著改善了电子的输运性质,有效提高了迁移率.

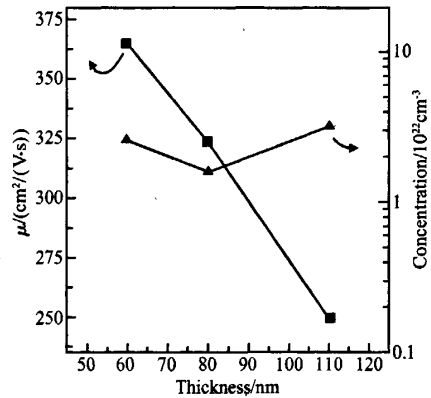


图4 Si/SiC/Si样品的霍尔迁移率和载流子浓度变化图

Fig.4 Hall mobility and concentration of Si/SiC/Si samples

图4还显示,随着外延 Si 薄膜厚度的增加,载流子浓度基本持平,霍尔迁移率有所下降.在衬底应变可以忽略时,应变全部集中在薄膜中,薄膜单位面积的应变能  $E_s$  为:

$$E_s = 2\mu_e [(1 + \nu)/(1 - \nu)] hf^2$$

这里  $\mu_e$  和  $\nu$  分别为外延薄膜的切变模量和泊松比; $f$  为薄膜错配度; $h$  为薄膜厚度.随着薄膜厚度的增加,薄膜中的应变能将线性地增加.当应变能增大到一定值后,会在界面上产生失配位错,减小薄膜的应变能.因此,应变 Si 样品薄膜厚度增加到一定程度时,产生失配位错,即发生部分应变弛豫,这与 Raman 分析结果相符.失配位错导致应变能降低,从而导致载流子迁移率下降.

## 4 结 论

用 CVD 方法在 SiC/Si(111) 上外延生长了不同厚度的 n 型应变 Si 薄膜. 相对于体 Si 材料, 其载流子迁移率得到了显著提高. 不同厚度的薄膜应变程度有差异, 当厚度增加到一定程度时, 发生部分应变弛豫, 引入失配位错, 使薄膜晶体质量下降, 导致载流子迁移率下降.

### 参 考 文 献

- [1] Sugii N, Nakagawa K, Yamaguchi S, et al. Role of Si<sub>1-x</sub>Ge<sub>x</sub> buffer layer on mobility enhancement in a strained-Si n-channel metal-oxide-semiconductor field-effect transistor. *Appl Phys Lett*, 1999, 75: 2948
- [2] Nayak D K, Woo S C S, Park J S, et al. High-mobility p-channel metal-oxide-semiconductor field-effect transistor on strained Si. *Appl Phys Lett*, 1993, 62: 2853
- [3] Tezuka T, Sugiyama N, Takagi S. Fabrication of strained Si on an ultrathin SiGe-on-insulator virtual substrate with a high-Ge fraction. *Appl Phys Lett*, 2001, 79: 1798
- [4] Fitzgerald E A, Xie Y H, Green M L, et al. Totally relaxed Ge<sub>x</sub>Si<sub>1-x</sub> layers with low threading dislocation densities grown on Si substrates. *Appl Phys Lett*, 1991, 59: 811
- [5] Sun L, Han P, Zheng Y D, et al. High hole mobility in p-strained Si grown on relaxed SiC virtual substrate by low-pressure chemical vapor deposition. *Opt Mater*, 2003, 23: 109
- [6] Hayazawa N, Motohashi M, Saito Y, et al. Highly sensitive strain detection in strained silicon by surface-enhanced Raman spectroscopy. *Appl Phys Lett*, 2005, 86: 263114
- [7] Anastassakis E, Pinczuk A, Burstein E. Effect of static uniaxial stress on the Raman spectrum of silicon. *Solid State Commun*, 1970, 8: 133

## Effect of the Thickness of the Strained Si on Hall Mobility\*

Wang Qi, Wang Ronghua, Xia Dongmei, Zheng Youdou, Han Ping<sup>†</sup>, Yu Huiqiang, Mei Qin, Xie Zili, Xiu Xiangqian, Zhu Shunming, Gu Shulin, Shi Yi, and Zhang Rong

(*Jiangsu Provincial Key Laboratory of Advanced Photonic and Electronic Materials, Department of Physics, Nanjing University, Nanjing 210093, China*)

**Abstract:** The strained Si layer is grown on the SiC/Si substrate by a low-pressure chemical vapor deposition (LPCVD) system. The crystal quality of the layer is characterized by X-ray diffraction and Raman spectroscopy. X-ray diffraction and Raman spectra of the sample indicate the Si layer is strained. The SEM image of the sample indicates there is the Si/SiC/Si structure. A high Hall mobility value of 300cm<sup>2</sup>/(V·s) (300K) is obtained in the strained Si layer, which is due to the compressive biaxial strain in this layer.

**Key words:** strained Si; SiC; CVD; Hall mobility

**PACC:** 6855; 8115; 3320R

**Article ID:** 0253-4177(2007)S0-0130-03

\* Project supported by the Major State Basic Research Project of China (No. 2006CB604900), the High Technology Research and Development Project of China (Nos. 2006AA03A103, 2006AA03A142), the National Natural Science Foundation of China (No. 60421003), the Research Fund for the Doctoral Program of Higher Education of China (No. 20050284004), and the National Key Laboratory of Monolithic Integrated Circuits and Modules Foundation of China (No. 9140C1404010605)

<sup>†</sup> Corresponding author. Email: hanping@nju.edu.cn

Received 28 November 2006