

# 基于 MOCVD 的 InP/GaAs 异质外延生长\*

周 静<sup>1,†</sup> 王 琦<sup>2</sup> 熊德平<sup>1</sup> 蔡世伟<sup>1</sup> 黄 辉<sup>1</sup> 黄永清<sup>1</sup> 任晓敏<sup>1</sup>

(1 北京邮电大学光通信与光波技术教育部重点实验室, 北京 100876)

(2 北京邮电大学继续教育学院, 北京 100876)

**摘要:** 使用金属有机物气相沉积方法(MOCVD),在 GaAs 衬底上生长 InP 外延层.先在 GaAs 衬底上生长一层低温 InP 缓冲层,然后再生长 InP 外延层.通过比较不同缓冲层生长条件下的外延层晶体质量,发现在生长温度为 450℃,厚度约 15nm 的缓冲层上外延所得到的晶体质量最理想;此外,外延层厚度的增加对其晶体质量有明显改善作用.实验在优化生长条件的同时,也考虑了热退火等辅助工艺,最后所获得的外延层的双晶 X 射线衍射(DCXRD)的  $\omega/2\theta$  扫描外延峰半高全宽(FWHM)值为 238.5".

**关键词:** 异质外延; InP; GaAs; MOCVD; 低温缓冲层

**PACC:** 6855; 8115H

**中图分类号:** O485

**文献标识码:** A

**文章编号:** 0253-4177(2007)S0-0190-03

## 1 引言

不同材料的晶格常数差异是异质外延中面临的首要难题,缓冲层的使用在很大程度上缓解了这个问题.与国际上报道的其他异质外延方案相比,如:横向外延技术<sup>[1,2]</sup>、柔性衬底技术<sup>[3,4]</sup>和图形衬底技术<sup>[5]</sup>等,缓冲层方案具有制备工艺简单、生长参数易控、直接与现有薄膜生长技术兼容等优点,更具有从实验室研究走向产业化实施的潜能.

本研究使用有机物化学气相沉积(MOCVD)技术在 GaAs 衬底上直接生长 InP 系外延层,通过优化缓冲层生长条件并加以退火等辅助手段最终获得了较好的外延层晶体质量,其中双晶 X 射线衍射(DCXRD)的  $\omega/2\theta$  扫描所得外延峰半高全宽(FWHM)值为 238.5",并且总结出在 450℃ 生长大约 15nm 厚的缓冲层上的外延层晶体质量最好.

## 2 实验

使用 3X2"CCS InP 低压金属有机物化学气相沉积(LP-MOCVD)设备进行 InP/GaAs 的异质外延生长.生长方案选用简单而又高效的两步生长法:第一步,在 400℃ 左右生长 InP 低温缓冲层;第二步,将温度升高到 665℃ 待稳定后生长 InP 外延层或是与 InP 匹配的 InGaAs 层.生长过程中,反应室

基本压力保持在 1.33Pa,石磨舟转速为 100r/min, III 族源(TMIn)和 V 族源(PH<sub>3</sub>)的载气(H<sub>2</sub>)流量均为 6L/min.缓冲层和外延层的输入 V/III 比分别为 346 和 105.在上述基本条件下,InP 的生长速率约为 0.53nm/s (665℃ 生长温度).

使用 Bede 公司的 QC200 双晶 X 射线衍射仪(DCXRD)和 Philips 公司的 PLM-100 荧光光谱仪(PL)分析不同生长条件下的外延层晶体质量.使用 SII SPM-400 原子力显微镜(AFM)分析了缓冲层的表面形貌对外延层的影响.

## 3 结果与讨论

### 3.1 缓冲层生长条件的优化

缓冲层生长温度对其表面形貌有着重要影响.为了获得低温缓冲层在高温生长 InP 外延层后的表面形貌信息,在生长完 InP 低温缓冲层后,继续加热至 665℃ 并稳定 90s 后,再冷却至室温,相当于完成一次退火过程.图 1 给出了不同温度下生长 35s 并退火后缓冲层 AFM 图(扫描范围为 1 $\mu$ m  $\times$  1 $\mu$ m).图 1(a)的生长温度为 350℃,缓冲层表面呈明显的三维岛状结构,这说明该温度下生长缓冲层将不利于外延层获得连续平整的表面.图 1(b)的生长温度为 450℃,缓冲层表面呈现准二维结构,这将有利于获得平整的外延表面.

\* 国家重点基础研究发展计划资助项目(批准号:2003CB314902)

† 通信作者. Email: jingzhou@seu.edu.cn

2006-12-12 收到,2006-12-28 定稿

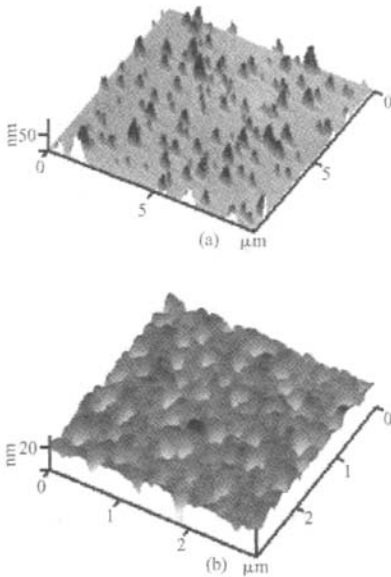


图 1 不同温度生长的缓冲层 AFM 图像 (a) 350°C; (b) 450°C  
 Fig. 1 AFM images of buffer layer with different growth temperatures (a) 350°C; (b) 450°C

为寻找最合适的缓冲层生长温度,表 1 列出了 4 组不同温度下生长相同时间(35s)的缓冲层所对应的外延层测试指标. 综合比较发现,缓冲层生长温度为 450°C 的样品 3 所对应外延层的 XRD 和 PL 的 FWHM 相对较低,且外延层表面均方根粗糙度(RMS)仅 1.577nm,由此说明 450°C 生长的缓冲层对于协调外延层的内部应变起着明显的积极作用,并且能够在此基础上获得良好的外延层表面形貌.

表 1 不同缓冲层生长温度所对应的外延层 DCXRD( $\omega/2\theta$  扫描), PL 谱的 FWHM 和 AFM RMS 测试结果

Table 1 Results of DCXRD ( $\omega/2\theta$  scan), PL and AFM corresponding to the buffers with different growth temperatures

样品编号	缓冲层生长温度/°C	外延层 XRD FWHM/(°)	室温 PL FWHM/meV	外延层 AFM MS/nm
1	350	1334.2	53.29	29.77
2	400	744.4	58.8	12.74
3	450	512.0	55.37	1.577
4	500	541.9	58.27	0.995

### 3.2 外延层生长条件的优化

本节讨论外延层生长厚度及热退火对其晶体质量的影响. 缓冲层生长温度 450°C, 生长 35s. 表 2 列出了生长不同时间的外延层所对应样品的 XRD ( $\omega/2\theta$  扫描)FWHM. 由表 2 可以看出,随着外延层的加厚,其晶体质量得到明显的改善. 样品 8 外延层

生长时间 4500s, 对应厚度约 2.2 $\mu$ m, 其 XRD FWHM 为 4 组样品中最低.

表 2 生长不同时间的外延层所对应样品的 DCXRD( $\omega/2\theta$  扫描)FWHM

Table 2 List of the results of DCXRD ( $\omega/2\theta$  scan) corresponding to the samples with different growth time

样品编号	生长时间/s	生长温度/°C	XRD FWHM/(°)
5	800	665	438.7
6	1000	665	412.3
7	2000	665	386.6
8	4500	665	264.7

考虑到一般的器件结构对其外延层材料的厚度有着严格的限制,为了获得高质量的外延晶体质量,只是单一依靠增加其生长厚度是不现实的. 为此,我们在样品 8 的基础之上,加入了退火工艺;生长完 InP 外延层后,样品在 PH<sub>3</sub> 保护下加热到 750°C 并退火 3min, 最后冷却至室温. 图 2 给出了未退火 (unannealed) 和退火 (annealed) 两个样品的 XRD  $\omega/2\theta$  扫描结果和室温 PL 谱. 图 2(a) 退火后样品 XRD 的 FWHM 从未退火的 264.7° (样品 8) 降低到 238.5°, 并且 XRD 的峰位明显向衬底方向

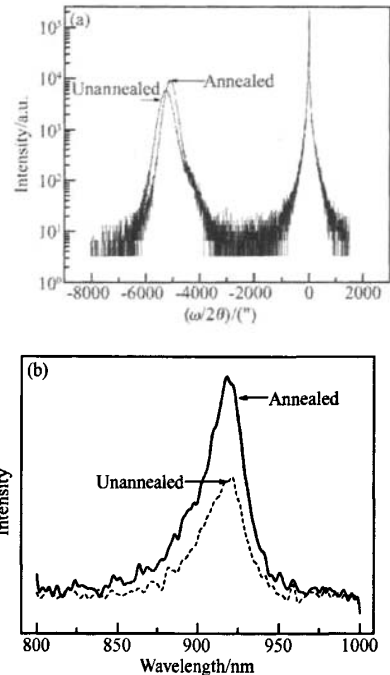


图 2 未退火与退火样品的 XRD  $\omega/2\theta$  扫描曲线(a)和 PL 谱 (b)  
 Fig. 2 Comparisons of unannealed and annealed samples XRD ( $\omega/2\theta$ ) (a) and PL (b)

偏移,表明退火后样品的外延层残余应变下降了. 同样,图 2(b) 退火后的 PL 谱强度较未退火情况有显著提高,且 FWHM 的值也有所降低.

通过上述对低温缓冲层的生长厚度和生长温度对外延层晶体质量的影响,以及退火对进一步提高外延层晶体质量的研究,为 GaAs 衬底上制作高性能的 InP 系材料器件奠定基础.

#### 参考文献

- [ 1 ] Haskell B A, Kim D W, Michell T H, et al. Defect reduction in (1100) m-plane gallium nitride via lateral epitaxial overgrowth by hydride vapor phase epitaxy. *Appl Phys Lett*, 2005,86(11):111917
- [ 2 ] Sun Y T, Radhakrishnan K, Eisenbeiser K, et al. Thermal strain in indium phosphide on silicon obtained by epitaxial lateral overgrowth. *J Appl Phys*, 2003,94:2746
- [ 3 ] Jones A M, Patriarche G, Bourhis E L, et al. Long-wavelength InGaAs quantum wells grown without strain-induced warping on InGaAs compliant membranes above a GaAs substrate. *Appl Phys Lett*, 1999,74(7):1000
- [ 4 ] Patriarche G, Le Bourhis E. Improvement of heteroepitaxial growth by the use of twist-bonded compliant substrate; Role of the surface plasticity. *J Electron Mater*, 2003,32(8):861
- [ 5 ] Bakin A, Andamn G M, Burlin G F, et al. Growth of InP layers on nanometer-scale patterned Si substrates. *Crystal Growth & Design*, 2003,3(1):89
- [ 6 ] Song J S. Suppression of impurity interdiffusion in heteroepitaxy by inserting a low-temperature buffer layer in between the epilayer and the substrate. *J Cryst Growth*, 2004,261(1):159

## Heteroepitaxy of InP/GaAs by MOCVD\*

Zhou Jing<sup>1,†</sup>, Wang Qi<sup>2</sup>, Xiong Deping<sup>1</sup>, Cai Shiwei<sup>1</sup>, Huang Hui<sup>1</sup>,  
Huang Yongqing<sup>1</sup>, and Ren Xiaomin<sup>1</sup>

(1 Key Laboratory of Optical Communication and Lightwave Technologies of the Ministry of Education,  
Beijing University of Posts and Telecommunications, Beijing 100876, China)

(2 Institute of Continuing Education, Beijing University of Posts and Telecommunications, Beijing 100876, China)

**Abstract:** InP is grown on GaAs substrate by metalorganic chemical vapor deposition (MOCVD). The InP low temperature buffer layer is firstly deposited on the substrate followed by the InP epitaxial layer. It is found that the buffer layer's grown at 450°C with 15nm thickness could obtain high quality InP epitaxial layer. Furthermore, with increasing the epitaxial layer's thickness, the sample's crystalline quality is enhanced. Finally, the double crystal X-ray diffraction (DCXRD) measurement with  $\omega/2\theta$  scan shows that the annealed sample can obtain the full width at half maximum (FWHM) of 238.5".

**Key words:** heteroepitaxy; InP; GaAs; MOCVD; low temperature buffer

**PACC:** 6855; 8115H

**Article ID:** 0253-4177(2007)S0-0190-03

\* Project Supported by the State Key Development Program for Basic Research of China (No.2003CB314902)

† Corresponding author. Email: jingzhou@seu.edu.cn

Received 12 December 2006, revised manuscript received 28 December 2006

©2007 Chinese Institute of Electronics