

一种新型半绝缘键合 SOI 结构*

谭开洲^{1,2,†} 冯 建² 刘 勇² 徐世六² 杨漠华¹ 李肇基¹
张正璠² 刘玉奎² 何开全²

(1 电子科技大学微电子与固体电子学院, 成都 610054)
(2 模拟集成电路国家重点实验室, 重庆 400060)

摘要: 报道了一种新型半绝缘键合 SOI 结构, 采用化学气相淀积加外延生长键合过渡多晶硅层的方法实现了该结构. 研制出的这种新结构, 完整率大于 85%, Si-Si 键合界面接触比电阻小于 $5 \times 10^{-4} \Omega \cdot \text{cm}^2$. 这种新结构可以广泛用于高低功率集成电路、高可靠集成电路、MEMS、硅基光电集成等新器件和电路中.

关键词: 硅片键合; 半绝缘 SOI; 多晶过渡层
EEACC: 2530N

中图分类号: TN303 **文献标识码:** A **文章编号:** 0253-4177(2006)10-1828-04

1 引言

硅集成电路技术经过近 50 年的研究, 除了向更小尺寸发展外, 人们还开发了许多新材料和结构, 其中 SOI 是一类较新的材料和结构^[1], 本文的 SOI 是一种新型的 SOI 结构, 它综合了体硅和 SOI 各自的优点, 具有部分绝缘和部分导电的特性. 采用键合方式来形成这种结构, 比较适合于需要厚有源硅层的一些新型器件和电路. 这种结构在大电流垂直导电高低功率集成电路、一些新型的 SOI 高压器件结构和需要厚膜硅层的 MEMS 器件以及一部分新型光集成电路、抗辐射加固等电子器件和电路研究中有一定的应用.

中国科学院上海微系统与信息技术研究所采用 SIM-OX 薄硅方式实现了相似的半绝缘结构, 但采用键合方式来实现此半绝缘结构在国内还没有报道.

2 结构及分析

与一些类似结构比较, 如 Pak, Dilhac, Nakagawa 等人^[2~4]采用的方法都是局部的半绝缘 SOI 结构, 器件有源层质量也不是很好. 本文提出的半绝缘 SOI 结构是一种全局、整圆片范围的结构, 制作更灵活, 应用将更方便和广泛.

图 1 是本文提出的带隔离深槽半绝缘键合 SOI 结构的剖面示意图, 我们将这种通过键合形成的结构称之为 semi-SOI, 以区别于其他形式的 SOI. 图 1

中器件有源层一部分是 Si-Si 直接键合区域(图中导电区), 另一部分是由 SiO₂ 隔离的区域(图中绝缘区).

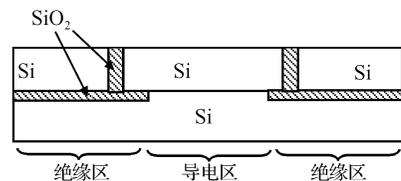


图 1 半绝缘键合 SOI 结构剖面
Fig.1 Structure section of semi-SOI

这里的 semi-SOI 键合是一种具有规则图形的表面不平整硅片键合, 为了解决硅片不平整键合问题, 我们提出了采用键合过渡层的方法. 从加工的方便和结构的需要, 采用多晶或者单晶作为键合过渡层. 颗粒和小尺寸台阶造成的未键合区的大小可以根据键合能与硅片弹性形变能量平衡原理, 参考文献^[5]来进行估算, 并作为对净化度及小尺寸台阶的一种参考评估. 具体的评估参数需要较多的实验来确定, 这里不再详细讨论.

3 制备

实验采用键合前形成垂直隔离深槽来满足单面光刻要求, 并且采用较厚的热二氧化硅作为埋氧化层以适应更广泛的应用. 这两个要求导致了硅片键合前较大的台阶, 据此设计了一种工艺流程:

* 国家微电子预研资助项目(批准号:41308020413)

† 通信作者. Email:tkz123@163.com

2006-03-11 收到, 2006-04-24 定稿

原始硅片 (n 型 $\langle 100 \rangle$, $2 \sim 3 \Omega \cdot \text{cm}$) \rightarrow 氧化 \rightarrow 光刻深槽 \rightarrow 氧化 \rightarrow LPCVD 多晶 \rightarrow 氧化 \rightarrow LPCVD 多晶 \rightarrow 氧化 \rightarrow 光刻导电窗口 \rightarrow 生长键合过渡多晶硅层/单晶硅层 \rightarrow 平整键合过渡多晶硅层/单晶硅层 \rightarrow 与衬底支撑硅片 (n 型 $\langle 100 \rangle$, $0.008 \sim 0.012 \Omega \cdot \text{cm}$) 键合 \rightarrow 研磨减薄有源硅片 \rightarrow 抛光有源硅片层 \rightarrow 氧化 \rightarrow 光刻测试窗口 \rightarrow 注入形成欧姆接触 \rightarrow 溅射 AlSi \rightarrow 光刻 AlSi.

图 2 是主要流程示意图, 其中最关键的工序是键合过渡层的生长和平整, 这是本文所提结构能否实现的关键点.

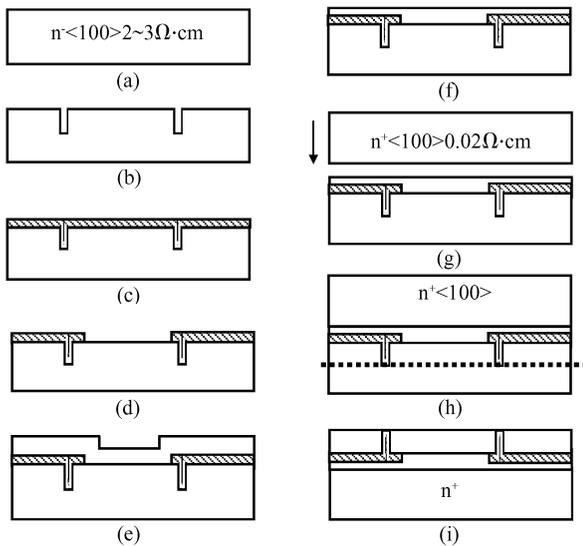


图 2 Semi-SOI 结构制备流程图 (a) 原始硅片; (b) 深槽刻蚀; (c) 深槽填充; (d) 导电窗口; (e) 多晶键合过渡层生长; (f) 过渡层平整; (g) 硅片键合; (h) 有源硅片沿虚线减薄抛光; (i) 最终 semi-SOI 结构

Fig.2 Fabrication process of semi-SOI structure (a) Original wafer; (b) Deep trench etch; (c) Deep trench filling; (d) Conductive window; (e) Polysilicon interim layer; (f) Flatness of interim polysilicon layer; (g) Bonding of wafer; (h) Wafer grind and polish; (i) Final semi-SOI structure

深槽刻蚀和填充后开出导电区窗口, 形成的台阶约为 $4 \mu\text{m}$. 考虑与常规工序兼容性, 在生长键合过渡层上试验了两种方式, 一种直接采用常规外延; 另一种采用 LPCVD 生长晶向取向均匀、颗粒细小的薄多晶硅层作为常规外延的籽晶层, 再用常规外延生长加厚键合多晶过渡层.

图 3(a) 是采用常压外延生长的表面状况, 由于表面包括二氧化硅, 外延只能在二氧化硅上生长为多晶, 从图 3(a) 来看, 常规外延条件生长出的多晶, 虽然生长速率较快, 但是多晶晶粒太大, 并且是 $\langle 111 \rangle$ 晶向取向强烈 (三角形) 的晶粒, 这种粗糙表面以及强烈的晶粒取向很难进行化学机械抛光来获得

平整表面. 图 3(b) 是采用 LPCVD 和外延混合生长方式形成的表面, LPCVD 生长多晶厚度为 $0.5 \mu\text{m}$, 外延生长厚度分别为 10 和 $30 \mu\text{m}$, 外延多晶电阻率为 $0.07 \Omega \cdot \text{cm}$. 可以看到表面较图 3(a) 有了很大的改善. 图 4(a) 是键合前的一个局部剖面图, 从图中可以看到, 埋氧化层上的多晶硅排列比较杂乱, 硅窗口上的多晶受到衬底晶向的影响几乎已经单晶化.

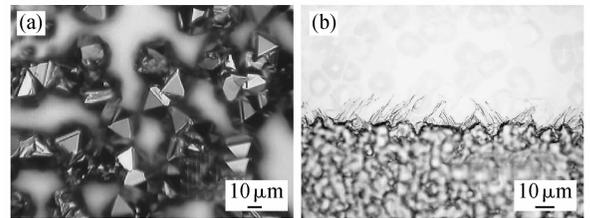


图 3 (a) 直接外延表面; (b) LPCVD + 外延表面
Fig.3 (a) Surface of epitaxy only; (b) LPCVD + epitaxy surface

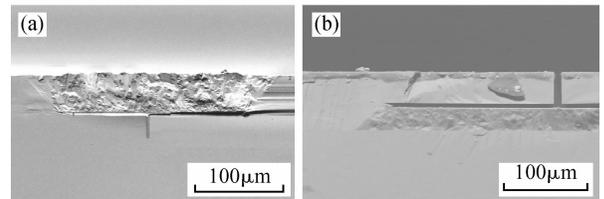


图 4 (a) 键合前剖面; (b) 完成工艺后剖面
Fig.4 (a) Section before bonding; (b) Section after process

这里采用了两种平整方式, 一种采用直接 CMP 方式, CMP 工艺后的过渡层厚度为 $4.5 \pm 0.5 \mu\text{m}$; 另一种采用了研磨平整后再用 CMP 抛光的方式, 平整后过渡层厚度为 $17 \pm 1 \mu\text{m}$ (平整前厚度分别为 10 和 $30 \mu\text{m}$); 试验样品是采用 LPCVD 和外延混合生长的样品.

分别经过 CMP 平整化和精密研磨后再进行 CMP 抛光的样品和低阻衬底支撑硅片, 在 $10 \sim 100$ 级净化条件下进行 RCA 清洗和 HF 处理, 保证硅片表面清洁和较薄的自然氧化层. 在 CL200 型键合机上进行预键合后放入扩散炉进行 1000°C 增强键合, 将完成键合的硅片进行研磨减薄及抛光.

键合前直接采用 CMP 进行平整化的样品未键合上. 图 5(a) 是经过研磨平整再 CMP 抛光的样品键合的样品照片. 图 4(b) 是工艺完成后的剖面.

从图 5(a) 可以看到这个 semi-SOI 硅片在外观上几乎与普通硅片没有区别, 说明键合质量非常好. 图 6(a) 是样品红外透射像, 其中规则的网格图形是由键合面氧化层窗口引起的. 从图 6(a) 样品的红外像看, 样品内部没有未键合区, 从样品外观看, 只有

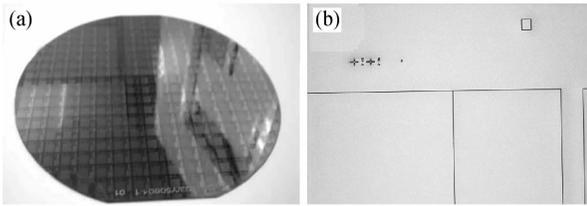


图 5 (a)完成制备的样片表面;(b)高温循环后的表面
Fig.5 (a) Surface after process;(b) Surface after high temperature circle

圆片边缘有部分硅层损失,这种损失小于 3mm,以边缘 3mm 作为不完整区假设,完整的键合面积达到 88.36%.采用 QS312 红外仪测试有源硅层厚度为 $24 \pm 1.4 \mu\text{m}$,通过仔细调整工艺参数,偏差可望达到 $\pm 0.5 \mu\text{m}$.为了验证材料可加工特性,将硅片放入扩散炉模拟高温加热过程,温度达到 1200°C ,4h 氧气环境、8h 氮气环境,总时间达到 12h.经过如此高的温度处理而 semi-SOI 硅片没有出现变形或者脱落、光刻对位困难等可能的问题,说明此 semi-SOI 硅片是可进行常规工艺加工的硅片,是能够实用的硅片.图 5(b)是 semi-SOI 结构经过模拟高温循环后的标记和图形照片,可以看到图形比较完整清晰.

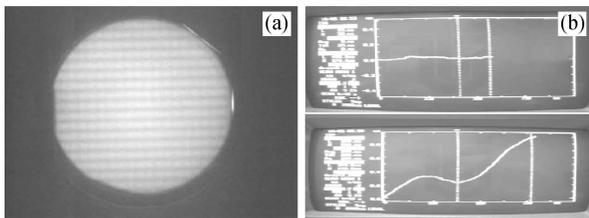


图 6 (a)样片红外像;(b)两种平整方法台阶比较
Fig.6 (a) Sample wafer infrared image;(b) Step comparison of two flattening method

Semi-SOI 结构的另一个重要问题是 Si-Si 直接键合导电区导电能力的问题,采用键合铝引线法进行了测试.用深槽隔离限定了一个 $100 \mu\text{m} \times 100 \mu\text{m}$ 方形区域作为测试标准面积,如果此区域面积太小将带来比较大的随机误差,面积太大则测试引线等寄生串联电阻的影响就较大.

考虑键合有源 n^- 层和支撑 n^+ 材料、管壳、内外连线电阻等的影响,结合欧姆表测试,推算出键合接触电阻平均值小于 $5 \times 10^{-4} \Omega \cdot \text{cm}^2$ (其中管壳、内外连线电阻计算值为 0.01Ω , n^- 硅层和 n^+ 衬底在 $100 \mu\text{m} \times 100 \mu\text{m}$ 面积条件及 24 和 $450 \mu\text{m}$ 厚度条件下计算电阻典型值分别为 60 和 9Ω ,欧姆表多点测试平均值为 73.64Ω ,因此,接触电阻均值为 4.63Ω ,接触比电阻为 $4.63 \times 10^{-4} \Omega \cdot \text{cm}^2$).

4 讨论

直接采用 CMP 平整过渡层方式未能键合上样品,分析其原因主要有两点,一个是材料质地的非均匀性,即界面有无 SiO_2 区域的材料结构有一定差异,另一个是 CMP 的化学腐蚀作用占了主导作用. CMP 的化学作用是一种各向同性作用,而其机械作用有一定方向性,高台阶情况下,两种作用综合结果是不能获得平整表面,从而导致键合失败.而采用精密研磨和 CMP 结合的方式,可利用精密研磨获得大面积的平整度,消除台阶,局部的光洁度通过 CMP 来获得.对这两种方法随机选择了多点进行台阶测试,图 6(b)为 alpha-step 200 型台阶仪典型测试结果的对比,上为研磨加 CMP 方式,下为直接 CMP 方式,典型台阶高度参考值分别为 15 和 655nm , 15nm 已超过台阶仪器精度,只能作为一个参考.这个结果证实了上述分析.

5 结论

报道了一种采用键合技术的新型半绝缘 SOI 结构,提出了采用多晶键合过渡层来满足硅片键合要求的新方法,采用 LPCVD 与外延方式作为过渡层生长方式,混合采用研磨平整和 CMP 抛光方式完成了硅片键合,键合界面接触电阻小于 $5 \times 10^{-4} \Omega \cdot \text{cm}^2$,键合面积大于 85%,这种结构可以承受 1200°C 高温工艺处理,是一种实用化的材料结构.

致谢 感谢中国电子科技集团第 24 所 12 室、16 室、6 室、技质处等单位相关同志给予的支持和帮助.

参考文献

- [1] Hobart K D, Baumgart H, Fujino S, et al. Semiconductor wafer bonding VIII: science, technology, and applications. Proceedings of the International Symposium, Electrochemical Society, Pennington, NJ, 2005
- [2] Pak J H J, Kim B S. Defect analysis of a MELO-Si over SiO_2 strips of different widths and spacings. Journal of the Korean Physical Society, 2000, 37(6): 980
- [3] Dilhac J M, Zerrouk D, Ganibal C. Fabrication of SOI structures by uniform zone melting recrystallization for high voltage ICs. IEEE Proceeding of ISPSD, 1996: 215
- [4] Nakagawa A, Watanabe K, Yamaguchi Y, et al. High voltage, new driver IC technique based on silicon wafer direct-bonding (SDB). Power Electronics Specialists Conference, 1988: 1325
- [5] Stengl R, Mitani K, Lehmann V, et al. Silicon wafer bonding: chemistry, elastomechanics, and manufacturing. IEEE SOS/SOI Technology Conference, 1989: 123

A Novel Semi-Insulation Bonding SOI Structure^{*}

Tan Kaizhou^{1,2,†}, Feng Jian², Liu Yong², Xu Shiliu², Yang Mohua¹,
Li Zhaoji¹, Zhang Zhengfan², Liu Yukui², and He Kaiquan²

(1 *School of Microelectronics and Solid-State Electronics, University of Electronic Science and Technology of China, Chengdu 610054, China*)

(2 *National Laboratory of Analog Integrated Circuits, Chongqing 400060, China*)

Abstract: A novel semi-insulation bonding SOI structure that is realized by LPCVD and introducing an epitaxial interim polysilicon layer is reported. The integrality percentage of this new wafer structure is more than 85%. The contact specific resistance of the Si—Si bonding interface is less than $5 \times 10^{-4} \Omega \cdot \text{cm}^2$. It can be widely applied in high-voltage ICs, high-reliability ICs, MEMS, and OEIC.

Key words: wafer bonding; semi-insulation SOI; interim polysilicon layer

EEACC: 2530N

Article ID: 0253-4177(2006)10-1828-04

^{*} Project supported by the Microelectronic Advanced Research Project(No.41308020413)

[†] Corresponding author. Email:tkz123@163.com

Received 11 March 2006, revised manuscript received 24 April 2006