

新型双 RESURF TG-LDMOS 器件结构*

许晟瑞^{1,†} 郝跃² 冯晖² 李德昌¹ 张进城²

(1 西安电子科技大学技术物理学院, 西安 710071)

(2 西安电子科技大学微电子学院, 西安 710071)

摘要: 研究了采用双 RESURF 技术的槽栅横向双扩散 MOSFET(DRTG-LDMOS). 讨论了双 RESURF 技术对击穿电压的影响, 以及 DRTG-LDMOS 的电容特性. 与传统的槽栅器件结构相比, 新结构在相同的漂移长度和导电电阻下, 击穿电压提高了 30V, 并表现出优异的频率特性.

关键词: LDMOS; RESURF; 仿真; 击穿电压; 电容
EEACC: 2560R

中图分类号: TN386 文献标识码: A 文章编号: 0253-4177(2007)02-0232-05

1 器件结构的提出

由于射频 LDMOS (RF LDMOS) 器件具有高增益、高线性、耐高压、高输出功率^[1]等优点而被广泛应用于基站功率放大器、相控雷达、广播电视等领域. 击穿电压作为功率器件主要的电学参数, 是器件可靠性的一个重要方面. 提高 LDMOS 击穿电压的主要方法有: RESURF 技术、内场线环技术和场板技术^[2,3]. 但同时采用几种技术会增加工艺的难度. 从结构上进行改进来提高击穿电压也是一种重要的方法, Wilson 等人^[4]提出的槽栅 LDMOS (TG-LDMOS) 结构比传统的 LDMOS 结构有着更好的击穿特性和频率特性. 本文在 TG-LDMOS 的基础上, 通过 n 型离子注入, 使电流中心集中在原 LDMOS 的漂移区中心, 在漂移区上方注入 p 型区域, 并采用双 RESURF 技术, 形成了双 RESURF 的 TG-LDMOS (DRTG-LDMOS), 从而使槽栅结构在相同的漂移长度 ($5\mu\text{m}$) 情况下, 击穿电压提高了 30V, 并且依然保持着对传统 LDMOS 的射频参数的优势, 表现出优异的整体电学性能.

图 1 是典型的射频 LDMOS 结构^[5], 这种结构采用横向双扩散技术, 形成 p 型沟道区, 由于沟道长度由两次扩散的横向结长度之差决定, 因而沟道长度可以很容易地控制在 $1\mu\text{m}$ 以下, 可以作为射频功率器件应用. 在沟道和漏极之间有一个漂移区 (漂移区掺杂浓度一般较低), 由于漂移区的存在使器件的击穿电压比普通的 MOS 器件高很多, 源和衬底之间通过 p⁺ 部分相连.

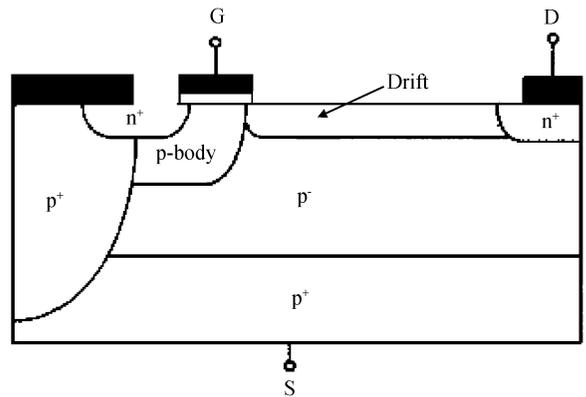


图 1 典型的 LDMOS 结构

Fig.1 Cross section of the conventional LDMOS

图 2 是本文给出的双 RESURF 槽栅 (DRTG-LDMOS) 结构, 这是槽栅结构和双 RESURF 结构

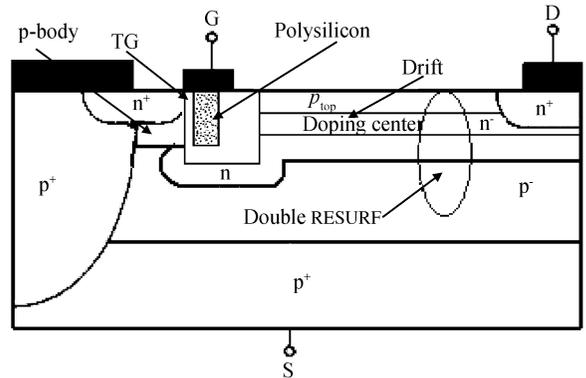


图 2 DRTG-LDMOS 结构

Fig.2 Cross section of the DRTG-LDMOS

* 国防科技预先研究和电子发展基金资助项目

† 通信作者. Email: shengruixidian@126.com

2006-07-06 收到, 2006-10-18 定稿

的结合.槽栅结构把多晶硅制作在器件当中,在多晶硅的两边形成非对称的氧化层,这种结构的击穿电压较传统的 LDMOS 结构有较大提高,同时影响截止频率的栅漏电容也明显下降.我们在原 TG-LDMOS 结构的基础上,把漂移区下移,采用离子注入的方法距器件表面一定深度处形成 n 型漂移区,从而漂移区和上下的 p 型区形成了 pn^-p^- 的双 RESURF 结构^[6,7],通过上下两个 p 型区使漂移区耗尽,在导通电阻一致的情况下大大提高了击穿电压.此时,器件的导电沟道在栅的左侧,并且是纵向流动,减小了器件的尺寸,同时器件依然保持了比传统 LDMOS 优异的射频特性.其中, p_{top} 的深度为 $0.2\mu\text{m}$,漂移区宽度为 $0.4\mu\text{m}$.为了使双 RESURF 结构发挥较大作用,双 RESURF 区的几个部分浓度应该满足:

$$p_{top} > n_{drift} > p_{sub} \quad (1)$$

2 DRTG-LDMOS 器件特性分析与比较

2.1 击穿特性

本文的模拟采用二维器件模拟软件 ISE,主要对器件击穿电压和栅漏电容 C_{gd} 进行相应的模拟和比较.在传统的 LDMOS 器件中,为了得到比较高的击穿电压,通常采用增加漂移区长度的办法.但是,增加漂移区长度将使器件的尺寸增加,器件的电阻也随之增大,从而降低器件的效率和输出功率^[4].我们不增加器件的漂移长度,采用双 RESURF 技术,在漂移区长度和原结相同的情况下,通过选择合适的衬底浓度和漂移深度及漂移浓度,在漂移长度同为 $5\mu\text{m}$ 时实现了击穿电压 130V ,比原 TG-LDMOS 结构在相同的漂移长度时提高了 30V ,是传统 LDMOS 的 2 倍,这是在相同的漂移长度下,采用 RESURF 技术的报道过的 LDMOS 最大击穿电压值.这相当于在传统的 LDMOS 结构中漂移区的长度为 $10\mu\text{m}$ 以上时的击穿电压,从而大大减小了器件的尺寸.在漂移长度相同的情况下 DRTG-LDMOS 结构和传统的 LDMOS 结构及 TG-LDMOS 的击穿电压对比如图 3 所示.

进一步分析得到的击穿电压和漂移区及衬底浓度的关系如图 4 和图 5 所示.在图 4 中,当漂移区浓度较低时击穿电压随浓度增加而增大,这是因为浓度较低时漂移区过早耗尽,击穿发生在漏附近的表面.随着浓度的增加,上述的过早耗尽现象逐步缓解,击穿电压随之升高.当漂移浓度达到 $7 \times 10^{16} \text{cm}^{-3}$ 时,表面电场小于体内电场,击穿电压达到最大值.此时若浓度继续增加,垂直的结电场将迅速增

大且大于体内电场,击穿电压又将下降.

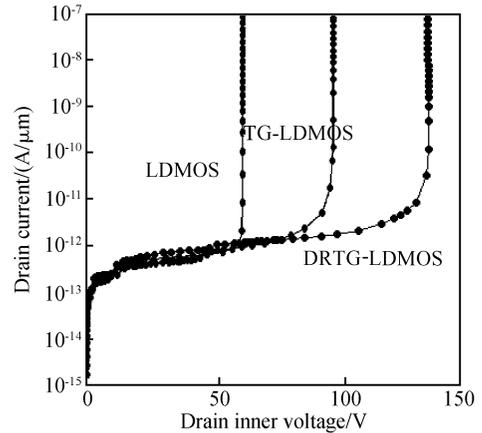


图3 传统 LDMOS 和新结构的击穿电压

Fig.3 Breakdown voltage of conventional LDMOS and new structure

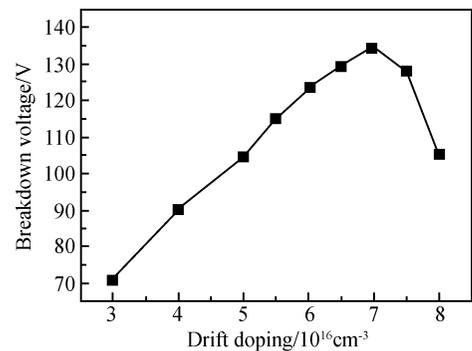


图4 漂移区浓度与击穿电压的关系

Fig.4 Relations of the breakdown voltages to the drift concentration

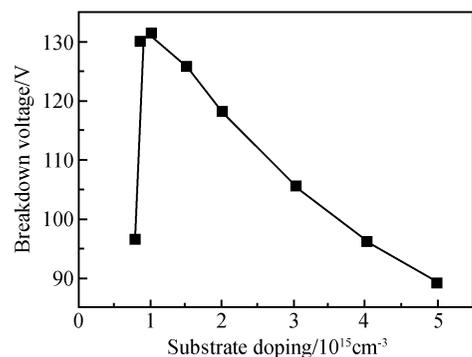


图5 衬底浓度对击穿电压的影响

Fig.5 Relations of the breakdown voltages to the substrate concentration

同样,当漂移区浓度较低时和较高时的电场分布如图 6 和图 7 所示,即击穿点从漏极到栅极的转移.

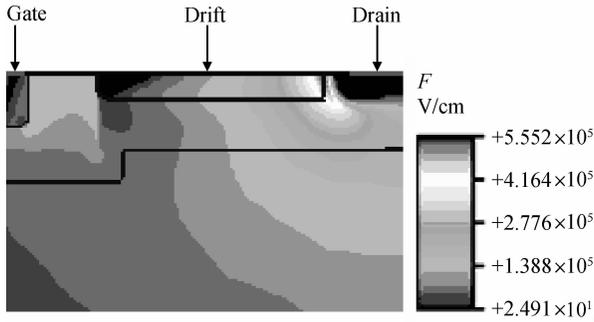


图 6 低漂移浓度时 DRTG-LDMOS 电场分布
Fig.6 Electric field of low drift concentration

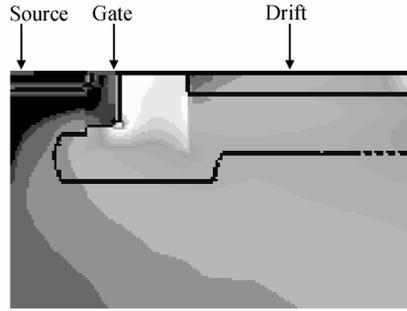


图 7 高漂移浓度时 DRTG-LDMOS 电场分布
Fig.7 Electric field of high drift concentration

2.2 栅的制作工艺流程

在 DRTG-LDMOS 器件的制作过程中,栅的制作是核心部分,对于栅左右两侧非对称的氧化层的形成,我们进行了详细的工艺介绍.由于都是标准工艺,左侧栅氧的厚度为 50nm,F 基干法刻蚀是完全可以达到精度要求的,所以工艺上是完全可行的.栅制备的具体流程如图 8 所示.

2.3 频率特性

栅漏电容 C_{gd} 是反映射频 LDMOS 器件频率特

性的主要电学参数, C_{gd} 随着栅氧化层厚度的增加而减小,即截止频率随着氧化层厚度的增加而增加.然而最大跨导值却随着氧化层的增加而减小,即截止频率和最大跨导是矛盾的量.同时 LDMOS 的电容特性和 MOS 结构有着较大的差异.LDMOS 的电容行为是与栅和漏压相关的,和普通的 MOS 结构不同,电容曲线不是平的,而是在较低漏压时有较大的峰谷,电容特性如图 9 所示.这是和沟道中不均匀的掺杂以及沟道区和漂移区中的耗尽区相互作用引起的^[8].栅漏电容是决定开关速度的重要的量.对于如何减小栅漏电容也是设计者共同关注的问题.

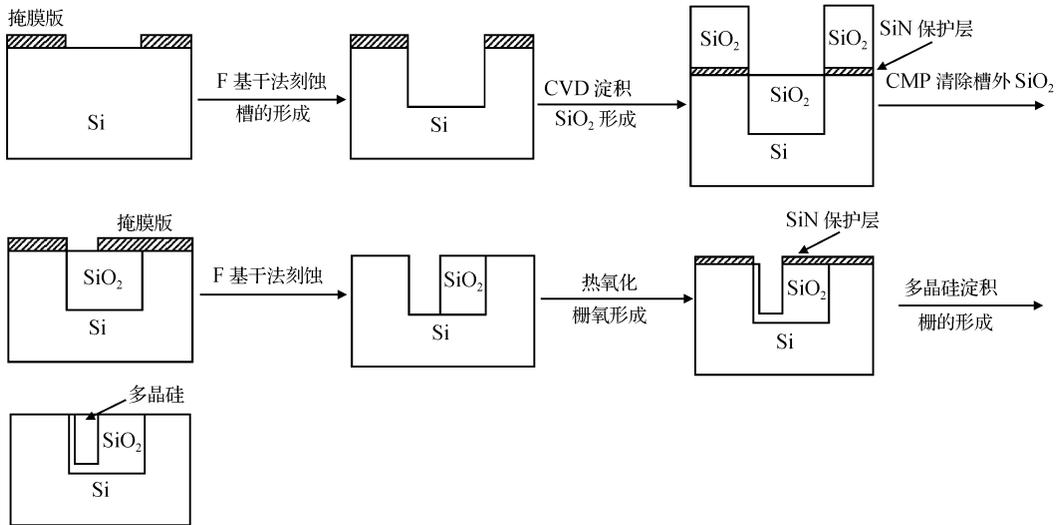


图 8 栅制备的工艺流程
Fig.8 Process flows of manufacture of the trench gate

TG-LDMOS 沟道上的氧化层的厚度和原 LDMOS 的相同,而栅侧面和下面的氧化层较厚,这就解决了截止频率和最大跨导之间的矛盾.漂移区下移以后,双 RESURF 的 TG-LDMOS 的栅漏电容 C_{gd} 依然保持着对传统的 LDMOS 的优势.双 RE-

SURF 的 TG-LDMOS 的栅漏电容和传统的 LDMOS 的对比如图 10 所示,从图中可以看出栅漏电容是随着漏极电压的增加而减小的,双 RESURF 的 TG-LDMOS 的栅漏电容在各个栅压时都比传统 LDMOS 有所下降,即截止频率都比原来有所提高,

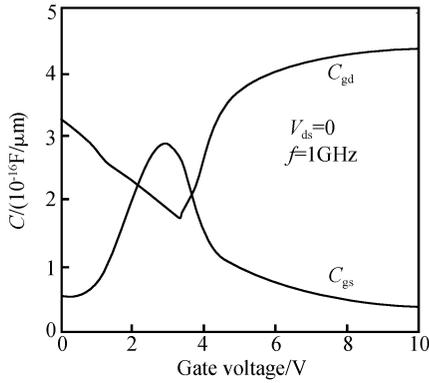


图 9 射频 LDMOS 的独特电容
Fig.9 Special capacitances of RF-LDMOS

在工作电压较低时更为明显. 并且, 栅漏电容随着右侧氧化层的增加而减小, 在栅压为 0V 和 5V 时的栅漏电容随着右侧氧化层厚度的变化如图 11 所示. 所以可以调节右侧的氧化层厚度来提高截止频率, 从而可以对栅漏电容进行精确的控制.

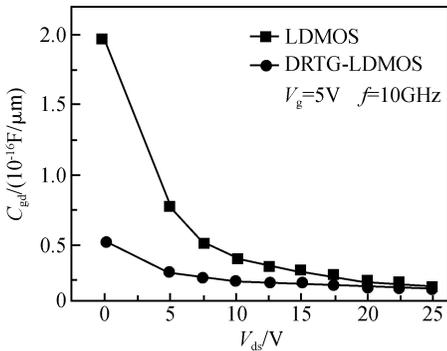


图 10 DRTG-LDMOS 和传统 LDMOS 的 C_{gd}
Fig.10 Gate-drain capacitance of conventional LDMOS and DRTG-LDMOS

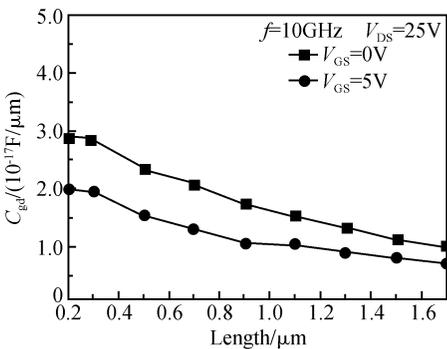


图 11 C_{gd} 和右侧氧化层厚度的关系
Fig.11 Gate-drain capacitance of as a function of the right oxide

在射频 LDMOS 的应用中, 转移特性的线性度是非常重要的, 它可以影响到射频信号的失真, 而双

RESURF 的 TG-LDMOS 的转移特性依然对传统 LDMOS 有着较大的优势, 双 RESURF 的 TG-LDMOS 的转移特性和传统 LDMOS 的比较如图 12 所示, 在相同的漏极电压和阈值电压的情况下, 转移特性的线性度有着较大的提高, 即可以大幅减小射频信号的失真.

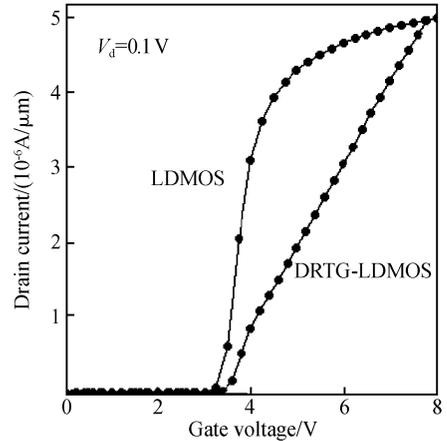


图 12 DRTG-LDMOS 和传统 LDMOS 转移特性
Fig.12 Transfer curves of DRTG-LDMOS and LDMOS

3 结论

本文提出的 DRTG-LDMOS 在相同的漂移长度下, 击穿电压比 TG-LDMOS 提高了 30V, 是传统 LDMOS 击穿电压的 2 倍, 同时保持了对原 LDMOS 的截止频率和线性度的优势. 表现出优异的击穿特性和频率特性, 可以作为射频功率器件应用.

参考文献

- [1] Wood A, Dragon C, Burger W. High performance silicon LDMOS technology for 2GHz RF power amplifier applications. IEDM, 1996; 86
- [2] Nezar A, Salama C A T. Breakdown voltage in LDMOS transistors using internal field rings. IEEE Trans Electron Devices, 1991, 38(7): 1676
- [3] Appels J A, Vaes H M J. High voltage thin layer devices (RESURF devices). IEEE IEDM, 1979; 238
- [4] Wilson P H. A novel trench gate LDMOS for RF applications. Microwave & Telecommunication Technology, 13th International Crimean Conference, 2003; 214
- [5] Cai Jun, Ren Changhong, Balasubramanian N, et al. A novel high performance stacked LDD RF LDMOSFET. IEEE Trans Electron Devices, 2001; 236
- [6] Khemka V, Parthasarathy V, Zhu Ronghua, et al. Novel FRESURF LDMOSFET devices with improved BV_{dss} - R_{dson} . IEEE Electron Devices Lett, 2004, 25(12): 804
- [7] Imam M, Hossain Z, Quddus M, et al. Design and optimization of double-RESURF high-voltage lateral devices for a manufacturable process. IEEE Trans Electron Devices, 2003,

50(7):1697
[8] Frère S F, Rhayem J, Adawe H O, et al. LDMOS capacitance analysis versus gate and drain biases, based on comparison

between TCAD simulations and measurements. Solid-State Device Research Conference, Proceeding of the 31st European, 2001:219

A Novel Double RESURF TG-LDMOS Device Structure *

Xu Shengrui^{1,†}, Hao Yue², Feng Hui², Li Dechang¹, and Zhang Jincheng²

(1 School of Technical Physics, Xidian University, Xi'an 710071, China)

(2 School of Microelectronics, Xidian University, Xi'an 710071, China)

Abstract: We describe a new lateral double diffused trench gate MOSFET with double RESURF technology for the first time. We simulate the breakdown voltage and capacitance, especially the influences of double RESURF technology on the breakdown voltage. Compared with conventional TG-LDMOS, the breakdown voltage of the new structure is improved by 30V with the same length of the drift region and on-state resistance, and the structure shows excellent RF characteristics.

Key words: LDMOS; RESURF; simulation; breakdown voltage; capacitance

EEACC: 2560R

Article ID: 0253-4177(2007)02-0232-05

* Project supported by the Advanced Research Foundation of Science and Technology for National Defense of China

† Corresponding author. Email: shengruixidian@126.com

Received 6 July 2006, revised manuscript received 18 October 2006