

等离子体对 90nm 工艺 MOS 器件的损伤*

唐 瑜[†] 郝 跃 孟志琴 马晓华

(西安电子科技大学宽禁带半导体材料与器件教育部重点实验室, 西安 710071)

摘要: 研究了等离子体工艺对 90nm 铜大马士革工艺器件的损伤. 对 nMOSFET 和 pMOSFET 分别进行了 HCI 和 NBTI 应力实验, 实验结果证明天线比仍是反应等离子体损伤重要的标准且通孔天线结构器件的损伤最大, 并从通孔刻蚀工艺过程中解释其原因.

关键词: 等离子体损伤; 天线结构; 通孔; 铜大马士革工艺

EEACC: 2550F; 2560

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2007)01-0092-04

1 引言

随着 VLSI 芯片尺寸不断减小和速度不断提高, 功耗的问题也越来越严重, 与此同时加工的复杂性迅速增加, 使得等离子工艺已经成为现代大规模 IC 制造工业不可缺少的部分, 更细的线条和更好的图形对加工工艺的严格要求, 使高密度等离子技术的应用越来越重要. 但是, 基于等离子技术的工艺容易在加工过程中在导体层面上集聚电荷. 实验数据表明, 这种电荷的积累会影响薄栅氧化层的性能, 使栅氧的各种电学参数如氧化层中的固定电荷、界面态密度、平带电压及栅漏电流等退化, 严重时甚至会造成器件的失效, 这被称为“天线效应”(也被称为“等离子导致栅氧损伤”)^[1]. 另外对器件的可靠性也产生重大影响, 如 nMOSFET 热载流子可靠性(HC)^[2,3] 和 pMOSFET 负偏压不稳定性(NBTI)^[4~6]. 本文分别对 nMOSFET 和 pMOSFET 施加 HCI 和 NBTI 应力来研究充电损伤对 90nm 工艺可靠性的影响.

2 实验与讨论

实验样品采用 90nm 工艺下栅氧厚度为 1.4nm、宽长比为 $10\mu\text{m}/0.1\mu\text{m}$ 的 MOS 器件, 且采用 7 层金属布线的大马士革 Cu 互连工艺. 所有的实验器件都经过 NO 退火, 并采用 STI 隔离. 为了放大等离子体的充电损伤, 通常在栅电极上引出大面积的导线区, 加强等离子体工艺过程中的电荷收集, 这种结构被形象地称为“天线”. 实验样品采用 2 种

天线结构, 如图 1 所示.

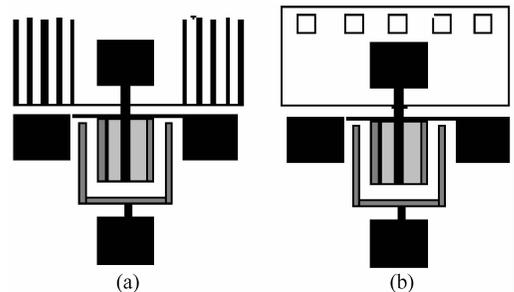


图 1 天线结构示意图 (a)金属天线;(b)通孔天线

Fig.1 Schematic diagram of antenna structure (a) Metal structure; (b) Via structure

金属天线采用 M1 和 M2(即天线加在第 1 和第 2 层金属上)两种结构, 通孔天线则采用 M1/Via1/M2(天线加在第 1 层层间介质上, 以下简称 Via1)结构. 天线比有 2 种, 分别为 400 和 4000, 金属天线的周长分别为 420 和 $4200\mu\text{m}$. 通孔天线上分别有 1600 和 16000 个通孔. 实验仪器采用 HP4156B 半导体参数分析仪.

2.1 天线比对器件的影响

选择 2 种天线比 ($AR = 400 \& 4000$) 的金属天线器件进行研究. 对 nMOSFET 施加 HCI 应力, 应力条件为 $V_d = V_g = 1.8\text{V}$, 应力时间为 1000s.

图 2(a)显示不同天线比的 nMOSFET 的跨导曲线几乎不变, 这是由于灰化工艺后的金属退火工艺几乎完全“消除”了等离子体工艺中产生的陷阱, 使氧化层中悬挂键的数量大大减少, 形成许多 Si—

* 国家自然科学基金资助项目(批准号:60506020)

[†] 通信作者. Email: ytang82@yahoo.com.cn

2006-08-16 收到, 2006-09-07 定稿

H 键,使缺陷变为潜在的,在测量中不会对器件电特性产生影响. 图 2(b)在施加 1000s 的 HCI 应力后,天线比越大的器件跨导越小,且相对于参考器件具有大天线比的器件跨导退化较大. 实验表明 HCI 应力释放了样品中由于退火工艺而转为潜在的界面态,使栅对沟道的控制能力减弱,从而使更大的天线比的器件具有更小的漏电流.

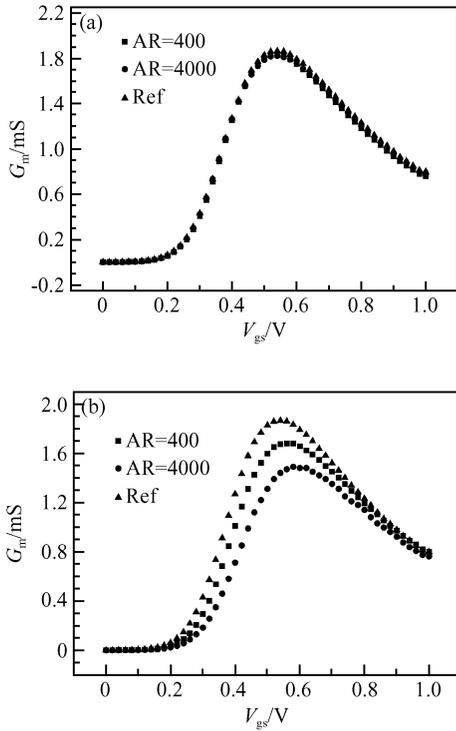


图 2 (a) HCI 应力前不同天线比 nMOSFET 跨导与栅压的曲线;(b) HCI 应力后不同天线比 nMOSFET 跨导与栅压的曲线

Fig. 2 (a) g_m - V_{gs} curve for different antenna ratio devices before HCI stress; (b) g_m - V_{gs} curve for different antenna ratio devices after HCI stress

图 3 是饱和漏电流退化率与应力时间的关系. 图中显示更大天线比的器件漏电流的退化更为严重. 由于这些潜在的陷阱,化学键变得更弱,并且影响了周围的晶格结构,使周围的化学键也受到影响,使晶格结构不再紧密,容易受到外加应力的影响^[7]. 在施加了 HCI 应力后,由于这些化学键更加脆弱,容易被高能电子打破,陷阱重新被激活. 在工艺中,具有更大的天线比的器件,栅氧化层电子陷阱和界面态产生也就更多,在 HCI 应力过程中电子陷入其中,减小了氧化层电场,从而影响了漏电流的变化,使得天线比越大的器件漏电流退化越严重. 也就是说,较大的栅天线会收集更多的等离子体电流,造成更多的陷阱.

从以上讨论可以得出,在 90nm 工艺中天线比仍是衡量等离子体损伤的重要标准,所以在电路设

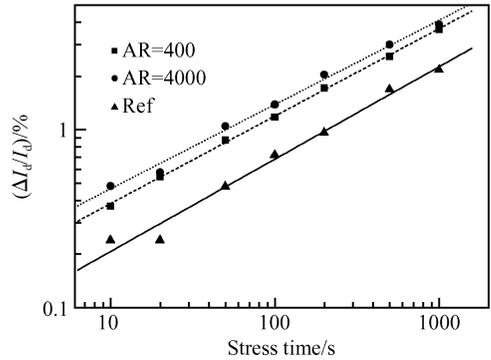


图 3 对不同天线比 nMOSFET 施加 1000s HCI 应力时的 I_d 退化

Fig. 3 Degradation in I_d versus stress time for different antenna ratio nMOSFETs in HCI stress

计中必须考虑“天线效应”对电路可靠性的影响. 目前在实际设计中,一般阈值天线比小于 400,可采用“跳线法”和“添加反偏二极管”来消除天线效应^[8].

2.2 不同天线层对器件的影响

选取 M1, M2 和 Via1 天线的器件进行研究,天线比均为 4000. 同样对 nMOSFET 施加 1000s 的 HCI 应力,应力条件为 $V_g = V_d = 1.8V$,应力时间为 1000s. 另外对 pMOSFET 施加 NBTI 应力,应力条件为 $V_g = -1.8V$,其余电极接地,应力时间为 5000s,实验温度为 $120^\circ C$.

图 4 是施加 1000s HCI 应力之后不同天线层 nMOSFET 最大跨导退化图. 从图中看出,退化最大

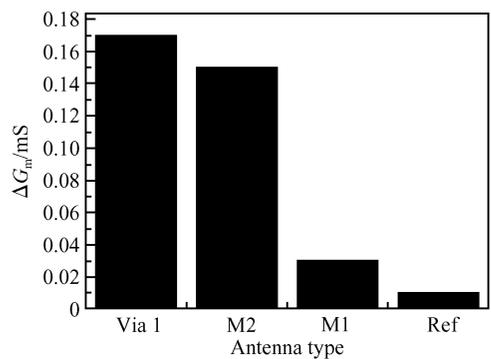


图 4 HCI 应力后不同天线层 nMOSFET 跨导退化

Fig. 4 Degradation in g_m for different antenna type nMOSFETs after HCI stress

的是 Via1 天线结构的器件,其跨导退化了 0.17mS,而参考器件跨导退化只有 0.01mS. 图 5 是不同天线层器件饱和漏电流退化率与应力时间关系图,同样说明 Via1 天线器件的退化最为严重. 对 pMOSFET 施加 NBTI 应力后,不同器件 V_{th} 和饱

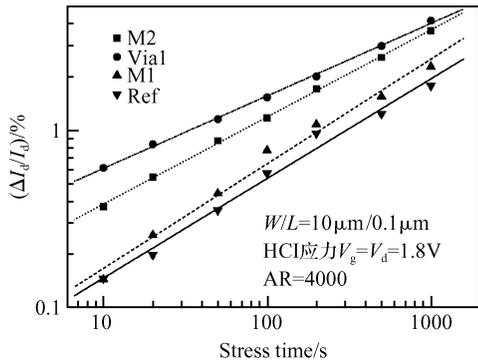


图 5 不同天线层 nMOSFET 漏电流退化与应力时间的关系
Fig. 5 Degradation in I_{dsat} versus stress time for different antenna type nMOSFETs in HCl stress

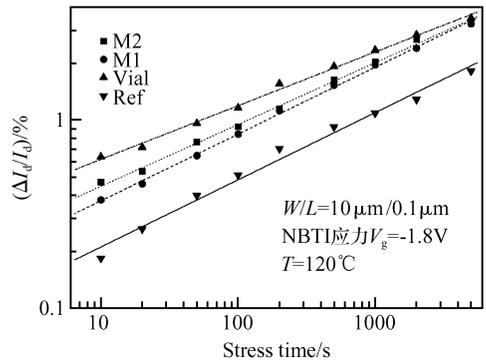


图 7 不同天线层 pMOSFET 饱和漏电流随 NBTI 应力时间的退化
Fig. 7 Degradation in I_{dsat} versus stress time for different antenna type pMOSFETs in NBTI stress

和漏电流 I_{dsat} 退化分别如图 6,7 所示. 所有具有天线的器件的退化都比参考器件大, 这是因为等离子

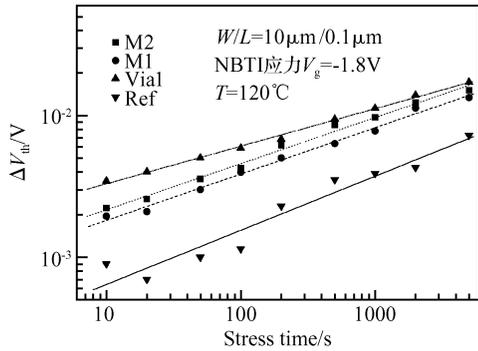


图 6 不同天线层 pMOSFET 在 NBTI 应力下 V_{th} 退化
Fig. 6 Degradation in V_{th} versus stress time for different antenna type pMOSFETs in NBTI stress

体工艺过程中的充电损伤使得具有天线的器件产生更多的界面态, 退火使得缺陷变为潜在的, 形成很多 Si-H 键, 在界面处氢的浓度大大增加. 施加 NBTI 应力后充电损伤的器件退化也就更大. 图中还显示 Vial 天线器件退化最大, 所以说明 Vial 器件充电损伤更为严重.

这说明在 Cu/low-k 大马士革工艺中通孔天线较金属天线对器件的损伤更为严重, 而在 Al 布线工艺中等离子体损伤主要发生在金属刻蚀工艺中^[9].

铜布线大马士革工艺主要包括以下几个工艺步骤:

(1) 在前层的互连层平面上淀积一层薄的刻蚀停止层和厚的互连介质(绝缘)层材料 (black diamond), 如图 8(a) 所示;

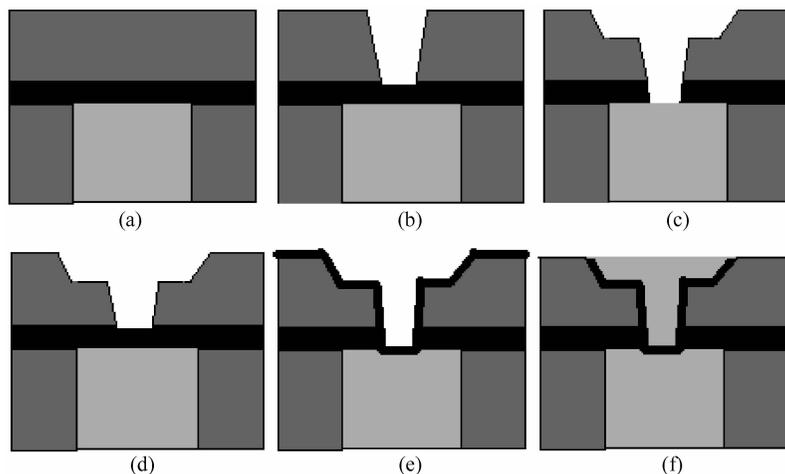


图 8 Cu/low-k 大马士革工艺流程示意图 (a) 淀积刻蚀停止层和 low-k 介质; (b) 刻蚀通孔; (c) 刻蚀引线沟槽; (d) 去掉刻蚀停止层; (e) 溅射势垒和晶籽层; (f) 填充 Cu 和 CMP
Fig. 8 Schematic of the Damascene process flow for copper/low-k (a) Etch and low-k deposit; (b) Via etch; (c) Trench etch; (d) Etch stop barrier open; (e) Barrier/seed deposit; (f) Cu plating and CMP

(2)以光刻胶作为掩膜刻蚀通孔,由于刻蚀停止层的高刻蚀选择性,通孔刻蚀过程将在停止层自动停止,如图 8(b)所示;

(3)以光刻胶作为掩膜,刻蚀引线沟槽,如图 8(c)所示;

(4)除去刻蚀停止层,如图 8(d)所示;

(5)溅射淀积金属势垒(阻挡)层和 Cu 的籽晶层,在溅射淀积金属势垒层和 Cu 的籽晶层之前,必须有效清洁介质通孔、沟槽和表面的刻蚀残留物(主要是 Cu 离子),如图 8(e)所示;

(6)利用电镀等工艺进行填充淀积直至通孔和沟槽中填满 Cu 为止,利用 CMP 去除沟槽和通孔之外的 Cu,再进行有效清洁后淀积介质势垒层材料,然后开始下一互连层的制备,如图 8(f)所示。

从等离子体损伤的角度来看,只要是导体直接暴露在等离子体工艺下,就会对器件造成损伤.对于通孔刻蚀工艺而言,产生损伤有 3 个工艺步骤:(a)刻蚀阻挡层的淀积,采用等离子体增强化学气相淀积(PECVD)工艺;(b)去掉刻蚀阻挡层;(c)淀积金属势垒(阻挡)层,采用射频高离子化的等离子体.由于等离子体的均匀性难以保证,使得暴露的导体表面在工艺过程中积聚了大量的电荷,电荷积累会对栅氧产生损伤.步骤(a)产生的损伤由金属天线面积决定,而(b)和(c)产生的损伤都是由通孔天线面积来决定.所以在 Cu/low- k 大马士革工艺中通孔刻蚀是产生等离子体损伤的主要原因,必须通过严格控制通孔天线比来防止器件的失效.

3 结论

通过对 90nm Cu 大马士革工艺器件的研究,发

现天线比仍是反应等离子体损伤的重要原因,因此在电路设计中要严格控制天线比.另外还发现与金属天线相比通孔天线造成的损伤更大,所以在通孔刻蚀的工艺中必须考虑充电损伤的影响,改进工艺步骤。

参考文献

- [1] Fang S, Mc Vittie J. Thin-oxide damage from gate charging during plasma processing. *IEEE Electron Device Lett.*, 1992, 13(5):288
- [2] Li Xiaoyu, Brozek T, Aum P, et al. Degraded CMOS hot carrier life time-role of plasma etching induced charging damage and edge damage. *IRPS*, 1995:260
- [3] Rangan S, Krishnan S, Amerasekara A, et al. A model for channel hot carrier reliability degradation due to plasma damage in MOS devices. *IRPS*, 1999:370
- [4] Matsunaga N, Yoshinari H, Shibata H. NBTI analysis of antenna pMOSFET with thermally recovered plasma-induced damage. *P2ID*, 2002:142
- [5] Tan S S, Chen T, Ang C, et al. Negative-bias-temperature-instability (NBTI) for p^+ -gate pMOSFET with ultra-thin plasma-nitrided gate dielectrics. *P2ID*, 2002:146
- [6] Krishnan A T, Reddy V, Krishnan S. Impact of charging damage on negative bias temperature instability. *IEDM Technical Digest*, 2001:39.3.1
- [7] Chen C F. A characterization model for constant current stressed boltage-time characteristics of thin thermal oxides grown on silicon substrate. *J Appl Phys.* 1986, 60(11):3926
- [8] Yang Xu, Huang Lingyi, Ye Qing, et al. Solution of process antenna effect in deep-submicron design. *Chinese Journal of Semiconductors*, 2004, 25(7): 879 (in Chinese) [杨旭, 黄令仪, 叶青, 等. 深亚微米设计中天线效应的消除. *半导体学报*, 2004, 25(7):879]
- [9] Shone F, Wu K, Shaw J. Gate oxide charging and its elimination for metal antenna capacitor and transistor in VLSI CMOS double layer metal technology. *Symposium on VLSI Technology*, 1989:73

Plasma-Induced Damage on 90nm-Technology MOSFETs*

Tang Yu[†], Hao Yue, Meng Zhiqin, and Ma Xiaohua

(Key Laboratory of the Ministry of Education for Wide Band-Gap Semiconductor Materials and Devices, Xidian University, Xi'an 710071, China)

Abstract: Plasma-induced damage on 90nm Cu dual Damascene technology devices is investigated. Experiments on the hot carrier stress for nMOSFETs and NBTI stress for pMOSFETs are conducted. The antenna ratio is still a standard for detecting plasma-induced damage. The via structure shows more plasma damage than other metal structures. This is explained by the via first dual Damascene process.

Key words: plasma-induced damage; antenna structure; via; Cu dual Damascene technology

EEACC: 2550F; 2560

Article ID: 0253-4177(2007)01-0092-04

* Project supported by the National Natural Science Foundation of China (No. 60506020)

[†] Corresponding author. Email: ytang82@yahoo.com.cn

Received 16 August 2006, revised manuscript received 7 September 2006