

一种新型的低功耗 SEU 加固存储单元

刘必慰[†] 陈书明 梁 斌

(国防科学技术大学计算机学院, 长沙 410073)

摘要: 提出了一种新的 SEU 加固单元, 该单元在保持 Whitaker 单元基本结构的基础上增加 4 个晶体管以消除电平退化. SPICE 模拟结果表明该单元读写功能正确, 静态电流较 Whitaker 单元下降了 4 个数量级, 写入速度和其他单元相当. 通过 DESSIS 和 SPICE 混合模拟表明, 该单元在 LET 为 $94\text{MeV}/(\text{mg} \cdot \text{cm}^2)$ 的 Au 离子撞击下没有发生翻转.

关键词: 单粒子翻转; 设计加固; 存储单元

PACC: 7340Q

中图分类号: TN432

文献标识码: A

文章编号: 0253-4177(2007)05-0755-04

1 简介

单粒子翻转(single event upset, SEU)是辐射环境下集成电路最常见的可靠性问题之一. SEU 会导致存储单元中的数据损坏, 因此辐射环境下使用的存储电路都必须针对 SEU 加固. 目前常见的加固手段有 SOI 工艺加固, 电阻加固和设计加固. SOI 工艺可以有效地减小重离子轨迹上的电荷收集, 达到加固的目的. 但是 SOI 工艺成本高, 集成度通常落后商用工艺 2~3 代. 电阻加固可以利用普通的商用工艺, 但是需要增加一层专门的掩模层来制作多晶硅电阻; 更重要的是, 电阻加固会明显地降低存储单元的写入速度. 相比而言, 设计加固的方法有很多优点: 可以使用商用 CMOS 工艺线, 降低成本; 可以随着工艺尺寸缩减; 并且存储单元有较快的读写速度.

设计加固的基本思想是引入冗余存储节点, 在一个节点翻转时可以通过反馈从其他节点恢复该节点的电压. 其关键在于既要引入反馈机制, 又要避免敏感节点的翻转传播到整个单元. 此外, 在 SEU 加固单元设计时还需要考虑以下指标: (1) 使用的晶体管数要尽可能少; (2) 静态功耗尽可能小; (3) 翻转恢复时间尽可能短; (4) 读写速度尽可能快.

2 前人的工作

在过去 20 年中, 人们提出了多种 SEU 加固的存储单元. 图 1(a)所示是 Rockett 在 1988 年提出的 SEU 加固存储单元^[1], 采用 $1\mu\text{m}$ 工艺在 $25\text{MeV}/(\text{mg} \cdot \text{cm}^2)$ 下没有发现翻转. 图 1(b)是

Whitaker 等人在 1991 年提出的单元^[2], 重离子实验表明, 其 LET_{th} 达到 $120\text{MeV}/(\text{mg} \cdot \text{cm}^2)$ ^[3]. 图 1(c)是 Liu 等人在 1992 年提出的单元^[4], 重离子实验表明其 LET_{th} 达到 $39\text{MeV}/(\text{mg} \cdot \text{cm}^2)$ ^[3]. 1994 年, Bessot 提出了图 1(d)所示的称之为 HIT (heavy ion tolerant) 的单元^[5], 实验表明这种电路的翻转截面远小于普通的 SRAM, 但是其临界 LET 仅达到 $15\text{MeV}/(\text{mg} \cdot \text{cm}^2)$, Velazco 等人^[6]的实验也表明 HIT 单元在较低的能量入射下就发生了翻转. 1994 年, Velazco 等人提出了图 1(e)所示的 HIT2 单元^[7]. 2005 年, Haddad 等人提出了如图 1(f)的存储单元^[8], 但遗憾的是在 $4\text{MeV}/(\text{mg} \cdot \text{cm}^2)$ 下就出现了翻转.

对比以上几种 SRAM, 可以发现它们都使用了图 2 或类似的结构来稳定翻转后的电压. 其中 M1 和 M3 尺寸较大, 互相交叉耦合; M2 和 M4 是两个尺寸较小的下拉管. 如图 2 中的状态, 当 IN 和 $\overline{\text{IN}}$ 发生翻转时, 由于 M2 和 M4 管的驱动能力较小, 不会对 OUT 和 $\overline{\text{OUT}}$ 发生影响. 如果 $\overline{\text{OUT}}$ 发生翻转时, M4 管会将 $\overline{\text{OUT}}$ 下拉回低电压. 不是敏感节点不会发生翻转. 图 1(b)中的 WHIT 单元使用了两个这样的结构相互耦合而成, 因而非常稳定不易发生翻转, 其 LET_{th} 明显高于其他多种单元. 但是 WHIT 单元有一个明显的缺点, 它使用 p 管下拉, n 管上拉, 导致电平退化, 存储单元的静态电流很大.

3 新型的 SEU 加固存储单元

新型的 SEU 加固存储单元如图 3 所示, 其中 M3, M5, M12, M14 尺寸较大, M2, M7, M4, M8,

[†] 通信作者. Email: wwwkeke@163.com

2006-10-13 收到, 2006-11-07 定稿

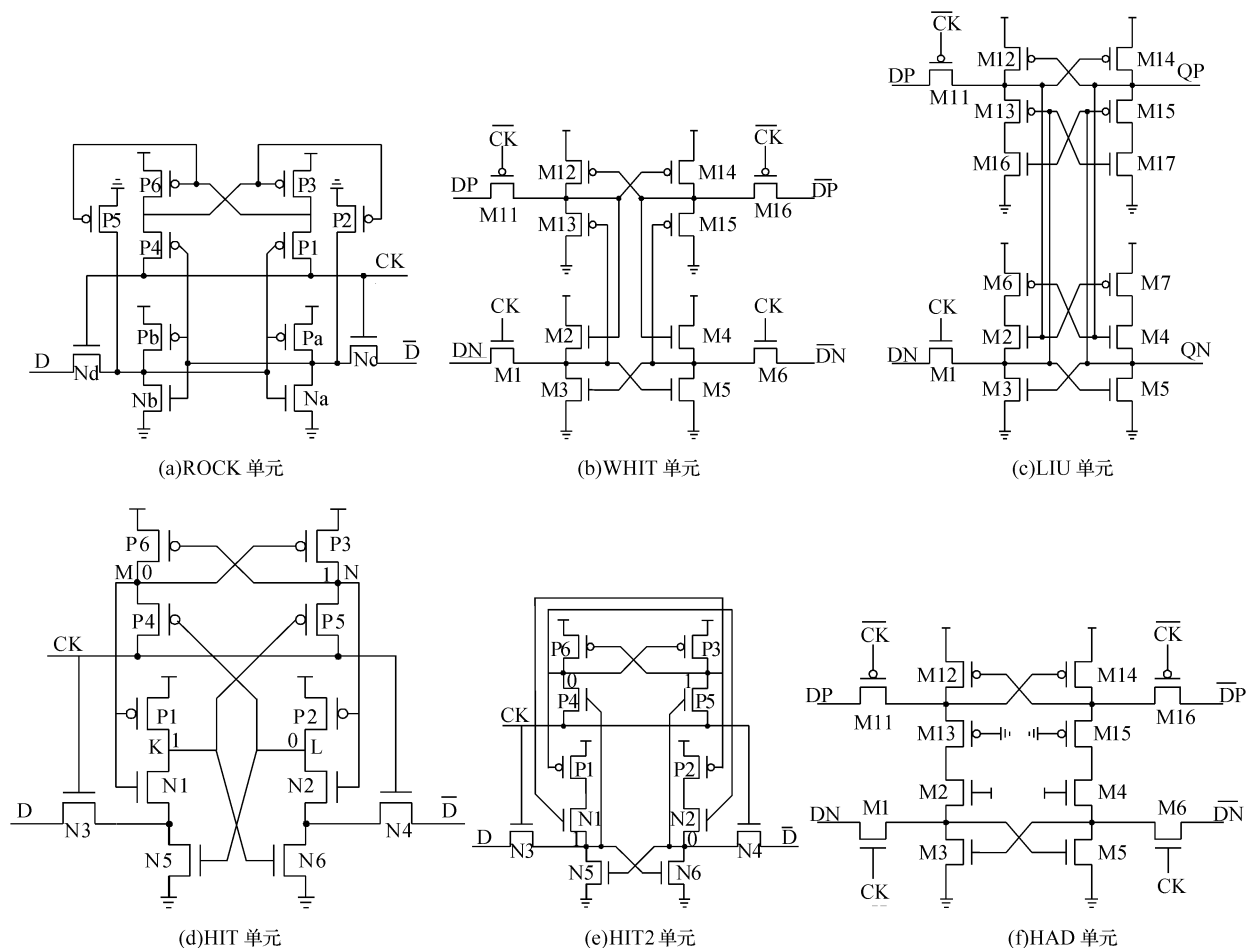


图 1 SEU 加固存储单元

Fig.1 SEU hardened storage cells

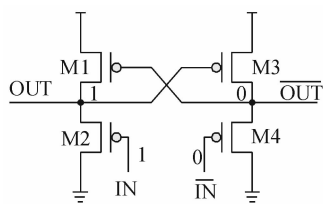


图 2 稳定结构

Fig.2 Stable structure

M13, M17, M15, M18 尺寸较小. 其结构和 Whittacker 单元类似, 使用了两个图 2 中的稳定结构互相交叉耦合而成, 期望获得高的临界 LET. 不同的是, 上方的 p 管结构不直接接地, 而是通过 M17 和 M18 两个 n 管接地; 同样, 下方的 n 管通过 M7 和 M8 两个 p 管接到 V_{dd} . 这样就避免了“弱 0”驱动 n 管和“弱 1”驱动 p 管的情况, 电路的静态电流很小. 下面进一步说明该单元的存储、读写以及翻转后的恢复过程.

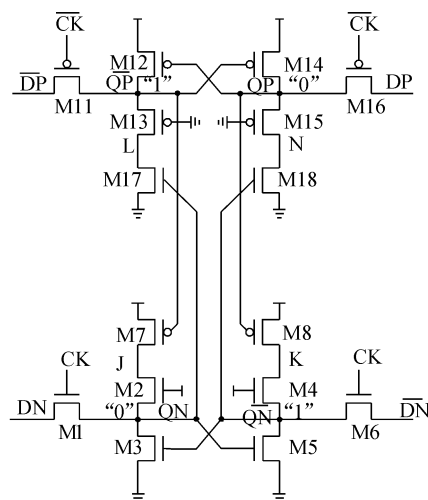


图 3 新型的 SEU 加固单元

Fig.3 A novel SEU hardened cell

3.1 正常操作

如果 CK 为低,M1,M6,M11 和 M16 管关断,其余 12 个管子构成了互相交叉耦合的结构.图 3 是存储‘0’的状态,M7 关断,M2,M3 导通使 QN 维持在‘0’;M5 关断,M4,M8 导通使 $\overline{QN}$ 维持在‘1’;M14 关断,M15,M18 导通使 QP 维持在‘0’;M17 关断,M12,M13 导通使 $\overline{QP}$ 维持在‘1’.由于电路结构高度对称,可知,当存储‘1’时电路也是稳定的.因此,该单元的存储功能是正确的.

当 CK 为高时,M1,M6,M11 和 M16 管导通,并且它们的尺寸大于 M2,M4,M13,M15,DN,DP, $\overline{DN}$, $\overline{DP}$ 的内容将写入到 QN, $\overline{QN}$,QP, $\overline{QP}$ 中.

3.2 翻转后的恢复

如图 1 中所给的存储‘0’状态,敏感节点是 QP, $\overline{QN}$,J,K,L,N.

3.2.1 翻转发生在 K 和 $\overline{QN}$

翻转发生在 K 时不会直接引起其他节点的变化,但是会引起 $\overline{QN}$ 的翻转,因此和翻转发生在 $\overline{QN}$ 处的情况是一样的.当 $\overline{QN}$ 从‘1’翻转到‘0’时,关断 M3 和 M18 管,但 QN 和 QP 节点的仍然保持为‘0’.因此 M5 关断,M4,M8 导通, $\overline{QN}$ 节点最终被拉回‘1’.

3.2.2 翻转发生在 N 和 QP

翻转发生在 N 时不会直接引起其他节点的变化,但是会引起 QP 的翻转,因此和翻转发生在 $\overline{QP}$ 处的情况是一样的.当 QP 从‘0’翻转到‘1’时,关断 M12 和 M8 管,但 $\overline{QN}$ 和 $\overline{QP}$ 节点仍然保持为‘1’.因此 M14 关断,M15,M18 导通,QP 节点最终被拉回‘0’.

3.2.3 翻转发生在 J

当 J 从‘0’翻转到‘1’时,M2 管和 M3 管同时导通.但是由于 M2 管小于 M3 管,QN 将仍然保持为 0.而其他节点全部保持不变.

3.2.4 翻转发生在 L

当 L 从‘1’翻转到‘0’时,M12 管和 M13 管同时导通.但是由于 M13 管小于 M12 管, $\overline{QP}$ 将仍然保持为‘1’.而其他节点全部保持不变.

该单元存储‘1’时,通过分析可以得出类似的结果.

4 性能分析

SEU 加固单元一般使用特征尺寸较大的工艺,为了便于比较,管子选取了与文献[2]类似的尺寸,图 3 中各管子的尺寸如表 1 所示.

表 1 管子尺寸
Table 1 Size of transistors

管子	W_n	L_n	管子	W_p	L_p
M1	6.4	1.0	M11	6.4	1.0
M2	2.4	2.0	M12	6.9	1.0
M3	6.9	1.0	M13	2.4	1.0
M4	2.4	2.0	M14	6.9	1.0
M5	6.9	1.0	M15	2.4	1.0
M6	6.4	1.0	M16	6.4	1.0
M17	2.4	2.0	M7	2.4	1.0
M18	2.4	2.0	M8	2.4	1.0

通过数值模拟可以评估该单元的抗翻转能力.重离子撞击晶体管后的电荷收集过程通过器件模拟器计算得到^[9].在这里使用 DESSIS 进行 2D 器件模拟,计算 LET 为 94MeV/(mg·cm²)的 Au 离子撞击所产生的瞬态电流.这一电流作为电流源被引入到 SPICE 中的相应节点进行电路模拟,最终得到各节点的电压变化.图 4 模拟的是重离子撞击在 M5 的漏极, $\overline{QN}$ 节点的电压迅速下降到 0V 以下,但是其他节点的电压基本保持不变,数 ns 后 $\overline{QN}$ 节点电压恢复.图 5 模拟的是重离子撞击在 M7 漏极,由于 M2 管弱于 M3 管,因此对其他节点几乎没有影响.以上模拟表明,该存储单元有良好的抗单粒子翻转的能力.

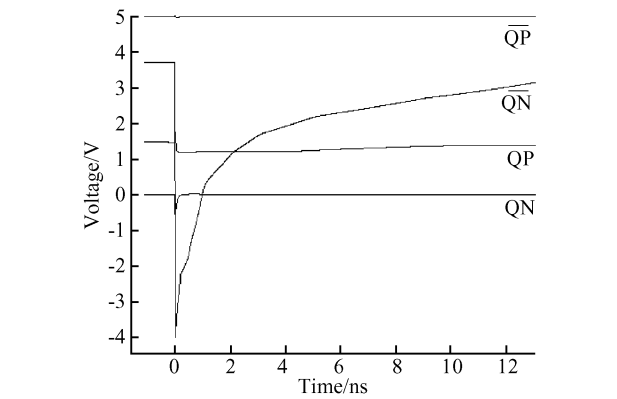


图 4 撞击在 M5 漏极
Fig.4 Ion impact at the drain of M5

通过 DESSIS 和 SPICE 模拟可以对比该单元与 WHIT 单元、LIU 单元、HIT 单元的性能.比较的指标包括:静态电流、写入时间、翻转恢复时间.其中写入时间的表达式为: $t_{pd} = (t_{plh} + t_{phl})/2$. 其中 t_{plh} 为由‘0’写入‘1’的时间,t_{phl} 为由‘1’写入‘0’的时间.它们分别指从 CK 信号上升沿到输出电压达到中点的时间.翻转恢复时间指的是在 LET 为 94MeV/(mg·cm²)的 Au 离子撞击后受撞击节点电压恢复到中点的时间.

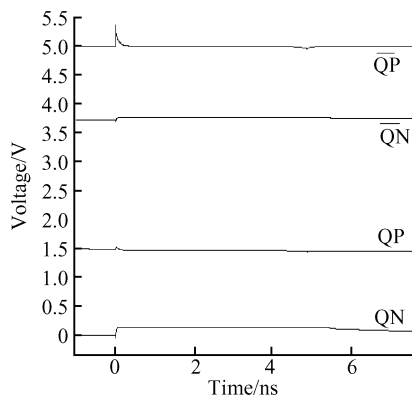


图 5 撞击在 M7 漏极

Fig.5 Ion impact at the drain of M7

模拟结果如表 2 所示,图 3 中单元的静态电流相对于 WHIT 单元下降了 4 个数量级,相对于 HIT 单元也小很多.写入时间小于 LIU 单元和 HIT 单元,和 WHIT 单元相当.翻转恢复时间明显小于 WHIT 单元和 HIT 单元,也小于 LIU 单元的 9.5ns.

表 2 各种单元的性能比较

Table 2 Performance comparison of SEU hardened cells

	本文	WHIT	LIU	HIT
静态电流/nA	2.63	44100	1.86	87
写入时间/ns	0.8	0.8	1.5	1.4
翻转恢复时间/ns	7.4	16.9	9.5	15.1

5 结束语

本文提出了一种新的 SEU 加固存储单元,和

WHIT 单元类似使用两个稳定结构相互耦合,期望获得高的临界 LET. 模拟结果表明,该单元确实具有良好的抗单粒子翻转的能力.该单元没有电源到地的直接通路,相比于 WHIT 单元静态电流小 4 个数量级,和其他 SEU 加固单元相比,读写速度、功耗以及翻转后的恢复时间都较优异.下一步准备将本单元制作版图、投片,并进行重离子实验,验证其抗单粒子翻转的能力.

参考文献

- [1] Rockett L. An SEU hardened CMOS data latch design. IEEE Trans Nucl Sci, 1988, 12, 35(6): 1682
- [2] Whitaker S, Canaris J, Liu K. SEU hardened memory cells for a CCSDS reed solomon encoder. IEEE Trans Nucl Sci, 1991, 38(6): 1471
- [3] Wiseman D, Canaris J, Whitaker S. Design and testing of SEU/SEL immune memory and logic circuits in a commercial CMOS process. NSREC Workshop, 1993
- [4] Liu M N, Whitaker S. Low power SEU immune CMOS memory circuits. IEEE Trans Nucl Sci, 1992, 39(6): 1679
- [5] Bessot D, Velazco R. Design of SEU-hardened CMOS memory cells; the HIT cell. Proceedings of RADECS Conference, 1993: 563
- [6] Velazco R, Calin T, Nicolaidis M, et al. SEU-hardened storage cell validation using a pulsed laser. IEEE Trans Nucl Sci, 1996, 43(6): 2843
- [7] Velazco R, Bessot D. Two CMOS memory cells suitable for the design of SEU-tolerant VLSI circuits. IEEE Trans Nucl Sci, 1994, 41(6): 2229
- [8] Haddad N, Rockett L, Doyle S, et al. Design considerations for next generation radiation hardened SRAMs for space applications. IEEE Conference on Aerospace, 2005: 1
- [9] Dodd P E. Device simulation of charge collection and single-event upset. IEEE Trans Nucl Sci, 1996, 43(2): 561

A Novel Low Power SEU Hardened Storage Cell

Liu Biwei[†], Chen Shuming, and Liang Bin

(School of Computer Science, National University of Defense Technology, Changsha 410073, China)

Abstract: A novel storage cell is proposed. Its structure is similar to Whitaker's cell, but four transistors are added to avoid voltage degradation. SPICE simulation results show that its static current drops dramatically compared with Whitaker's cell, and the write speed is equivalent to that of other cells. No upset occurs when Au ions with an LET of 94MeV/(mg · cm²) impacts by DESSIS and SPICE mix simulation.

Key words: SEU; hardening by design; storage cell

PACC: 7340Q

Article ID: 0253-4177(2007)05-0755-04

[†] Corresponding author. Email: wwwkeke@163.com

Received 13 October 2006, revised manuscript received 7 November 2006