

前均衡 CMOS 光电集成接收机概念的提出和模拟^{*}

余长亮[†] 毛陆虹 朱浩波 宋瑞良 陈铭义 王倩 王蕊

(天津大学电子信息工程学院, 天津 300072)

摘要: 提出了一种解决 CMOS 光电集成接收机灵敏度和速度问题的新方法——前均衡法,即在接收放大电路的前端对传输信号进行频率补偿,并分别采用并联谐振回路、三次阶梯网络和高通滤波器峰化技术设计了三种前均衡 0.35 μm CMOS 光电集成接收机.其中,光电探测器选用面积为 40 $\mu\text{m} \times 40\mu\text{m}$ 的叉指型双光电二极管结构,实验测得该二极管的频率响应带宽为 1.1GHz,结电容为 0.95pF.对接收机的模拟结果表明:采用三次阶梯网络峰化技术的前均衡方案可有效提高光接收机的灵敏度和速度,并可实现灵敏度为 -14dBm,3dB 带宽为 2GHz,BER 为 10^{-12} 的 0.35 μm CMOS 光电集成接收机.

关键词: 前均衡; CMOS; 光电集成接收机; 峰化技术

EEACC: 1205 PACC: 4230Q

中图分类号: TN432 文献标识码: A 文章编号: 0253-4177(2007)06-0951-07

1 引言

现在,绝大部分的光通信后端的数字处理单元都已采用标准 CMOS 工艺,随着 CMOS 工艺技术的日益成熟可制作出更多性能稳定的高速器件单元和电路.近年来,基于 CMOS 工艺的收发机(没有光电集成)研究进展很快^[1,2],0.13 μm CMOS 技术已经可以做出 OC-192(10Gb/s)芯片组^[3],CMOS 将成为高速光通信中的主要技术,所以发展与标准 CMOS 工艺全兼容的单片光电接收机应是主要研究方向之一.贝尔实验室首次报道了采用 0.35 μm 标准 CMOS 工艺做出速率为 1Gb/s,响应波长为 0.85 μm ,响应度为 0.04A/W,接收灵敏度为 -6dBm 的光电集成接收机^[4];Hermanst 等人采用 0.1 μm 标准 CMOS 工艺做出速率为 1Gb/s,响应度为 0.08A/W 的光接收机^[5].这两种光接收机的速率均可达到要求,但灵敏度离实用所要求的负十几 dBm 相差甚远.Rooman 等人^[6]虽然做出灵敏度为 -18dBm 的接收机,但速率仅为 250Mb/s,远达不到高速光通信的要求.Zimmermann 等人采用用户设定的 1 μm CMOS 工艺做出速率为 1Gb/s,响应度为 0.48A/W,接收灵敏度为 -15.4dBm 的光接收机^[7],并可应用于实际系统,但对标准 CMOS 工艺修改太多,无法通过低成本的标准 CMOS 工艺实现.Radovanovic 等人^[8]首次报道了利用模拟均衡器的方法做出与 0.18 μm 标准 CMOS 工艺兼容的、

速率为 3Gb/s、接收灵敏度达 -19dBm 的光接收机,其均衡电路通过 4 个高通滤波器实现,其中的 3 个高通滤波器是在带源极负载共源放大器的源极引入,另一个则是在源极跟随器的栅极引入.但是带源极负载共源放大器和源极跟随器过小的电压增益(约负几 dB)和过多的均衡元件不仅会牺牲较大的放大器增益,而且会引入较大的插入损耗,导致信噪比下降.此外,该均衡电路结构较为复杂,牺牲了较大的面积和功耗.综上所述,模拟均衡器的方法虽然被提出,但要进入实用阶段还有许多问题尚待解决.

为克服文献[8]中跨阻放大器结合后均衡电路的光接收机电路结构复杂、功耗和面积大、插入损耗大、增益小等缺点,本文提出高阻放大器结合前均衡电路的光接收机结构.前均衡指在接收放大电路的前端,也即光生输入信号电流进入放大器之前,采用电感峰化技术^[9~12]、高次阶梯网络^[13~15]、电容峰化技术^[16]、零极点对消技术^[17]等频率补偿手段进行均衡.因为在放大器的前端补偿,故可使信号在没有低到噪声以下就被补偿过来,从而克服高阻前置放大器的低带宽和高端信号由于损失过大而无法恢复的缺点.此外,采用前均衡电路后还可省去复杂的后均衡电路,减小芯片面积和功耗.由于在电路的前端进行补偿,为避免引入过大的插入损耗而减小信噪比,应尽量减少均衡元件数量和采用无噪声元件电感及电容,并尽量利用探测器和 MOS 管元件的寄生参数,如只采用一个片上电感和电容.目前,先进的标准 CMOS 工艺可提供各种元件资源,如深 n 阱、浅

^{*} 国家自然科学基金(批准号:60536030,60676038)和天津市应用基础研究计划(批准号:06YFJZJC00200)资助项目

[†] 通信作者,Email:yuchangliang83@yahoo.com.cn

2006-12-26 收到,2007-01-23 定稿

沟槽隔离、电容、电感等, 这些技术大大提高了电路设计的灵活性, 可实现插入损耗较小的前均衡电路.

本文基于 $0.35\mu\text{m}$ RFCMOS 技术, 分别采用并联谐振回路、三次阶梯网络和高通滤波器峰化技术设计了三种前均衡 CMOS 光电集成接收机电路. 为避免 MOS 管器件较大的低频 $1/f$ 噪声恶化光接收机的灵敏度, 电路设计中引入高通滤波器, 有效地消除了工作频带范围外的低频噪声. 仿真结果表明高阻放大器结合前均衡电路的光接收机结构可有效提高光接收机的速度与灵敏度, 可获得灵敏度为 -14dBm , 3dB 带宽为 2GHz , BER 为 10^{-12} 的 CMOS 光电集成接收机.

2 前均衡 CMOS 光电集成接收机

毛陆虹等人^[18]采用 MOSIS $0.35\mu\text{m}$ CMOS 工艺已制作出频率响应带宽为 1.1GHz , 峰值响应波长为 690nm 的叉指型双光电二极管探测器, 因而限制光接收机速度的主要因素在于光电探测器和接收电路的电带宽. 前均衡是指在光电探测器产生的光生输入电流信号进入跨阻前置放大器之前, 采用补偿手段提高输入信号的电带宽, 以恢复信号中的高端成分, 避免高端信号经放大电路后因损失过大而无法恢复.



图 1 前均衡光电集成接收机系统

Fig. 1 Pre-equalized optoelectronic integrated receiver system

通常所采用的频率补偿手段有电感峰化技术(如并联谐振回路和串联谐振回路)、高次阶梯网络、电容峰化技术、零极点对消技术等. 采用前均衡补偿后的光电集成接收机的系统结构框图如图 1 所示.

2.1 并联谐振回路峰化技术

并联谐振回路^[10~12]是电感峰化技术的一种, 采用并联谐振回路峰化技术实现的前均衡 CMOS 光电集成接收机如图 2(a) 所示.

图 2(a) 中左半部分电路 A 为集成光电探测器和前均衡电路的跨阻前置输入放大器, 其中二极管 D_{pd} 、电流源 I_s 和电容 C_{pd} 相互并联构成光电探测器的等效电路, 它们分别为理想光电二极管、光电探测器的光生电流和结电容. L_{eq} 和 R_{eq} 分别为片上电感与电阻, 它们与跨阻前置放大器的输入电容 C_{in} (约等于 nMOS 管 n_{A2} 的栅源电容 $C_{gs,A2}$)、输入电阻 $R_{in,A}$ 构成一个并联谐振回路. 此外, 跨阻前置放大

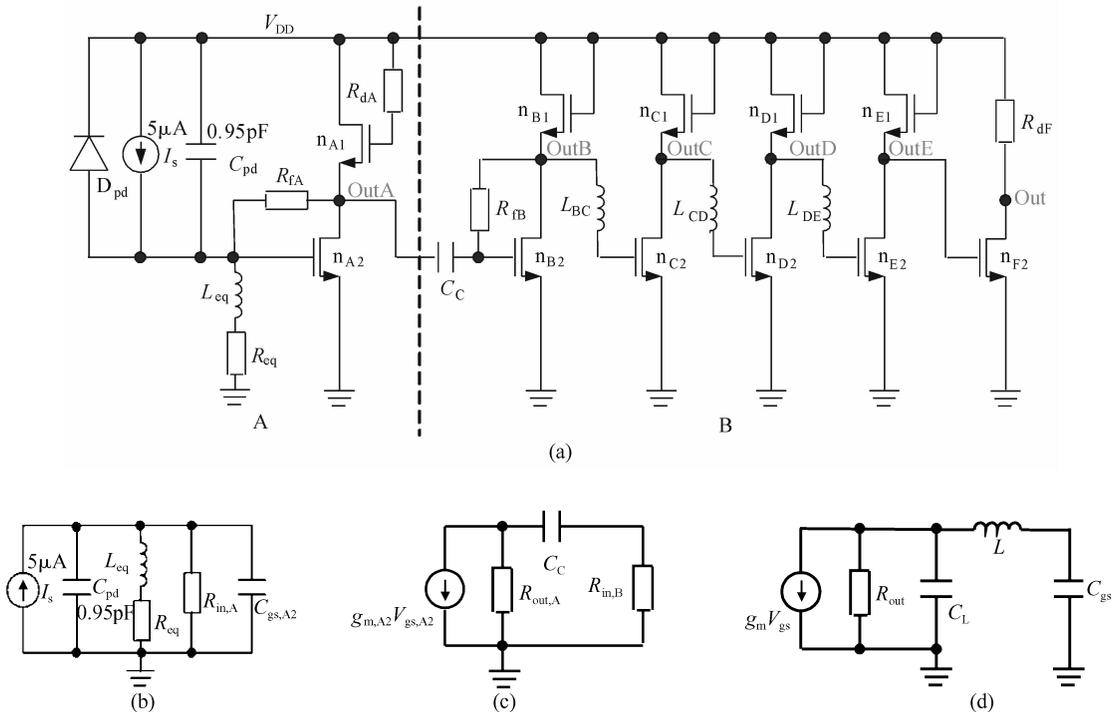


图 2 采用并联谐振回路峰化技术实现的前均衡 CMOS 光电集成接收机 (a) CMOS 光电集成接收机电路; (b) 前均衡等效电路; (c) 高通滤波器电路; (d) II 型匹配网络电路

Fig. 2 CMOS optoelectronic integrated receiver with a parallel resonant pre-equalization circuit (a) CMOS optoelectronic integrated receiver circuit; (b) Pre-equalization equivalent circuit; (c) High-pass filter circuit; (d) II-match network

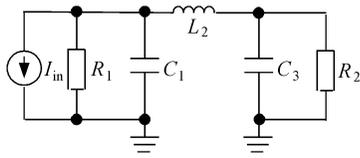


图3 三次阶梯网络

Fig. 3 A third-order ladder network

器的负载 nMOS 管 n_{A1} 和电阻 R_{dA} 构成一个有源电感^[12], 它们与下一级的输入电容和输入电阻也构成一个并联谐振回路. 通过参数优化调整使这两个谐振回路产生的谐振峰相互交叠, 可有效提高跨阻前置放大器的带宽. 图 2(a) 右半部分电路 B 为接收机电路的主放大器及输出部分. 在主放大器的每两个相邻的增益级间分别引入了三个 Π 型匹配网络^[15] 以提高主放大器电路的带宽, 如图 2(d) 所示, 其中, R_{out} 为本级放大器的输出电阻, C_L 为本级放大器的负载电容(主要是漏源电容 C_{ds} 和漏衬电容 C_{db}), L 为级间串联电感, C_{gs} 为下一级输入 MOS 管的栅源电容.

由于带宽已得到大幅提高, 故限制光接收机应用的主要指标在于灵敏度. 在电路设计中采用了两种解决灵敏度问题的有效方法, 大大地提高了光接收机的灵敏度. 一是通过大幅增加跨阻 R_{fA} 和前置电阻 R_{eq} 的阻值以增加光接收机的输入电阻, 减小 R_{fA} 和 R_{eq} 引入的噪声电流; 二是在跨阻前置放大器的输出端引入了一个高通滤波器网络, 有效地滤除了工作频带范围外的低频噪声, 如图 2(c) 所示, 它由隔直电容 C_C 和主放大器的输入电阻 $R_{in,B}$ 组成.

2.2 三次阶梯网络峰化技术

三次阶梯网络的电路原理图如图 3 所示^[14,15], 当 $R_1 \geq R_2$ 且输出获得最大平坦频率响应时, 图 3 中各元件值的相互关系如下^[19]:

$$C_1 = \frac{1}{R_1(1-\delta)\omega_c} \quad (1)$$

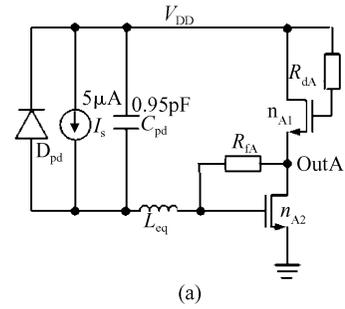
$$L_2 = \frac{2}{(1-\delta+\delta^2)\omega_c^2 C_1} \quad (2)$$

$$C_3 = \frac{1}{R_2(1+\delta)\omega_c} \quad (3)$$

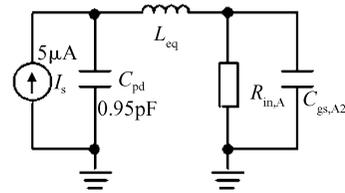
$$\delta = \sqrt{\frac{R_1 - R_2}{R_1 + R_2}} \quad (4)$$

其中 δ 为 R_1 与 R_2 之间的阻抗转换因子; ω_c 为阶梯网络的 3dB 截止频率. 若定义 BWR 为加入电感前网络输出的 3dB 带宽 $\omega_{c,old}$ 与加入电感后输出获得最大平坦频率响应时的 3dB 带宽 $\omega_{c,new}$ 之比, 则由 (1) 式及图 3 可推得:

$$\omega_{c,new} = \frac{1}{(1-\delta)R_1 C_1} \quad (5)$$



(a)



(b)

图4 采用三次阶梯网络峰化技术实现的前均衡 CMOS 光电集成接收机 (a) 集成探测器的跨阻前置放大器电路; (b) 输入端形成的三次阶梯网络

Fig. 4 CMOS optoelectronic integrated receiver with a third-order network pre-equalization circuit (a) Preamplifier with photo-detector; (b) A third-order ladder network formed at the input port

$$\omega_{c,old} = \frac{1}{[R_1 R_2 / (R_1 + R_2)](C_1 + C_3)} \quad (6)$$

$$BWR = \frac{\omega_{c,new}}{\omega_{c,old}} = \frac{1}{1-\delta} \times \frac{R_2}{R_1 + R_2} \times \frac{C_1 + C_3}{C_1} \quad (7)$$

采用三次阶梯网络峰化技术实现的前均衡 CMOS 光电集成接收机如图 4 所示, 其中, 图 4(a) 为集成光电探测器和前均衡电路的跨阻前置输入放大器电路, 其主放大器和输出电路与图 2(a) 中右半部分电路 B 完全相同; 图 4(b) 为采用三次阶梯网络实现的前均衡等效电路. 在探测器结电容 C_{pd} 容值 (即 C_1) 和跨阻前置放大器的输入电阻 $R_{in,A}$ 阻值 (即 R_2) 固定的条件下, 由 (5) 式可推得获得最大 3dB 带宽时: $R_1 = 2.05R_2$, $\delta = 0.7$. 而与图 3 相比, 这里 $R_1 = \infty$, 显然 $R_1 \gg R_2$, 故 BWR 表达式可修正为:

$$BWR = \frac{\omega_{c,new}}{\omega_{c,old}} \approx \frac{1}{1-\delta} \times \frac{R_2}{R_1} \times \frac{C_{pd} + C_{gs,A2}}{C_{pd}} \approx 1.63 \times \frac{C_{pd} + C_{gs,A2}}{C_{pd}} \quad (8)$$

2.3 高通滤波器峰化技术

高通滤波器峰化技术^[8]是利用低频截止频率不同的多个高通滤波器的频率响应特性曲线相互叠加

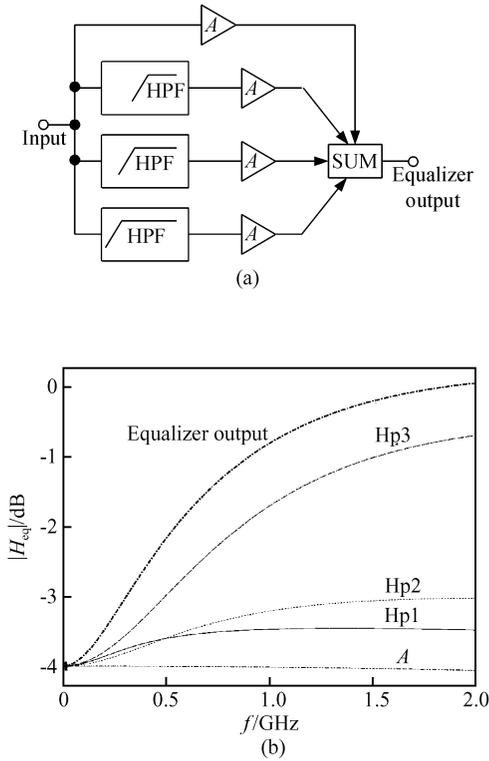


图 5 由高通滤波器构成的模拟均衡器 (a) 模拟均衡器电路原理图; (b) 模拟均衡器的传输函数特性曲线
Fig. 5 An analog equalizer formed by high-pass filter (a) Block diagram of the analog equalizer; (b) Analog equalizer transfer characteristics

形成一个较陡峭的沿, 来补偿放大器的频率特性, 从而扩展带宽的. 由高通滤波器构成的模拟均衡器原理图及其传输函数特性曲线如图 5 所示, 其中 A 为放大器的增益.

采用高通滤波器峰化技术实现的前均衡 CMOS 光电集成接收机如图 6 所示, 其中, 图 6(a) 为集成光电探测器和前均衡电路的跨阻前置放大器电路, 其主放大器和输出电路与图 2(a) 中右半部分电路 B 完全相同; 图 6(b) 为图 6(a) 的前均衡等效电路, 均衡电容 C_{eq} 和跨阻前置放大器的输入电阻 $R_{in,A}$ 形成一个高通滤波器, 它和跨阻前置放大器输出端引入的高通滤波器 (如图 2(c)) 共同构成一个模拟均衡器.

3 模拟结果

图 7~9 分别为 2.1, 2.2 和 2.3 节所设计的前均衡光电集成接收机的仿真结果, 其跨阻增益约为 110dBΩ (跨阻增益 (dBΩ) = V_{out} (dB) - I_s (dB)), 仿真时取 $I_s = 5\mu A = -106$ dB. 其中, 光电探测器选用面积为 $40\mu m \times 40\mu m$ 的叉指型双光电二极管探测器结构, 实验测得其频率响应带宽为 1.1GHz, 结

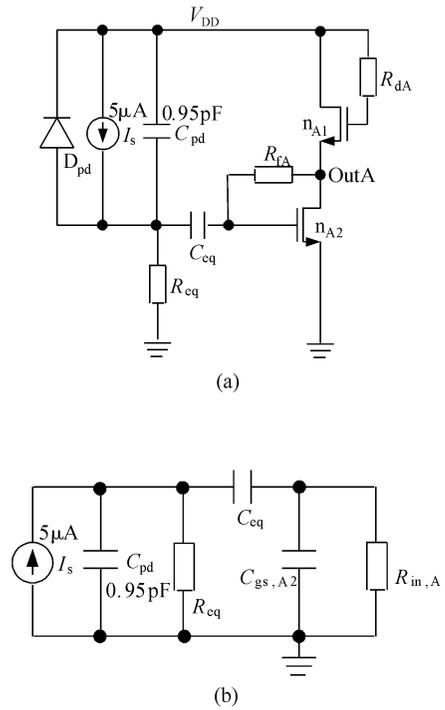


图 6 采用高通滤波器峰化技术实现的前均衡 CMOS 光电集成接收机 (a) 集成探测器的跨阻前置放大器电路; (b) 输入端形成的高通滤波器网络
Fig. 6 CMOS optoelectronic integrated receiver with a high-pass filter pre-equalization circuit (a) Pre-amplifier with photo-detector; (b) High-pass filter formed at the input port

电容为 0.95pF, 响应度为 0.0378A/W, 电源电压为 5V, 限定接收机系统的误码率为 10^{-12} . 电路仿真基于 Chartered 0.35μm RFCMOS 工艺模型库.

图 7(a) 和 (b)、图 8(a) 和 (b) 及图 9(a) 和 (b) 分别为光接收灵敏度为 -11dBm 条件下 (灵敏度计算方法参见文献 [20]) 获得的最大 3dB 带宽和 3dB 频率为 1GHz 条件下获得最大灵敏度时的频率响应特性曲线.

比较以上三种前均衡方案可知, 采用高通滤波器峰化技术的前均衡光接收机的 3dB 带宽最低并且会产生较大的增益峰. 这是由于高通滤波器构成的模拟均衡器所产生的频率响应增益峰有限, 不能有效扩展带宽. 采用三次阶梯网络峰化技术的前均衡光接收机电路的 3dB 带宽最大, 在灵敏度为 -11dBm 条件下可获得的最大 3dB 带宽达 2.2GHz. 与采用并联谐振回路峰化技术的前均衡光接收机相比, 其输入端的三次阶梯网络实质上为下变换结构的匹配网络, 因而可有效降低谐振时谐振回路的等效阻抗, 从而大大提高 3dB 带宽. 此外, 采用三次阶梯网络峰化技术的前均衡光接收机获得的灵敏度也最大, 在 3dB 带宽为 1GHz 条件下其最

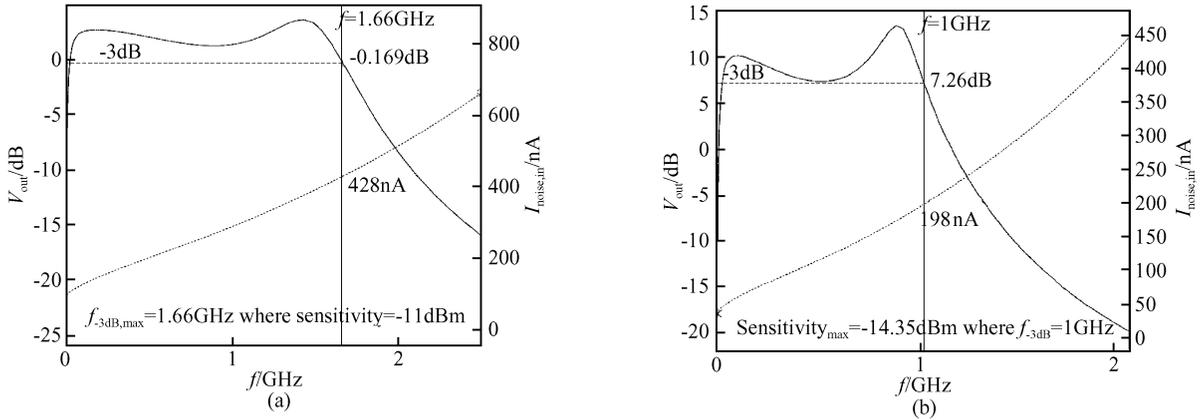


图 7 图 2(a)所示前均衡 CMOS 光电集成接收机的仿真结果 (a)在灵敏度为 -11dBm 条件下获得的最大频率响应曲线;(b)在 $f_{-3\text{dB}}$ 为 1GHz 条件下获得最大灵敏度时的频率响应曲线

Fig. 7 Simulation results of pre-equalized CMOS optoelectronic integrated receiver in Fig. 2(a) (a) Maximal flat frequency response where sensitivity is -11dBm ; (b) Frequency response where $f_{-3\text{dB}}$ is 1GHz

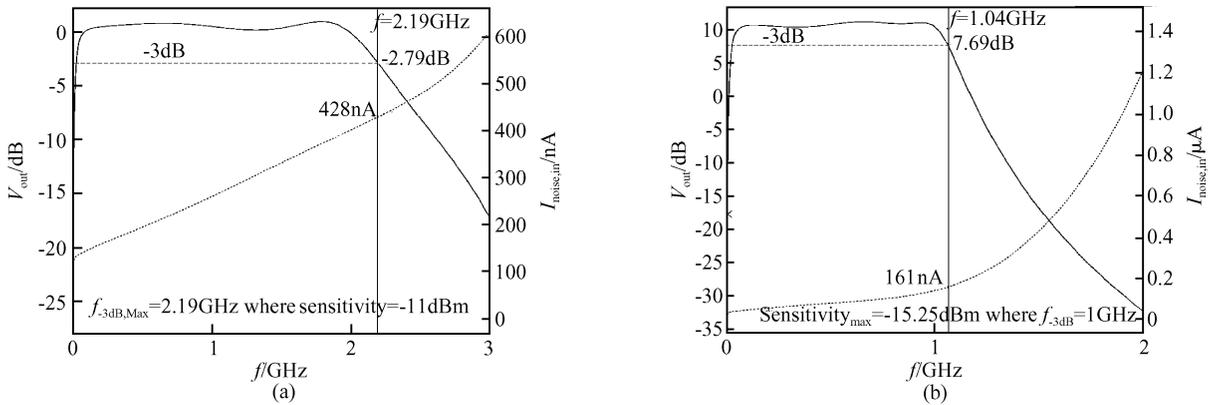


图 8 图 4 所示前均衡 CMOS 光电集成接收机的仿真结果 (a)在灵敏度为 -11dBm 条件下获得的最大频率响应曲线;(b)在 $f_{-3\text{dB}}$ 为 1GHz 条件下获得最大灵敏度时的频率响应曲线

Fig. 8 Simulation results of pre-equalized CMOS optoelectronic integrated receiver in Fig. 4 (a) Maximal flat frequency response where sensitivity is -11dBm ; (b) Frequency response where $f_{-3\text{dB}}$ is 1GHz

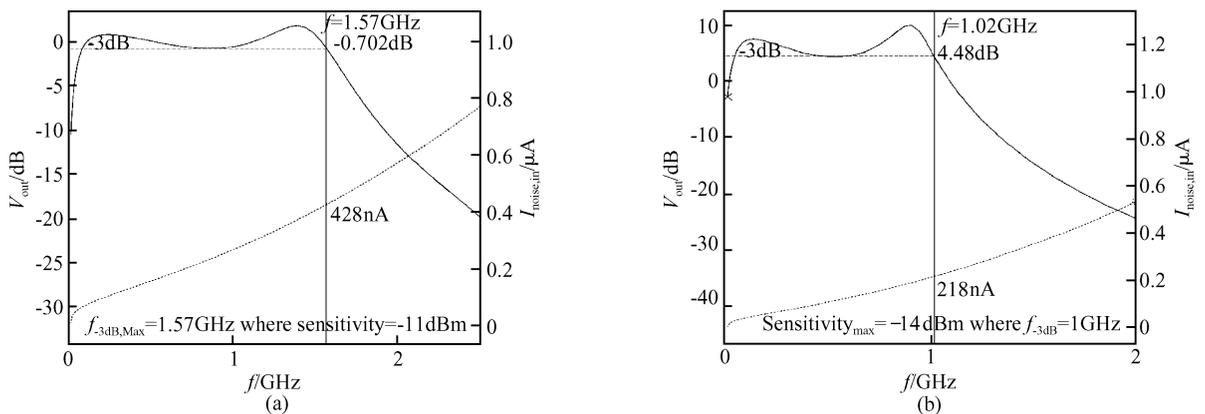


图 9 图 6 所示前均衡 CMOS 光电集成接收机的仿真结果 (a)在灵敏度为 -11dBm 条件下获得的最大频率响应曲线;(b)在 $f_{-3\text{dB}}$ 为 1GHz 条件下获得最大灵敏度时的频率响应曲线

Fig. 9 Simulation results of pre-equalized CMOS optoelectronic integrated receiver in Fig. 6 (a) Maximal flat frequency response where sensitivity is -11dBm ; (b) Frequency response where $f_{-3\text{dB}}$ is 1GHz

大灵敏度可达 -15.25dBm . 因为在均衡过程中, 它只引入了一个无噪声电感元件, 而其他两种前均衡方案均引入了噪声元件——电阻, 该电阻产生的热噪声降低了接收机的灵敏度.

4 总结

前均衡光接收机系统, 即在光电探测器和接收放大电路之间加入一个均衡器, 它避免了采用复杂的后均衡电路而增加系统的功耗和面积及恶化增益. 本文分别采用并联谐振回路、三次阶梯网络和高通滤波器峰化技术设计了三种与标准 $0.35\mu\text{m}$ CMOS 工艺兼容的前均衡光电集成接收机. 其中, 光电探测器选用面积为 $40\mu\text{m} \times 40\mu\text{m}$ 的叉指型双光电二极管结构, 其频率响应带宽为 1GHz , 结电容为 0.95pF , 响应度为 0.0378A/W . 模拟结果表明, 采用前均衡器补偿后的光接收机可有效克服光电探测器的电带宽对接收机速度的限制, 并可大幅提高灵敏度和 3dB 带宽. 其中, 采用三次阶梯网络峰化技术的前均衡方案对光接收机的灵敏度和速度的提高尤为显著, 并可实现灵敏度为 -14dBm , 3dB 带宽为 2GHz , BER 为 10^{-12} 的 CMOS 光电集成接收机.

参考文献

- [1] Momtaz A, Cao J, Caresosa M, et al. A fully integrated SONET OC-48 transceiver in standard CMOS. *IEEE J Solid-State Circuits*, 2001, 36(12):1964
- [2] Razavi B. Prospects of CMOS technology for high-speed optical communication circuits. *IEEE J Solid-state Circuits*, 2002, 37(9):1135
- [3] Henrickson L, Shen D, Nellore U, et al. Low-power fully integrated 10-Gb/s SONET/SDH transceiver in $0.13\text{-}\mu\text{m}$ CMOS. *IEEE J Solid-State Circuits*, 2003, 38(10):1595
- [4] Woodward T K, Krishnamoorthy A V. 1-Gb/s integrated optical detectors and receivers in commercial CMOS technologies. *IEEE J Sel Topics Quantum Electron*, 1999, 5(2):146
- [5] Hermanst C, Leroux P, Steyaert M. Gigabit photodiodes in standard digital nanometer CMOS technologies. 33rd Conference on European Solid-State Device Research, 2003:51
- [6] Rooman C, Coppée D, Kuijk M. Asynchronous 250-Mb/s optical receivers with integrated detector in standard CMOS technology for optocoupler applications. *IEEE J Solid-State Circuits*, 2000, 35(7):953
- [7] Zimmermann H, Heide T. A monolithically integrated 1-Gb/s optical receiver in $1\text{-}\mu\text{m}$ CMOS technology. *IEEE Photonics Technol Lett*, 2001, 13(7):711
- [8] Radovanovic S, Annema A J, Nauta B. A 3-Gb/s optical detector in standard CMOS for 850-nm optical communication. *IEEE J Solid-State Circuits*, 2005, 40(8):1706
- [9] Morikuni J J, Kang S M. An analysis of inductive peaking in photoreceiver design. *J Lightwave Technol*, 1992, 10(10):1426
- [10] Lu C H, Chen W Z. Bandwidth enhancement techniques for transimpedance amplifier in CMOS technologies. *Proceedings of the 27th European of Solid-State Circuits Conference*, 2001:174
- [11] Oh Y H, Lee S G. An inductance enhancement technique and its application to a shunt-peaked 2.5Gb/s transimpedance amplifier design. *IEEE Trans Circuits Syst II*, 2004, 51(11):624
- [12] Chen W Z, Lu C H. Design and analysis of a 2.5-Gbps optical receiver analog front-end in a $0.35\text{-}\mu\text{m}$ digital CMOS technology. *IEEE Trans Circuits Syst I*, 2006, 53(4):977
- [13] Analui B, Hajimiri A. Multi-pole bandwidth enhancement technique for trans-impedance amplifiers. *Proceedings of the 28th European of Solid-State Circuits Conference*, 2002:303
- [14] Analui B, Hajimiri A. Bandwidth enhancement for transimpedance amplifiers. *IEEE J Solid-State Circuits*, 2004, 39(8):1263
- [15] Wu C H, Lee C H, Chen W S, et al. CMOS wideband amplifiers using multiple inductive-series peaking technique. *IEEE J Solid-State Circuits*, 2005, 40(2):548
- [16] Tso F, Chan Y J. Bandwidth enhancement of transimpedance amplifier by a capacitive-peaking design. *IEEE J Solid-State Circuits*, 1999, 34(8):1167
- [17] Ryan A P, McCarthy O. A novel pole-zero compensation scheme using unbalanced differential pairs. *IEEE Trans Circuits Syst I*, 2004, 51(2):309
- [18] Mao Luhong, Chen Hongda, Wu Ronghan, et al. Simulation and design of a CMOS-process-compatible high-speed Si-photodetector. *Chinese Journal of Semiconductors*, 2002, 23(2):193 (in Chinese) [毛陆虹, 陈弘达, 吴荣汉, 等. 与 CMOS 工艺兼容的硅高速光电探测器模拟与设计. *半导体学报*, 2002, 23(2):193]
- [19] Chen Huikai. Theory and design of broadband matching networks. Beijing: Posts & Telecom Press, 1982:110 (in Chinese) [陈惠开. 宽带匹配网络的理论与设计. 北京: 人民邮电出版社, 1982:110]
- [20] Das M B, Chen J W, John E. Designing optoelectronic integrated circuit (OEIC) receivers for high sensitivity and maximally flat frequency response. *J Lightwave Technol*, 1995, 13(9):1876

Concept and Simulation of a Novel Pre-Equalized CMOS Optoelectronic Integrated Receiver *

Yu Changliang[†], Mao Luhong, Zhu Haobo, Song Ruiliang, Chen Mingyi,
Wang Qian, and Wang Rui

(School of Electronic Information Engineering, Tianjin University, Tianjin 300072, China)

Abstract: A novel method for enhancing the sensitivity and speed of CMOS optoelectronic integrated receivers called pre-equalization, which compensates the transferred signal at the input port of a preamplifier, is put forward. Based on $0.35\mu\text{m}$ CMOS technology, three types of pre-equalized optoelectronic integrated receivers are designed by parallel resonant loop peaking technique, third-order ladder network peaking technique, and high-pass filter peaking technique, respectively, where a fingered dual-photodiode is applied with a $40\mu\text{m} \times 40\mu\text{m}$ area, a 1.1GHz 3dB bandwidth, and a 0.95pF junction capacitance. The simulation results indicate that the sensitivity and speed of a receiver can be enhanced effectively by adding a third-order ladder network pre-equalization circuit, which achieves a -14dBm sensitivity and a 2GHz 3dB bandwidth with a bit error rate of 10^{-12} .

Key words: pre-equalization; CMOS; optoelectronic integrated receiver; peaking technique

EEACC: 1205 **PACC:** 4230Q

Article ID: 0253-4177(2007)06-0951-07

* Project supported by the National Natural Science Foundation of China (Nos. 60536030, 60676038) and the Tianjin Natural Science Foundation (No. 06YFJZJC00200)

[†] Corresponding author. Email: yuchangliang83@yahoo.com.cn

Received 26 December 2006, revised manuscript received 23 January 2007

©2007 Chinese Institute of Electronics