

Si 基 SiO₂ 波导芯层热应力的理论研究

黄华茂^{1,2} 黄德修^{1,2,†} 刘 文^{1,3}

(1 武汉光电国家实验室, 武汉 430074)
(2 华中科技大学光电子科学与工程学院, 武汉 430074)
(3 武汉光迅科技有限责任公司, 武汉 430074)

摘要: 结合弹性多层板热应力理论和应力集中效应给出了 Si 基 SiO₂ 波导芯层热应力的解析解, 推导了芯层应力差的解析表达式. 说明对于传统阵列波导光栅, 芯层应力差来源于初始翘曲和波导各层热膨胀系数差; 系统分析了波导各层材料对芯层应力差的影响, 指出调节衬底的热膨胀系数、上包层的热膨胀系数、衬底的厚度和下包层的厚度都可以消除芯层应力差, 但改变衬底和上包层热膨胀系数是调节芯层应力差的主要手段; 讨论了几种常见金属应力板对芯层应力差的影响. 结果表明, 在阵列波导底部高温粘贴适当厚度的金属板可消除芯层应力差.

关键词: 光波导; 热应力; 弹性多层板; 应力集中; 应力板

EEACC: 4130; 6240D

中图分类号: TN814+.6 文献标识码: A 文章编号: 0253-4177(2007)09-1459-06

1 引言

近年来阵列波导光栅(AWG)已逐渐成为大容量密集波分复用(DWDM)系统的首选器件^[1]. 热应力是影响 AWG 中心波长的重要因素, 已有的研究却多是采用有限元法(FEM)的数值模拟^[2~8]. 有限元法是分析复杂结构中应力分布的有效方法, 但是利用有限元法对 AWG 进行三维模拟, 计算量庞大, 而且对于每一种设计都需要进行一次计算, 十分耗时, 在初步设计中不是很方便. 为了对 AWG 热应力的影响因素有更清楚的认识, 应力解析解的导出是非常必要的. 文献[9]把 AWG 阵列波导的芯层近似为一个单层结构, 利用薄膜理论, 给出了阵列波导芯层应力的解析解. 但是, AWG 阵列波导的芯层结构是掩埋波导, 这种近似没有考虑到芯层的应力集中效应. 文献[10, 11]在广义平面应变近似下, 借助有限元法给出了芯层的应力集中系数, 得到了较为精确的芯层应力解析解. 本文结合弹性多层板热应力理论和应力集中效应得到了更精确的芯层应力解析解, 给出了芯层应力差的解析表达式, 并讨论了波导各层材料参数和几种常见金属应力板对芯层应力差的影响.

2 芯层热应力解析解

AWG 阵列波导结构如图 1 所示. 根据广义虎

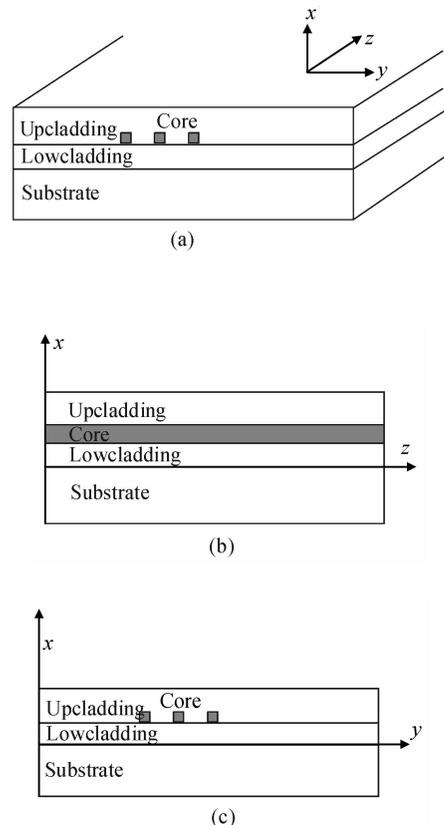


图 1 (a) 阵列波导三维示意图; (b) xz 方向的横截面示意图; (c) xy 方向的横截面示意图

Fig.1 (a) 3D structure; (b) Cross-section in the xz plane; (c) Cross-section in the xy plane

† 通信作者. Email: wn1o2@mail.hust.edu.cn

2007-03-09 收到, 2007-04-18 定稿

克定律,波导芯层的应变 ϵ 可表示为^[12]

$$\epsilon = \begin{bmatrix} \epsilon_{x0} \\ \epsilon_{y0} \\ \epsilon_{z0} \end{bmatrix} + \alpha \Delta T + \begin{bmatrix} S_1 & S_2 & S_2 \\ S_2 & S_1 & S_2 \\ S_2 & S_2 & S_1 \end{bmatrix} \begin{bmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \end{bmatrix} \quad (1)$$

其中 $\epsilon_{i0} (i = x, y, z)$ 是常温下的初始应变; ΔT 是工作温度与常温的温差; α 是线热膨胀系数; S_1, S_2 是应力-应变系数; $\sigma_i (i = x, y, z)$ 是应力分量. $S_1 = 1/E, S_2 = -\nu/E, E, \nu$ 分别是 SiO_2 的杨式模量和泊松比.

由(1)式可得 ϵ_x 和 ϵ_y 关于 ϵ_z 的表达式

$$\begin{cases} \epsilon_x = \epsilon_{x0} + \frac{1}{E'}\sigma_x - \frac{\nu'}{E'}\sigma_y + \alpha' \Delta T - \nu(\epsilon_z - \epsilon_{z0}) \\ \epsilon_y = \epsilon_{y0} + \frac{1}{E'}\sigma_y - \frac{\nu'}{E'}\sigma_x + \alpha' \Delta T - \nu(\epsilon_z - \epsilon_{z0}) \end{cases} \quad (2)$$

其中 $E' = E/(1 - \nu^2)$; $\nu' = \nu/(1 - \nu)$; $\alpha' = (1 + \nu)\alpha$.

文献[11]使波导层和衬底 z 方向的应变相等,由应力集中效应得到了芯层应力的解析解.本文在考虑阵列波导 z 方向的应变时,摒弃了这种广义平面近似,采用弹性多层板热应力理论^[13]对各层的应变、应力进行了更为精确的计算.如图 1 所示,阵列波导 xz 方向的横截面可以看作是 4 层平板系统,可求得芯层和上包层 z 方向的应变 $\epsilon_z^{\text{core}}, \epsilon_z^{\text{uc}}$.而在阵列波导 xy 方向的横截面上,芯层的尺寸很小,可以忽略,所以近似为 3 层板系统,可求得上包层 y 方向的应变 ϵ_y^{uc} ,再由广义虎克定律可求得上包层 y 方向的应力 σ_y^{uc} .根据应力集中效应^[10,11],上包层 y 方向的应力 σ_y^{uc} 对芯层应力的影响可以用应力集中系数 $k_{ij} (i, j = x, y)$ 表征.将以上结果代入(2)式,可得芯层和上包层 x, y 方向的应变 $\epsilon_x^{\text{core}}, \epsilon_x^{\text{uc}}, \epsilon_y^{\text{core}}, \epsilon_y^{\text{uc}}$.上标 core, uc 分别表示芯层和上包层.因为在芯层和上下包层界面 ϵ_y 连续,在芯层和左右包层界面 ϵ_x 连续,并取应力集中系数 $k_{xx} = k_{yy} = 3, k_{xy} = k_{yx} = 1$,可得芯层的应力表达式

$$\begin{cases} \sigma_x^{\text{core}} = \Gamma_1 \left(\Phi - \frac{1}{E'_{\text{uc}}} \sigma \right) + \Gamma_2 \left(\Phi + \frac{3}{E'_{\text{uc}}} \sigma \right) \\ \sigma_y^{\text{core}} = \Gamma_1 \left(\Phi + \frac{3}{E'_{\text{uc}}} \sigma \right) + \Gamma_2 \left(\Phi - \frac{1}{E'_{\text{uc}}} \sigma \right) \\ \sigma_z^{\text{core}} = E_{\text{core}} [(\epsilon_z^{\text{core}} - \epsilon_{z0}^{\text{core}}) - \alpha_{\text{core}} \Delta T] + \nu_{\text{core}} (\sigma_x^{\text{core}} + \sigma_y^{\text{core}}) \end{cases} \quad (3)$$

其中 $\gamma_1 = \frac{1}{E'_{\text{core}}} + \frac{2}{E'_{\text{uc}}}; \gamma_2 = \frac{\nu'_{\text{core}}}{E'_{\text{core}}} + \frac{1 - \nu'_{\text{uc}}}{E'_{\text{uc}}}; \Gamma_1 = \frac{\gamma_1}{\gamma_1 - \gamma_2}; \Gamma_2 = \frac{\gamma_2}{\gamma_1 - \gamma_2}; \Phi = (\alpha'_{\text{uc}} - \alpha'_{\text{core}}) \Delta T + \nu_{\text{core}} (\epsilon_z^{\text{core}} - \epsilon_{z0}^{\text{core}}) - \nu_{\text{uc}} (\epsilon_z^{\text{uc}} - \epsilon_{z0}^{\text{uc}}); \sigma = \sigma_y^{\text{uc}}$.

若不考虑器件的翘曲,并采用广义平面近似,即取 $\epsilon_z^{\text{core}} = \epsilon_z^{\text{uc}} = \epsilon_z^{\text{uc}} = \alpha_s \Delta T$,则(3)式退化为文献[11]的(11)~(13)式.由于芯层和包层的厚度远小于衬底的厚度,故将各层的应力、应变沿厚度方向取平均值,根据(3)式计算的结果如表 1 所示.可看出,本文的结果更接近有限元的数值解^[3],而且能够反映衬底厚度 t_s ,上包层厚度 t_{uc} ,下包层热膨胀系数 α_{lc} 的变化对芯层应力的影响.更为重要的是,对于传统 AWG 芯片,其他各层与衬底相比厚度很小,为了简化分析,阵列波导 z 方向应变 ϵ_z 的温度系数 $d\epsilon_z/dT$ 通常取衬底的热膨胀系数 α_s .但对于应力补偿的无热 AWG^[14],应力补偿板的厚度和衬底的厚度相当,弹性多层板热应力理论的引入是必需的.

3 波导各层材料对芯层应力差的影响

根据(3)式,可以得到芯层应力差 $\sigma_y^{\text{core}} - \sigma_x^{\text{core}}$ 的表达式

$$\begin{aligned} \sigma_y^{\text{core}} - \sigma_x^{\text{core}} &= \frac{4(1 + \nu_{\text{uc}})}{\gamma_1 + \gamma_2} \times \\ & \left[(x - t_{\text{by}})/r_0 + \beta_1 (\alpha_s - \alpha_{\text{lc}}) \Delta T + \right. \\ & \left. \beta_2 (\alpha_s - \alpha_{\text{uc}}) \Delta T + \beta_3 (\alpha_{\text{uc}} - \alpha_{\text{lc}}) \Delta T \right] \quad (4) \end{aligned}$$

其中 $\beta_1 = (x - t_{\text{by}})(\rho_{\text{lc}} c_s - \rho_s c_{\text{lc}}), \beta_2 = c_s + (x - t_{\text{by}})(\rho_{\text{uc}} c_s - \rho_s c_{\text{uc}}), \beta_3 = -c_{\text{lc}} + (x - t_{\text{by}})(\rho_{\text{lc}} c_{\text{uc}} - \rho_{\text{uc}} c_{\text{lc}})$

表 1 本文芯层应力理论解与文献[3,11]结果的比较

Table 1 Comparison of the analytical solutions developed in this paper and Refs. [3,11]

Substrate	Silica			Silicon														
	Ref. [11]	Ref. [3]	This paper	Ref. [11]	Ref. [3]	This paper	Ref. [3]	This paper	Ref. [11]	Ref. [3]	This paper	Ref. [11]	Ref. [3]	This paper	Ref. [3]	This paper		
$a_{\text{core}}/(10^{-6}/\text{K})$	1						1.8					2.4					1.8	
$a_{\text{uc}}/(10^{-6}/\text{K})$		1.2					2.4					3.45					3.45	
t_s/mm			1				1										0.5	1
$t_{\text{uc}}/\mu\text{m}$			30				30										30	20
$a_{\text{lc}}/(10^{-6}/\text{K})$			0.8				1.2										1.2	1.2
σ_{xx}/MPa	-8.27	-8.99	-8.273	-25.3	-26.16	-25.274	-26.16	-25.274	-43.9	-45.5	-43.860	-68.9	-71.57	-68.907	-73.72	-68.946	-70.26	-68.901
σ_{yy}/MPa	25.0	20.33	22.803	-125	-105.4	-111.056	-109.4	-112.918	-56.3	-45.8	-48.066	-81.4	-71.8	-73.113	-68.83	-65.536	-72.15	-73.242
σ_{zz}/MPa	17.3	10.60	15.257	-156	-130.9	-141.246	-135.6	-143.152	-104	-89.5	-94.752	-156	-142.4	-146.301	-140.9	-137.604	-144.7	-146.364

$$x = t_{lc} + (t_{core} + t_{uc})/2, t'_{uc} = t_{uc} + t_{core}$$

$$\rho_0 = \frac{1}{3} \{ E_s^* t_s (2t_s^2 + 6t_s t_b + 6t_b^2) + E_{lc}^* t_{lc} [2t_{lc}^2 + 6t_b^2 - 6t_b t_{lc}] + E_{uc}^* t'_{uc} [2t_{uc}^2 + 6t'_{uc} t_{lc} + 6t_{lc}^2 + 6t_b^2 - 6t_b (2t_{lc} + t'_{uc})] \}$$

$$\rho_s = \frac{1}{\rho_0} E_s^* t_s (t_s + 2t_b), \rho_{lc} = -\frac{1}{\rho_0} E_{lc}^* t_{lc} (t_{lc} - 2t_b), \rho_{uc} = -\frac{1}{\rho_0} E_{uc}^* t'_{uc} (2t_{lc} + t'_{uc} - 2t_b)$$

$$c_s = \frac{E_s^* t_s}{E_s^* t_s + E_{lc}^* t_{lc} + E_{uc}^* t'_{uc}}$$

$$c_{lc} = \frac{E_{lc}^* t_{lc}}{E_s^* t_s + E_{lc}^* t_{lc} + E_{uc}^* t'_{uc}}$$

$$c_{uc} = \frac{E_{uc}^* t'_{uc}}{E_s^* t_s + E_{lc}^* t_{lc} + E_{uc}^* t'_{uc}}$$

下标 s,lc,core,uc 分别表示衬底、下包层、芯层和上包层。

应力引起的折射率差为 $n_y^{core} - n_x^{core} = (c_2 - c_1) \times (\sigma_y^{core} - \sigma_x^{core})$. 若不考虑芯片初始翘曲,即(4)式中 $1/r_0 = 0$,取 SiO₂ 波导芯层的弹光系数 $c_1 = 0.65 \times 10^{-12}/\text{Pa}$, $c_2 = 4.2 \times 10^{-12}/\text{Pa}$,其他参数同文献[6],当 $\alpha_{uc} = 3.41 \times 10^{-6}/\text{K}$ 时, $n_y^{core} - n_x^{core} = 8.3 \times 10^{-7}$,与文献[6]的有限元结果吻合。

表 2 波导的结构参数^[7]

Table 2 Material properties of waveguide layers ^[7]				
	E/GPa	$\alpha/(10^{-6}/\text{K})$	ν	$t/\mu\text{m}$
Substrate	131	3.6	0.28	500
Lower cladding	65	0.5	0.17	15
Core	70	1.2	0.2	6
Upper cladding	65	0.5	0.17	21

取表 2 的数据计算得 $(x - t_{by}) = 2.7 \times 10^2 \mu\text{m}$, $\beta_1 = -3.7 \times 10^{-2}, \beta_2 = 0.89, \beta_3 = -1.2 \times 10^{-2}$. 而商品化 AWG 芯片常温下初始曲率半径 r_0 的实测数据数量级是 10^2m . (4)式各项的数量级表明,对于传统 AWG 芯片,芯层应力差来源于初始曲率半径 r_0 表征的翘曲和波导各层热膨胀系数差 $\alpha_i - \alpha_j, (i, j = s, lc, uc)$; 当温度变化 ΔT 较小时,芯片的初始翘曲、衬底与上包层的热膨胀系数差都是产生波导芯层应力差的重要原因; 当温度变化 ΔT 较大时,波导各层热膨胀系数失配导致的波导芯层应力差也越大,衬底和上包层的热膨胀系数差成为导致波导芯层应力差的主要原因。

保持其他参数不变,变化衬底、下包层、芯层、上包层的杨氏模量 E 、热膨胀系数 α 、厚度 t 和泊松比 ν 中的某一参数(为了保证波导是单模的,不考虑芯

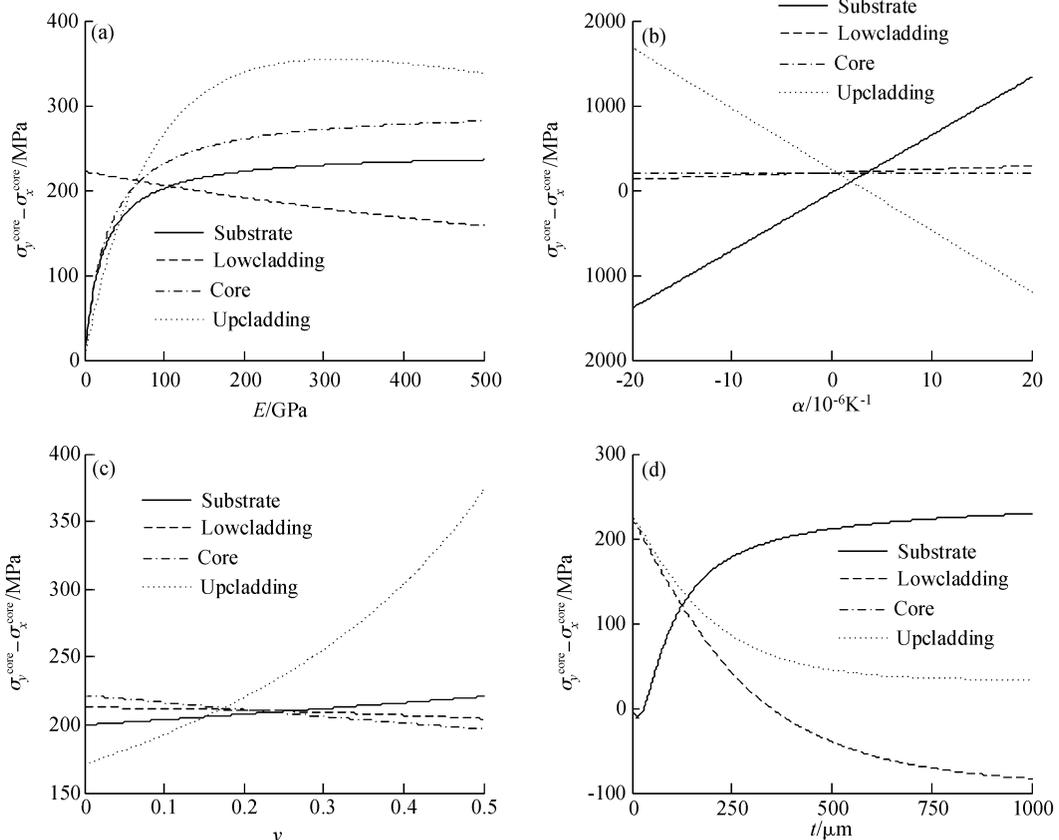


图 2 $\sigma_y^{core} - \sigma_x^{core}$ 随各层材料参数 E (a), α (b), ν (c), t (d) 的变化示意图
Fig.2 $\sigma_y^{core} - \sigma_x^{core}$ as functions of E (a), α (b), ν (c) and t (d) of each layer

表 3 图 2 的零点
Table 3 Zero point in Fig. 2

	$\alpha_s/10^{-6}K^{-1}$	$\alpha_{uc}/10^{-6}K^{-1}$	$t_s/\mu m$	$t_{lc}/\mu m$
$\sigma_y^{core} - \sigma_x^{core} \approx 0$	0.5	3.43	30	349

层厚度 t 的变化), 根据(4)式, 可对芯层应力差 $\sigma_y^{core} - \sigma_x^{core}$ 与材料参数 E, α, t, ν 的关系进行系统分析. 取初始曲率半径 $r_0 = 100m$, 温度变化 $\Delta T = 1000^\circ C$, 由表 2 的数据可得 $\sigma_y^{core} - \sigma_x^{core}$ 随这些参数的变化曲线. 图 2 表明, 改变材料参数 α_s, α_{uc} 可以显著影响应力差, 而其他材料参数的影响较小, 并且改变 $\alpha_s, \alpha_{uc}, t_s, t_{lc}$ 中的某一参数可使芯层应力差为零. 从表 3 的计算结果可看出, 使芯层应力差为零的衬底太薄, 而下包层太厚. 因此, 改变衬底和上包层热膨胀系数是调节芯层应力差的主要手段. 对比表 2 和表 3 的数据还可看出, 当衬底和上包层热膨胀系数近似相等时, 芯层应力差为零. 这与有限元分析^[3,6,7]和实验结果^[3,15]吻合. 在实际的器件制作中, 可以调节 B、P 的含量改变 Si 基 SiO_2 AWG 上包层的热膨胀系数^[3,15], 也可以使用热膨胀系数合适的材料做 AWG 的衬底和上包层.

4 应力板对芯层应力差的影响

在 AWG 芯片阵列波导区的底部或者顶部粘贴应力板是调节芯层应力的有效方法. 如图 3 所示, 在阵列波导区粘贴应力板后, 阵列波导 xz 方向的横截面近似为 5 层平板系统, xy 方向的横截面近似为 4 层平板系统, 利用本文发展的理论可对波导芯层应力差进行分析.

不同材料(杨氏模量 E 、热膨胀系数 α 、泊松比 ν 不同)或不同厚度的应力板引起的热应力是不同的,

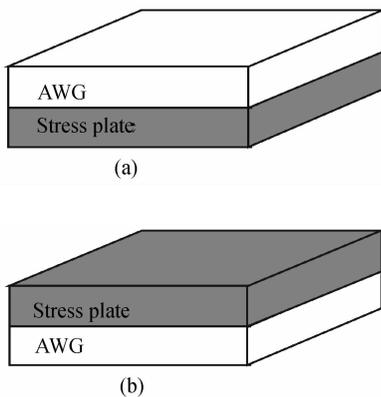


图 3 贴有应力板的 AWG 芯片 (a) 应力板在芯片底部; (b) 应力板在芯片顶部

Fig.3 AWG chip attached by a stress plate (a) Stress plate attaching on the bottom of AWG; (b) Stress plate attaching on the top of AWG

表 4 几种金属板的结构参数
Table 4 Material properties of stress plates

	E/GPa	$\alpha/10^{-6}K^{-1}$	ν
铝	70	24	0.33
铸铁	83	12	0.3
黄铜	96	21	0.34
不锈钢	190	17	0.3

本文分析了几种常见金属材料作应力板时对 AWG 阵列波导芯层应力差的影响. 使用热固化环氧树脂胶粘贴金属板和芯片, 设室温为 $20^\circ C$, 固化温度取 $120^\circ C$, AWG 的参数取表 2 的数据, 应力板的参数取表 4 的数据, 对图 3 所示的两种结构进行分析, 结果如图 4 所示.

这几种金属板的热膨胀系数都大于衬底的热膨胀系数, 且都是正值, 在从固化温度下降到室温时, 金属板的收缩大于衬底的收缩, 在波导芯层中产生了预应力. 从图 4 可以看出, 改变金属板厚度可以有效地调节芯层应力差. 当金属板贴在 AWG 芯片阵列波导区底部时, 金属板有薄、厚两种厚度使 $\sigma_y^{core} - \sigma_x^{core}$ 为零; 当金属板贴在顶部时, 调节金属板的厚度无法使 $\sigma_y^{core} - \sigma_x^{core}$ 为零. 这是因为应力板能大幅度地调节平行衬底方向的芯层应力 σ_y^{core} , 而对垂直衬底

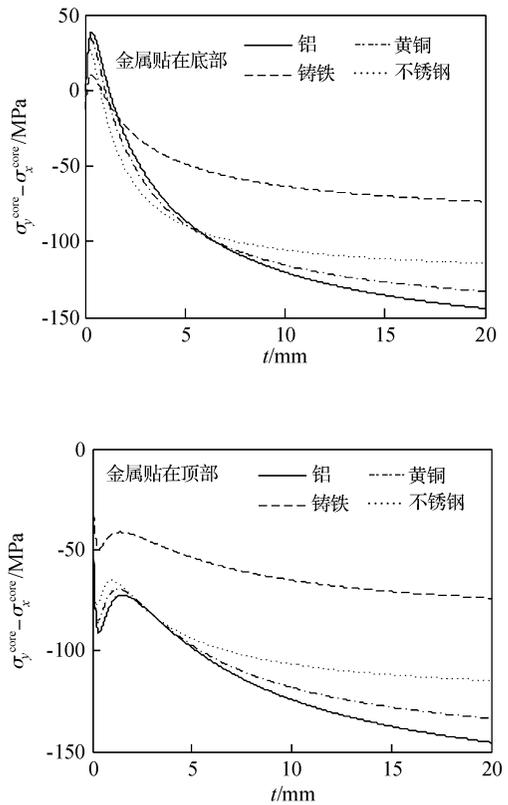


图 4 $\sigma_y^{core} - \sigma_x^{core}$ 随金属应力板厚度的变化示意图

Fig.4 $\sigma_y^{core} - \sigma_x^{core}$ as functions of thickness of stress plates

方向的芯层应力 σ_x^{core} 调节很小,当金属板贴在底部时,随金属板厚度的增加, σ_y^{core} 经历了压应力、张应力、压应力3个阶段,而当金属板贴在顶部时, σ_y^{core} 一直是压应力。

5 结论

通过与文献对比发现,结合弹性多层板热应力理论和掩埋波导芯层的应力集中效应得到的波导芯层应力的解析解,优于广义平面近似下的结果,不仅与有限元的数值分析结果更接近,而且能够反映各层参数变化对芯层应力的影响。更为重要的是,对于应力补偿的无热AWG,应力补偿板的厚度和衬底的厚度相当,弹性多层板热应力理论的引入是必需的。推导了芯层应力差的解析表达式,说明芯层应力差来源于初始翘曲和波导各层热膨胀系数差,并指出当温度变化较小时,芯片的初始翘曲、衬底与上包层的热膨胀系数差都是产生波导芯层应力差的重要原因;当温度变化较大时,衬底和上包层的热膨胀系数差成为导致波导芯层应力差的主要原因。第一次系统分析了波导各层材料结构参数(杨式模量、泊松比、热膨胀系数和厚度)对芯层应力差的影响,说明调节衬底的热膨胀系数、上包层的热膨胀系数、衬底的厚度和下包层的厚度都可以消除芯层应力差,但改变衬底和上包层热膨胀系数是调节芯层应力差的主要手段。讨论了几种常见金属材料作应力板时对波导芯层应力差的影响,当金属板贴在波导底部时,金属板有薄、厚两种厚度使芯层应力差为零;当金属板贴在波导顶部时,调节金属板的厚度无法消除芯层应力差。

参考文献

- [1] Himeno A, Kato K, Miya T. Silica-based planar lightwave circuits. *IEEE J Sel Topics Quantum Electron*, 1998, 4(6): 913
- [2] Saitoh K, Koshiba M, Tsuji Y. Stress analysis method for elastically anisotropic material based optical waveguides and its application to strain-induced optical waveguides. *J Lightwave Technol*, 1999, 17(2): 255
- [3] Kilian A, Kirchhof J, Kuhlow B, et al. Birefringence free planar optical waveguide made by flame hydrolysis deposition (FHD) through tailoring of the overcladding. *J Lightwave Technol*, 2000, 18(2): 193
- [4] Deng Xiaoqing, Yang Qinqing, Wang Hongjie, et al. Stress analysis of silica optical waveguide on silicon by a finite element method. *Chinese Journal of Semiconductors*, 2002, 23(11): 1196 (in Chinese) [邓晓清, 杨沁清, 王红杰, 等. 硅基二氧化硅波导的应力和偏振相关性的数值分析. *半导体学报*, 2002, 23(11): 1196]
- [5] Deng Xiaoqing, Yang Qinqing, Wang Hongjie, et al. Theoretical analysis on birefringence compensation in silica optical waveguide on silicon. *Chinese Journal of Semiconductors*, 2002, 23(12): 1303 (in Chinese) [邓晓清, 杨沁清, 王红杰, 等. 硅基二氧化硅波导的双折射效应补偿理论分析. *半导体学报*, 2002, 23(12): 1303]
- [6] Jin Yongxing, Lü Jun, Lü Xiang. Analysis of relation between thermal expansion coefficient of cladding and stress birefringence of optical waveguide. *Acta Optica Sinica*, 2003, 23(05): 572 (in Chinese) [金永兴, 吕俊, 吕翔. 光波导覆层热膨胀系数对应力双折射影响的分析. *光学学报*, 2003, 23(05): 572]
- [7] An Junming, Ban Shiliang, Liang Xixia, et al. Numerical analysis for a SiO₂/Si waveguide stress-birefringence. *Chinese Journal of Semiconductors*, 2005, 26(7): 1454 (in Chinese) [安俊明, 班士良, 梁希侠, 等. SiO₂/Si波导应力双折射数值分析. *半导体学报*, 2005, 26(7): 1454]
- [8] He Zhongjiao. Analysis of stress birefringence for silica waveguide on silicon and SOI rib waveguide. *Acta Photonica Sinica*, 2006, 35(2): 201 (in Chinese) [何忠蛟. 硅基二氧化硅波导和SOI脊型波导应力双折射研究. *光子学报*, 2006, 35(2): 201]
- [9] Zhao X, Li C, Xu Y Z. Stress-induced birefringence control in optical planar waveguides. *Optics Letters*, 2003, 28(7): 564
- [10] Huang M. Thermal stresses in optical waveguides. *Optics Letters*, 2003, 28(23): 2327
- [11] Huang M. Analytical solutions for thermal stresses in buried channel waveguides. *IEEE J Quantum Electron*, 2004, 40(11): 1562
- [12] Li Weite, Huang Baohai, Bi Zhongbo. Theoretical analysis of thermal stress and their applications. Beijing: China Electric Power Press, 2004: 69 (in Chinese) [李维特, 黄保海, 毕仲波. 热应力理论分析及应用. 北京: 中国电力出版社, 2004: 69]
- [13] Hsueh C H. Thermal stresses in elastic multilayer systems. *Thin Solid Films*, 2002, 418(2): 182
- [14] Ooba N, Hibino Y, Inoue Y, et al. Athermal silica-based arrayed-waveguide grating multiplexer using bimetal plate temperature compensator. *Electron Lett*, 2000, 36(21): 1800
- [15] Ojha S M, Cureton C, Brichenon T, et al. Simple method of fabricating polarization-insensitive and very low crosstalk AWG grating devices. *Electron Lett*, 1998, 34(1): 78

Analytical Solutions for Thermal Stresses in the Core of Silica-on-Silicon Waveguide

Huang Huamao^{1,2}, Huang Dexiu^{1,2,†}, and Liu Wen^{1,3}

(1 Wuhan National Laboratory for Optoelectronics, Wuhan 430074, China)

(2 School of Optoelectronic Science and Engineering, Huazhong University of Science and Technology, Wuhan 430074, China)

(3 Wuhan Accelink Technologies Co., Ltd., Wuhan 430074, China)

Abstract: Elastic multilayer theory and stress concentration in buried channel waveguides are combined to obtain analytical solutions for thermal stress in the core of silica-on-silicon waveguides. Then the closed-form expression of stress anisotropy is obtained. It is shown that the anisotropy of thermal stress in conventional AWG comes from the initial warp and the thermal-expansion mismatch between waveguide layers. A complete analysis shows that the stress anisotropy can be minimized by tuning one of four parameters, including the thermal expansion coefficients of the substrate and upper cladding, and the thicknesses of the substrate and lower cladding, or by attaching a metal plate with proper thickness on the bottom of the arrayed waveguide.

Key words: optical waveguide; thermal stress; elastic multilayer system; stress concentration; stress plate

EEACC: 4130; 6240D

Article ID: 0253-4177(2007)09-1459-06

† Corresponding author. Email: wn1o2@mail.hust.edu.cn

Received 9 March 2007, revised manuscript received 18 April 2007