

# 平板显示器驱动芯片中 NLD MOS 寄生电容 \*

李海松 孙伟锋 易扬波 俞军军 陆生礼

(东南大学国家专用集成电路系统工程技术研究中心, 南京 210096)

**摘要:** 功率器件寄生电容的大小直接关系到平板显示器驱动芯片的功耗及性能. 本文利用器件的动态电流来分析 NLD MOS 寄生电容特性. 在不影响 NLD MOS 直流特性的前提下, 通过改变鸟嘴位置, 得到具有低寄生电容的高性能器件. 将该器件应用于平板显示器驱动芯片高低压转换电路, 模拟结果证明该电路的自身功耗降低了 34%, 高压输出对低压控制信号的扰动减小了 32%.

**关键词:** 低功耗; 鸟嘴; 寄生电容; 高低压转换电路

**EEACC:** 2570D; 2560B

**中图分类号:** TN710 **文献标识码:** A **文章编号:** 0253-4177(2005)07-1379-05

## 1 引言

高压驱动芯片是平板显示器系统的核心部件之一, 它将前级的低压控制信号转换为高压驱动信号, 以实现图像显示. 平板显示器高压驱动芯片输出电压一般在 60 ~ 200V 范围内, 单路最大驱动电流一般在几十 mA 到几百 mA. 由于芯片的功耗大, 工作时会产生大量的热, 使芯片的温度升高, 从而影响功率器件的各种特性<sup>[1, 2]</sup>. 所以在芯片的设计过程中, 降低功耗是提高功率器件及芯片性能的一种有效途径.

目前国内外对功率器件的研究主要是针对器件的静态特性<sup>[3~5]</sup>, 而对动态特性, 特别是从寄生电容角度对器件进行设计尚不多见. 在平板显示器驱动芯片工作时, 由于负载主要为容性负载, 功率器件寄生电容的大小将直接决定高压电路自身功耗的大小. 如果能够减小功率器件的寄生电容, 便可以降低芯片功耗, 减小芯片发热量, 从而使功率器件及芯片的稳定性和可靠性得到提高. 本文通过分析 NLD MOS 鸟嘴位置变化对寄生电容的影响, 优化器件的寄生电容, 得到性能更加优越的高压 NLD MOS, 并用于平板显示器驱动芯片高低压转换电路.

## 2 NLD MOS 结构

本文所研究的 NLD MOS 的基本结构如图 1 所示. 该 NLD MOS 在基于 1.5 μm 的标准低压 CMOS 工艺线上实现, 选用  $1 \times 10^{15} \text{ cm}^{-3}$  的 p 型硅作为衬底材料. 器件栅氧厚度为 25 nm; n 型漂移区长度为 8 μm; 采用磷注入; 高温退火后, 形成 2.5 μm 深的 n 阱. p 阱为硼注入, 高温退火后, 沟道表面有效浓度为  $1 \times 10^{17} \text{ cm}^{-3}$ . 在该器件中, p 阱一方面用于调节开启电压; 另一方面用于防止器件穿通和漏电. 流水试验结果表明, 器件的开启电压为 1.7 V, 在  $V_{gs} = 0 \sim 6 \text{ V}$  范围内,  $V_{ds}$  的耐压可以达到 100 V 以上.

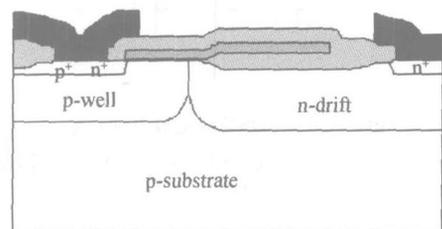


图 1 NLD MOS 纵向剖面图

Fig. 1 Cross-sectional view of the NLD MOS

\* 国家高技术研究发展计划资助项目 (批准号: 2003AA1Z1400, 2004AA1Z1060)

李海松 男, 1981 年出生, 硕士研究生, 主要从事功率器件与功率集成电路研究. Email: haisong@seu.edu.cn

孙伟锋 男, 1977 年出生, 博士研究生, 主要从事数模混合电路、功率器件与功率集成电路、射频器件等方向的研究.

2004-11-26 收到, 2005-01-18 定稿

### 3 NLD MOS 寄生电容等效模型

图 2 给出了 NLD MOS 的寄生电容等效模型. 该模型主要考虑五个寄生电容: 栅与源之间寄生电容  $C_{gs}$ 、栅与衬底之间寄生电容  $C_{gb}$ 、栅与漏之间寄生电容  $C_{gd}$ 、漏与源之间寄生电容  $C_{ds}$  以及漏与衬底之间寄生电容  $C_{db}$ . 由于模型仅用于分析高低压转换电路对负载电容充放电时的功耗, 此时器件的源与衬底始终同电位, 为简便起见, 不考虑源与衬底之间的电容  $C_{sb}$ . 在很多低压 MOS 器件等效电容模型中, 漏与衬底之间寄生电容  $C_{db}$  一般可以忽略<sup>[6]</sup>, 因为漏结较浅, 面积也较小, 所以与衬底的寄生电容相对于  $C_{gs}$  和  $C_{gd}$  非常小. 而在 LDMOS 中, 为了使器件能够满足击穿电压的要求, 存在一个漂移区, 该漂移区一般结较深, 面积较大, 所以漏与衬底之间寄生电容  $C_{db}$  就变得不可忽略. 此外, NLD MOS 在高低压转换电路中正常工作时, 最大  $V_{gs}$  电压等于低压电源电压, 而最大  $V_{ds}$  电压等于高压电源电压, 所以在考虑电路功耗的时候,  $C_{gd}$ 、 $C_{ds}$  和  $C_{db}$  的影响就要比  $C_{gs}$  和  $C_{gb}$  大得多<sup>[7,8]</sup>.

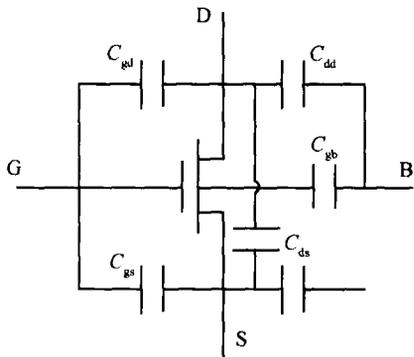


图 2 NLD MOS 寄生电容等效模型

Fig. 2 Parasitical capacitance model of the NLD MOS

### 4 NLD MOS 寄生电容优化设计

在器件的工艺参数中, 影响寄生电容的因素很多, 如沟道的长度、栅氧化层厚度、漂移区的浓度、结深、长度, 以及鸟嘴的位置等. 但是在这些因素中, 大部分在器件的工艺、耐压要求、电流要求确定之后就不可改变, 否则将使器件的直流特性迅速变差. 例如, 减小漂移区长度可以减小  $C_{db}$ , 但漂移区长度的

减小将使击穿电压降低. 因此在不影响 NLD MOS 直流特性的前提下优化器件的寄生电容变得非常必要.

在去除不可变因素之后, 这里主要分析器件的鸟嘴位置对寄生电容的影响. 如图 3 所示, 定义鸟嘴与漂移区边界的距离为  $L_b$ , 通过对不同  $L_b$  长度下器件直流特性和电容特性的分析, 得到满足要求的器件.

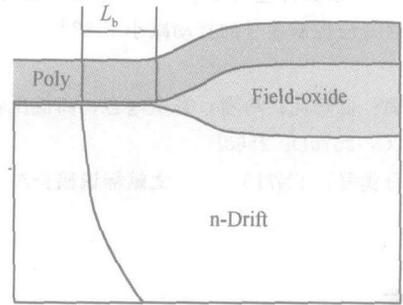


图 3 NLD MOS 鸟嘴结构示意图

Fig. 3 Bird's beak shape of the NLD MOS

#### 4.1 不同 $L_b$ 长度下器件直流特性分析

这里  $L_b$  分别取 1.25, 1.00, 0.75, 0.50, 0.25, 0.00  $\mu\text{m}$  六个值, 在不同的  $L_b$  下分别模拟得到 NLD MOS 的开态和关态  $I-V$  特性曲线.

图 4(a) 为  $V_{gs} = 0\text{V}$ 、器件宽  $W = 100\mu\text{m}$ 、温度  $T = 300\text{K}$  条件下,  $L_b$  分别取 1.25, 1.00, 0.00  $\mu\text{m}$  三个值时的  $I-V$  特性曲线. 由图可知, 当  $L_b = 1\mu\text{m}$  时, 器件的  $I-V$  特性曲线基本重合, 击穿电压都大于 100V, 满足设计的耐压要求; 而当  $L_b = 1.25\mu\text{m}$  时, 仅在  $V_{ds} = 60\text{V}$  左右器件就发生了击穿, 因此在不降低器件击穿电压的前提下,  $L_b$  的值不得大于  $1\mu\text{m}$ .

图 4(b) 为  $V_{gs} = 5\text{V}$ 、器件宽  $W = 100\mu\text{m}$ 、温度  $T = 300\text{K}$  条件下,  $L_b$  分别取 1.25, 0.25, 0.00  $\mu\text{m}$  三个值时的  $I-V$  特性曲线. 由图可知, 在  $L_b = 0.25\mu\text{m}$  时, 器件的  $I-V$  特性曲线基本重合, 耐压大于 100V, 满足设计要求; 而当  $L_b = 0.00\mu\text{m}$  时, 虽然耐压满足要求, 但器件的特征电阻变大, 因此  $L_b$  的值不得小于  $0.25\mu\text{m}$ .

综合考虑上述内容, 在不改变 NLD MOS 直流特性的前提下,  $L_b$  的取值必须满足:  $0.25\mu\text{m} \leq L_b \leq 1.00\mu\text{m}$ .

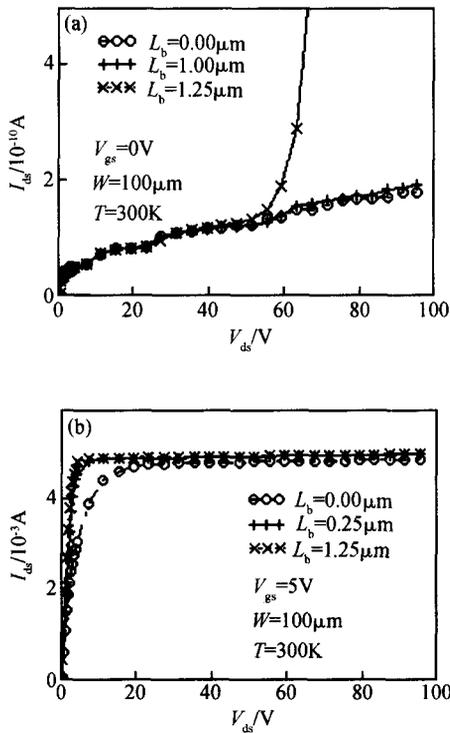


图 4 不同  $L_b$  长度下 NLD MOS  $I-V$  特性比较 (a)  $V_{gs} = 0V$ ; (b)  $V_{gs} = 5V$   
 Fig. 4  $I-V$  characteristics of the NLD MOS with different  $L_b$  values (a)  $V_{gs} = 0V$ ; (b)  $V_{gs} = 5V$

4.2 不同  $L_b$  长度下器件寄生电容分析

通过前面对 NLD MOS 的分析可知,在  $0.25\mu m$   $L_b = 1.00\mu m$  时,器件的直流特性差别不大,因此在这个范围内,对器件的寄生电容进行分析.分别在  $L_b$  取  $1.00, 0.75, 0.50, 0.25\mu m$  四个值时,运用 Medici 计算 NLD MOS 的等效寄生电容  $C_{gs}, C_{gb}, C_{gd}, C_{ds}$  和  $C_{db}$ . 微分电容的公式如下:

$$C = \frac{dQ}{dU} = \frac{\frac{dQ}{dt}}{\frac{dU}{dt}} = \frac{I(t)}{U(t)}$$

根据以上公式,只要通过 Medici 模拟出 NLD MOS 四个电极的电流和电压随着时间的变化曲线,便可以得到电极之间的电容值.

图 5 分别给出了  $L_b$  取  $1.00, 0.75, 0.50$  和  $0.25\mu m$  时,  $C_{gb}, C_{gs}$  和  $C_{gd}$  随着  $V_{gs}$  的变化曲线,其中  $V_{ds} = 0V$ 、器件宽  $W = 100\mu m$ 、温度  $T = 300K$ . 由图 5 (a) 可知,在  $V_{gs} < 0$  时,  $C_{gb}$  的值较大,并随着  $L_b$  的增大而增大;在  $V_{gs} > 0$  时,由于反型层的形成<sup>[6]</sup>,  $C_{gb}$  变得非常小,不论  $L_b$  的取值,  $C_{gb}$  都近似为 0. 由图 5 (b) 和图 5 (c) 可知,在  $V_{gs} < 0$  时,  $C_{gs}$  和  $C_{gd}$  的值都较小,基本不随  $L_b$  的大小而变化;在  $V_{gs} > 0$  时,  $C_{gs}$  值变大,并随  $L_b$  的增大而增大,但变化的幅度较小,如图中放大部分所示.  $C_{gd}$  的值同样变大,并随  $L_b$  的增大而增大,而且变化的幅度较大.

图 6 分别给出了  $L_b$  取  $1.00, 0.75, 0.50$  和  $0.25\mu m$  时,  $C_{db}, C_{ds}$  和  $C_{gb}$  随着  $V_{ds}$  的变化曲线,其中  $V_{gs} = 5V$ 、器件宽  $W = 100\mu m$ 、温度  $T = 300K$ . 由图 6 (a) 可知,  $C_{db}$  的值基本不随  $L_b$  变化,因为该电容主要是 n-Drift 与 p-Sub 的结电容,在漂移区和衬底的浓度及几何尺寸不变的情况下,  $C_{db}$  不变. 由图 6 (b) 可知,  $C_{ds}$  在器件处于线性区时,存在峰值,并随  $L_b$  的增大而增大,但变化幅度较小,如图中放大部分所示;器件进入饱和区后,由于沟道夹断,  $C_{ds}$  近似为 0. 由图 6 (c) 可知,在线性区  $C_{gd}$  随  $L_b$  的增大而增大,且幅度较大;器件进入饱和区后,  $C_{gd}$  趋向于一个常数,不再受  $L_b$  的影响.

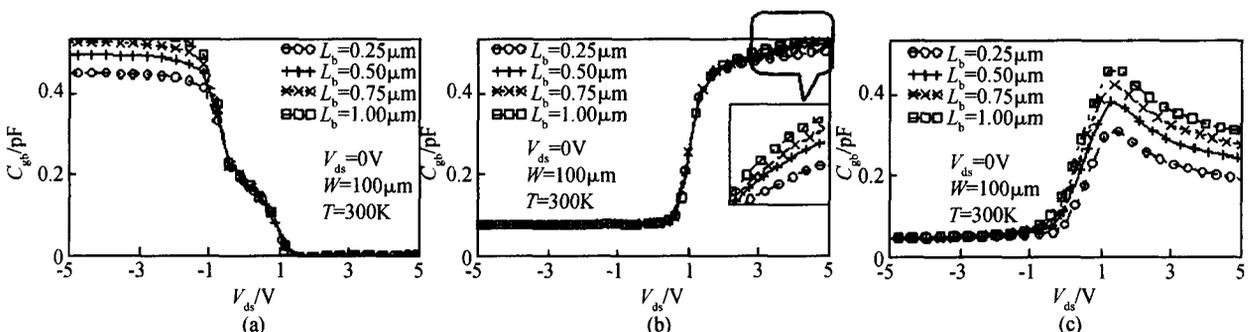


图 5 不同  $L_b$  长度下 NLD MOS 的寄生电容  $C_{gb}$  (a),  $C_{gs}$  (b) 及  $C_{gd}$  (c) 随  $V_{gs}$  的变化曲线

Fig. 5 Parasitital capacitance  $C_{gb}$  (a),  $C_{gs}$  (b), and  $C_{gd}$  (c) of the NLD MOS as a function of  $V_{gs}$  and for different  $L_b$  values

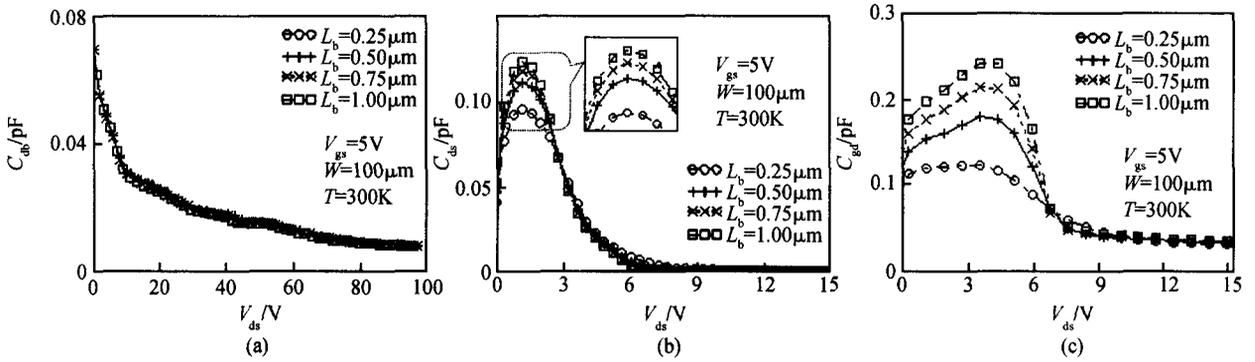


图 6 不同  $L_b$  长度下 NLD MOS 寄生电容  $C_{db}$  (a),  $C_{ds}$  (b) 及  $C_{gd}$  (c) 随  $V_{ds}$  的变化曲线

Fig. 6 Parasitival capacitance  $C_{db}$  (a),  $C_{ds}$  (b), and  $C_{gd}$  (c) of the NLD MOS as a function of  $V_{ds}$  for different  $L_b$  values

通过上面的分析得到结论:随着  $L_b$  的增大,  $C_{gs}$ ,  $C_{gd}$ ,  $C_{gb}$  和  $C_{ds}$  都会增大,且  $C_{gd}$  的变化幅度最大,所以在  $0.25\mu m \leq L_b \leq 1.00\mu m$  的范围内,  $L_b$  的值越小, NLD MOS 的寄生电容越小.

### 5 电路中的应用

下面比较具有不同  $L_b$  长度的 NLD MOS 在电路中的应用. 图 7 为平板显示器驱动芯片用高低压转换电路. IN 为低压输入信号; OUT 为高压输出信号; P0 为低压 pMOS; N0 为低压 nMOS; P1, P2, P3 为高压 PLD MOS; N1, N2, N3 为高压 NLD MOS. 存在两个电源电压  $V_{DD}$  和  $V_{PP}$ , 其中  $V_{DD}$  为低压电源电压,  $V_{PP}$  为高压电源电压.

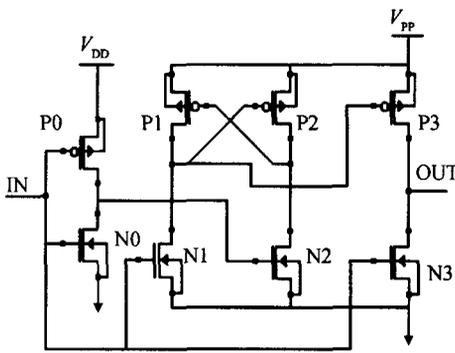


图 7 平板显示器驱动芯片用高低压转化电路

Fig. 7 Level shifter circuit for flat panel display driver IC

在电路工作的时候,主要考虑以下两个参数:(1) 高压输出端 OUT 对 N3 栅上低压控制信号的扰动,由于 NLD MOS 的栅漏寄生电容  $C_{gd}$  的耦合作用,在 N3 的  $V_{gs} = 0V$  时, OUT 由低电平变为高电平的过程

中,会使  $V_{gs}$  升高,并且存在一个电压峰值,定义为  $V_{MAX}$ ,如果  $V_{MAX}$  很大,超过了 NLD MOS 的阈值电压  $V_T$ ,就会使 NLD MOS 导通,带来大的短路电流,在严重的时候会影响芯片的正常功能. (2) 不带负载的情况下,电路在单位周期内的功耗  $W_T$ .

在低压电源电压  $V_{DD} = 5V$ 、高压电源电压  $V_{PP} = 100V$ 、低压输入信号频率为  $250kHz$  的方波、PLD MOS 保持不变的前提下,对使用具有不同  $L_b$  长度的 NLD MOS 电路进行分析,  $L_b$  分别取  $0.25, 0.50, 0.75$  和  $1.00\mu m$  四个值. 图 8 给出了  $V_{MAX}$  和  $W_T$  随  $L_b$  的变化曲线,从中可知,当  $L_b$  由  $0.25\mu m$  变化到  $0.75\mu m$  时,高压输出对低压控制信号的扰动  $V_{MAX}$  由  $0.82V$  增大到  $1.21V$ ,电路单位周期内的功耗  $W_T$  由  $72mW$  增大到  $109mW$ . 引起这些变化的原因在于 NLD MOS 的寄生电容随着  $L_b$  的增大而增大,特别是  $C_{gd}$  随着  $L_b$  的增大而增大. 当  $L_b = 0.25\mu m$  时,扰动  $V_{MAX}$  和功耗  $W_T$  分别要比  $L_b = 1.00\mu m$  时减小  $32\%$  和  $34\%$ . 所以  $L_b = 0.25\mu m$  的 NLD MOS 将显著提高电路及芯片的性能.

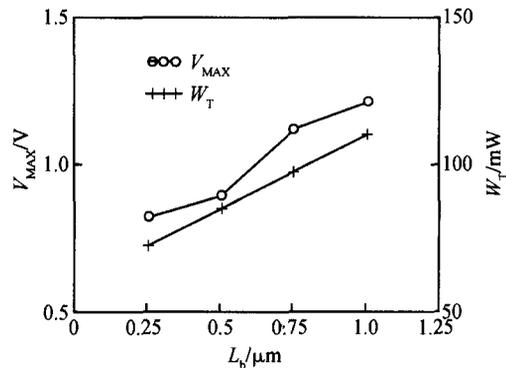


图 8  $V_{MAX}$  和  $W_T$  随  $L_b$  的变化曲线

Fig. 8  $V_{MAX}$  and  $W_T$  versus  $L_b$

## 6 总结

在 NLD MOS 的设计过程中,寄生电容的优化具有重要的意义.如果能够设计出具有较低寄生电容的器件,将会降低高低压转换电路的功耗,提高芯片的性能.

本文对 NLD MOS 的寄生电容进行了分析,提出了一种等效寄生电容模型,并在不改变器件直流特性的前提下,通过优化鸟嘴的位置,优化 NLD MOS 的寄生电容.通过模拟分析,发现鸟嘴与漂移区边界的距离  $L_b$  在一定范围内变化对器件的直流特性影响很小,本文所研究的 NLD MOS 在  $0.25\mu\text{m}$   $L_b = 1.00\mu\text{m}$  条件下,直流特性基本相同;而在这个范围内, $L_b$  的取值越小,器件的寄生电容,特别是  $C_{gd}$  就越小. $L_b = 0.25\mu\text{m}$  的 NLD MOS 应用于高低压转换电路时,高压输出对控制信号的扰动要比  $L_b = 1.00\mu\text{m}$  时减小 32%,高低压转换电路的自身功耗降低 34%,高低压转换电路的性能得到显著提高.

### 参考文献

[ 1 ] Dolny G M, Nostrand G E, Hill K E. The effect of tempera-

ture on lateral DMOS transistors in a power IC technology. IEEE Trans Electron Devices, 1992, 39: 990

- [ 2 ] Arnold E, Letavic T, Merchant S, et al. High-temperature performance SOI and bulk-silicon RESURF LDMOS transistors. Power Semiconductor Device and ICs ISPSD, 1996: 93
- [ 3 ] Kim J, Kim S G, Song Q S, et al. Improvement on p-channel SOI LDMOS transistor by adapting a new tapered oxide technique. IEEE Trans Electron Devices, 1999, 46(9): 1890
- [ 4 ] Sun Zhilin, Sun Weifeng, Yi Yangbo, et al. Study of a high reliability P-LDMOS. Chinese Journal of Semiconductors, 2004, 25(12): 1690 (in Chinese) [孙智林, 孙伟锋, 易扬波, 等. 高可靠性 P-LDMOS 研究. 半导体学报, 2004, 25(12): 1690]
- [ 5 ] Cheng Xinhong, Yang Wenwei, Song Zhaorui, et al. A novel LDMOS structure in thin film patterned-SOI technology with a silicon window beneath p well. Chinese Journal of Semiconductors, 2004, 25(12): 1580
- [ 6 ] Inuishi M, Mitsui K, Kusunoki S, et al. Gate capacitance characteristics of gate/N-overlap LDD transistor with high performance and high reliability. IEDM, 1991: 371
- [ 7 ] Driffith E C, Power J A, Elebert P, et al. Characterization and modeling of LDMOS transistors on a  $0.6\mu\text{m}$  CMOS technology. ICMTS, 2000: 175
- [ 8 ] Pawel S, Kusano H, Nakamura Y, et al. Simulator-independent capacitance macro model for power DMOS transistors. ISPSD, 2003: 287

## Parasitical Capacitance of NLD MOS for a Flat Panel Display Driver IC \*

Li Haisong, Sun Weifeng, Yi Yangbo, Yu Junjun, and Lu Shengli

(National ASIC System Engineering Research Center, Southeast University, Nanjing 210096, China)

**Abstract:** The parasitical capacitances of power devices greatly influence the power dissipation and performance of driver ICs for flat panel display. In this paper, the parasitical capacitances of NLD MOS are researched by analyzing the dynamic current characteristics, and optimized by changing the position of bird-beak, without any influence on the DC characteristics. Then, NLD MOS with low parasitical capacitance is applied to a level shifter circuit. Simulation results show that the power dissipation of the circuit is decreased by 34% while the cross-talk from the high voltage output to low voltage control signal is reduced by 32%.

**Key words:** low power dissipation; bird's-beak; parasitical capacitance; level shifter circuit

**EEACC:** 2570D; 2560B

**Article ID:** 0253-4177(2005)07-1379-05

\* Project supported by the National High Technology Research and Development Program of China (Nos. 2003AA1Z1400 and 2004AA1Z1060)

Li Haisong male, was born in 1981, master candidate. His research work focuses on power devices and power ICs. Email: haisong@seu.edu.cn

Sun Weifeng male, was born in 1977, PhD candidate. He is engaged in research on mixed signal ICs, power devices and power ICs, RF devices.

Received 26 November 2004, revised manuscript received 18 January 2005

©2005 Chinese Institute of Electronics