

# CF<sub>4</sub> 预处理后热生长薄栅氧漏电流及势垒研究\*

刘 倜 欧 文

(中国科学院微电子研究所, 北京 100029)

**摘要:** 嵌入式 Flash Memory 要求低的工作电压. 采用反应离子刻蚀技术, 用 CF<sub>4</sub> 气体在低功率下对硅片做预处理, 再热生长薄氧化层, 从而在氧化层中引入 F, 降低氧化层势垒; 势垒高度从 3.05eV 降低到 2.5eV, 隧穿电流增加, 从而可以在低压下提高 Flash Memory 的编程效率.

**关键词:** Flash memory; 漏电流; 电子势垒; F 化隧穿氧化层

**EEACC:** 0520; 2530; 2810

**中图分类号:** TN304.055

**文献标识码:** A

**文章编号:** 0253-4177(2005)07-1434-03

## 1 引言

Flash Memory 是一种非易失性存储器, 广泛应用于数码、通讯等领域. 无线通讯及移动存储的迅猛发展, 要求 Flash Memory 低电压、低功耗、高密度、大容量. 随着器件尺寸的缩小, 漏电压不断地降低, 但栅电压的降低要受到控制栅和浮栅的电容耦合系数、Si/SiO<sub>2</sub> 势垒高度、应变漏电流等因素影响, 从而栅电压的降低跟不上漏电压降低的速度, 这成为嵌入式 Flash Memory 应用的一个主要障碍.

在降低栅工作电压方面, 降低 Si/SiO<sub>2</sub> 的势垒高度是一种很有应用潜力的方法. 国际上在该方面进行了一些工作, 如采用表面粗糙的多晶硅来降低隧穿氧化层的势垒, 但这会降低器件的表面迁移率<sup>[1]</sup>; 另有研究表明, 在 SiO<sub>2</sub> 中掺杂 F, 可以降低 Si/SiO<sub>2</sub> 势垒, 并且可以增强氧化层抗辐射及抑制热电子效应<sup>[2]</sup>.

向 SiO<sub>2</sub> 中掺杂 F, 有很多种方法. 如采用液相淀积; 离子注入; 利用 WF<sub>6</sub> 扩散; 在含 F 气氛中热氧化<sup>[2-5]</sup>等. 本文采用反应离子刻蚀机 (RIE) 用 CF<sub>4</sub> 对硅片做预处理, 然后进行氧化的方法, 在 SiO<sub>2</sub> 中引入 F. 此方法无须增加新设备, 且工艺复杂度增加得也很少. 对制备的含 FSiO<sub>2</sub> 介质进行了研究, 得

到如下结论: 在试验范围内, 随着 CF<sub>4</sub> 预处理时间的增加, SiO<sub>2</sub>/Si 势垒下降, 而隧穿漏电流则是先增大后减小, 但仍然大于未做处理的对照样片的漏电流.

## 2 实验

实验制作了 n<sup>+</sup> 多晶硅/F 氧化硅/p-Si 衬底的 MOS 电容. 采用电阻率在 15~20 Ω·cm 之间的 p 型 (100) 硅片. 首先对硅片进行 RCA 清洗, 用离子反应刻蚀机作预处理, 在 66661 Pa 压力下, 通 100 sccm CF<sub>4</sub> 气体流量, 在 Gap 高度为 1.1 cm、功率为 10 W 的条件下进行 1~4 min 的氟化处理. 将预处理后的硅片干氧退火 (840 °C, 27 min), N<sub>2</sub> 气退火 20 min, 生长 4.5 nm 的氧化层, 然后淀积 200 nm 的多晶硅, 对多晶硅进行注入, 使其方块电阻约为 30 Ω/□. 硅片背面溅射 Al 作为背面电极.

氧化层的厚度由 C-V 曲线及椭圆仪测得, F-V 曲线及势垒高度由 HP4145 测量并计算后得出.

## 3 结果和讨论

图 1 所示为样片的 J-E 特性曲线. 其中, control, 1, 2, 3, 4 min 分别表示未作处理的对照样片和

\*国家重点基础研究专项经费 (批准号: G20000365) 和国家自然科学基金 (批准号: 60276023) 资助项目

刘 倜 男, 1977 年出生, 硕士研究生, 研究方向为与常规 CMOS 工艺兼容的低电压 Flash 器件及工艺.

欧 文 男, 1966 年出生, 硕士, 主要研究兴趣在半导体器件物理、超大规模集成电路工艺技术.

2004-11-25 收到, 2005-01-31 定稿

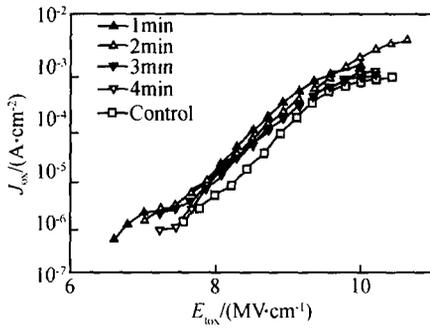


图 1 J<sub>ox</sub>-E<sub>ox</sub>特性曲线

Fig.1 Forward J-E characteristics

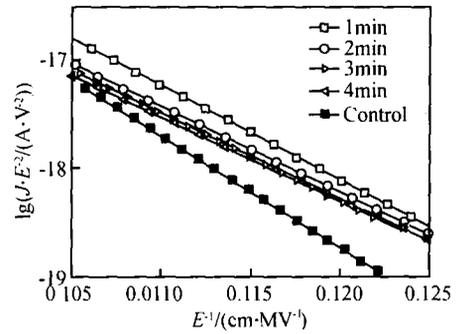


图 2 lg J/E<sup>2</sup> 与 E<sup>-1</sup>关系曲线

Fig.2 Fowler-Nordheim plot:lg J/E<sup>2</sup> versus E<sup>-1</sup>

用 CF<sub>4</sub> 进行 1,2,3,4min 处理后的样片. 栅氧化层电场强度 E<sub>tox</sub> 由下式得出:

$$E_{tox} = \frac{V_{test} - V_{FB}}{T_{ox}}$$

其中 V<sub>test</sub> 为实测的电压; V<sub>FB</sub> 为电容的平带电压; T<sub>ox</sub> 为栅氧化层厚度. 由此可以看出, 由于 F 的掺入, 使得样片的隧穿电流远大于对照样片. 但是, 随着预处理时间的增加, F 浓度的增加, 隧穿电流反而有所降低, 但仍然高于对照样片的隧穿电流. 可能的原因是, 由于 F 在氧化层中会补足悬挂键, 并且减少界面陷阱密度, 同时高浓度的 F 会打破 Si-O 键, 形成 F-Si 键, 因而改善了介质特性, 并且减少界面陷阱及 SiO<sub>2</sub> 中的固定电荷, 从而抑制了隧穿漏电流.

另外, 由于 F 的掺入, 样片氧化层的厚度较之对照样片有了额外的增加: 对照样片的厚度为 4.5nm, 而用 CF<sub>4</sub> 进行 1,2,3,4min 处理后的样片的厚度分别为: 4.6, 4.8, 4.9, 5.0nm. 由于 F 取代 O 形成 F-Si 键, 多余的 O 会移动到氧化层的边缘, 和衬底的 Si 发生反应, 形成了额外增厚的氧化层<sup>[2]</sup>. 这一层额外的氧化层也许比较有效地消除了刻蚀带来的损伤, 从而减少了由损伤带来的漏电.

要推导等效电子势垒, 需利用 Fowler-Nordheim 效应,  $J = E_{inj}^2 \exp(-E_c/E_{inj})$ , 其中 E<sub>inj</sub> 是电场强度, 和 -E<sub>c</sub> 是与 SiO<sub>2</sub> 中电子隧穿有效质量 m\* (0.41m<sub>0</sub><sup>[6,7]</sup>) 及电子势垒高度 φ<sub>b</sub> 有关的常量, 并假设电子势垒与电场强度无关. 图 2 为 F-N 隧穿的 lg J/E<sup>2</sup> - E<sup>-1</sup> 的关系曲线, 其斜率用来计算势垒高度.

计算结果如图 3 所示, 对照样片势垒大约在 3.05eV, 随着 F 浓度的增加, 势垒逐渐减小, 4min 处理后的样片的势垒高度大约为 2.5eV.

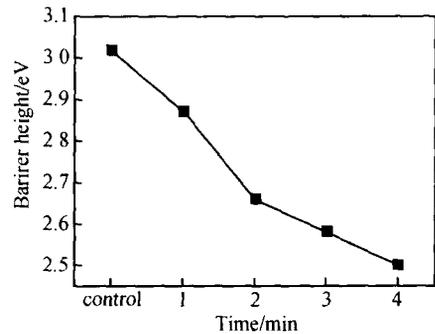


图 3 势垒高度与 CF<sub>4</sub> 预处理时间的关系曲线

Fig.3 Electron barrier height as a function of pretreated time with CF<sub>4</sub>

### 4 结论

本文采用反应离子刻蚀机, 用 CF<sub>4</sub> 气体对硅片进行预处理, 向 SiO<sub>2</sub> 中引入 F. 实验结果表明, 采用这种适量地向 SiO<sub>2</sub> 中引入 F 的方法, 可以显著降低 SiO<sub>2</sub> 的势垒, 增加隧穿电流, 满足 Flash Memory 低工作电压的要求. 随着预处理时间的增加, F 浓度也进一步增加, SiO<sub>2</sub> 的等效势垒降低, 但是却会抑制隧穿漏电流.

致谢 感谢中国科学院微电子所的赵玉印高级工程师、李多力工程师、钟兴华同学以及其他给予帮助和支持的人们.

### 参考文献

[ 1 ] Brown W D, Brewer J E. Nonvolatile semiconductor memory technology. New Jersey: IEEE Press, 1997: 15  
 [ 2 ] Wright P J, Saraswat K C. The effect of fluorine in silicon di-

- oxide gate dielectrics. IEEE Trans Electron Devices ,1989 ,36 (5) :879
- [ 3 ] Lu Weishin ,Hwu Jenngwo. Reliable fluorinated thin gate oxides prepared by liquid phase deposition following rapid thermal process. IEEE Electron Device Lett ,1996 ,17(4) :172
- [ 4 ] Lo G Q ,Ting W ,Ahn J H ,et al. Thin fluorinated gate dielectrics grown by rapid thermal processing in O<sub>2</sub> with diluted NF<sub>3</sub>. IEEE Trans Electron Devices ,1992 ,39(1) :148
- [ 5 ] Whiltlow H J ,et al. Fluorin in low-pressure chemical vapor phase deposited W/Si contact structures: Inclusion and thermal stability. Appl Phys Lett ,1987 ,5 :1497
- [ 6 ] Lenzlinger M ,Snom E H. Fowler-Nordheim tunneling into thermally grown SiO<sub>2</sub>. J Appl Phys ,1969 ,40(1) :278
- [ 7 ] Brar B ,Wilk GD ,Seabaugh A C. Direct extraction of the electron tunneling effective mass in ultrathin SiO<sub>2</sub>. Appl Phys Lett ,1996 ,69(18) :2728

## Leakage Current and Electron Barrier Height of Thin Tunnel Oxide Grown on a CF<sub>4</sub> Pretreated Wafer \*

Liu Ti and Ou Wen

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

**Abstract :** Thin tunnel-oxide grown on RIE(reaction ion etch) pre-treated wafer with CF<sub>4</sub> at low-power is investigated. SiO<sub>2</sub>/ Si barrier height is lowered because F is induced into the thin tunnel-oxide :the barrier height drops from 3. 05 to 2. 5eV. Thus the tunneling current increases and the programming efficiency at low-voltage is improved.

**Key words :** flash memory ; leakage current ; barrier height ; fluorinated tunneling-oxide

**EEACC :** 0520 ; 2530 ; 2810

**Article ID :** 0253-4177(2005)07-1434-03

---

\* Project supported by the Special Funds for Major State Basic Research Plan(No. G20000365) and the National Natural Science Foundation of China(No. 62076023)

Liu Ti male, was born in 1977. His research interests are in low voltage Flash memory device and processing technology.

Ou Wen male, was born in 1966. His research interests are in the physics of semiconductor devices and novel technology in ULSI.

Received 25 November 2004 ,revised manuscript received 31 January 2005

©2005 Chinese Institute of Electronics