多晶硅加热法评价金属互连线电迁移寿命

赵 毅1,2 曹 刚3 徐向明1

(1 上海华虹 NEC 电子有限公司逻辑技术开发部,上海 201206) (2 东京大学材料系,东京,113-8656,日本) (3 上海华虹 NEC 电子有限公司品管部,上海 201206)

摘要:采用一种新颖的方法——多晶硅加热法评价了金属连线的电迁移(EM)寿命.用该方法得到的结果与传统 封装测试法得到的结果进行了对比,两者有相当好的一致性.同时,测试时间不到封装测试的 1 ‰ 说明多晶硅加热 法是一种非常有效的 EM 评价方法.由于该方法是晶片级测试,而且测试时间非常短,所以采用这种方法可以实现 对金属互连线质量的在线实时监控.

关键词: 金属互连线; 电迁移; 多晶硅

PACC: 6630Q

1 引言

电迁移(Electromigration, EM)是微电子器件 中主要的失效机理之一. 电迁移能造成金属互连线 的开路和短路,使器件漏电流增加.在器件向亚微 米、深亚微米发展中,金属互连线的宽度不断减小, 电流密度不断增加,更易于因电迁移而失效.因此, 随着工艺的进步,EM 的评价备受重视[1].但是,传 统的 EM 评价方法需要对样品进行封装[2] ,从封装 到评价完成需要几周时间,而不可能对金属连线的 质量进行在线实时监控,但是随着工艺的发展,必须 要求对工艺进行在线监控[3]. 因此,研究者提出了很 多硅片级的 EM 测试方法,如 SWEAT (standard wafer-level EM accelerated test) [4,5];金属击穿能量 法(breakdown energy of metal)[6],自加热法(isothermal)[7,8]等.但是这些方法仍然存在很多问题, 如:由于测试电流太高,不能用于通孔 EM 评价;测 试温度和电流不能独立控制;测试时间仍然是个问 题等. 本文采用一种新颖的方法 ——多晶硅加热法 (ploy silicon heating) 评价金属连线的电迁移寿命, 在独立控制测试温度和电流的基础上,用该方法可 以实现对金属连线电迁移寿命的实时监控. 得到的结果与用传统封装测试结果有相当好的一致性. 同时,测试时间不到传统封装测试的 1 ‰,而且该结构同样可以用于对通孔 EM 的评价.

2 实验

本文中用到的金属连线为铝硅铜合金,金属线宽度为 0.32μ m 和 8μ m,长度 1000μ m.图 1 是多晶硅加热法的示意图.该方法是利用多晶硅作为电阻,在通一定电流后产生热量,利用这个热量对其上的金属连线测试结构进行加热,从而得到在加速条件下的金属连线的电迁移寿命,然后通过 Black 方程推得在使用条件下的电迁移寿命 $MTF(media\ time\ to\ failure\ ,中位寿命 , <math>T_{50}$),进一步由以下方程求得需要的 EM 寿命,使用条件下的 $T_{0.1}$ (0.1%样品失效时的寿命)为[9]

$$T_{0.1} = T_{50, \text{ stress}} \left(\frac{J_{\text{use}}}{J_{\text{ stress}}} \right)^{-N} \times \exp \left\{ -3.09 + \frac{E_0}{k} \left(\frac{1}{T_{\text{use}}} - \frac{1}{T_{\text{ stress}}} \right) \right\}$$

式中 $T_{50,stress}$ 为加速条件下的中位寿命 ; J_{use} 为设计规则最大电流 ; J_{stress} 为测试电流 ; N 为电流加速因子 ; 为测试数据对数正态分布曲线斜率的倒数 ; E_{u}

赵 毅 男,1977年出生,博士研究生,工程师,从事 MOS 器件的可靠性研究和测试结构设计以及高介电常数栅介质研究. Email:zhao @ adam.t.u-tokyo.ac.jp

是激活能,一般取 0.6 eV; k 是玻尔兹曼常数,其值为 $8.62 \times 10^{-5} \text{ eV}/\text{ K}$; T_{use} 为器件最高使用温度; T_{stress} 为测试温度.

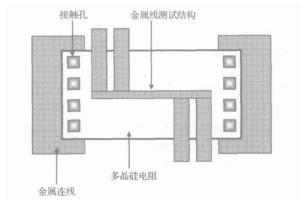


图 1 多晶硅加热法测试结构示意图

Fig. 1 Schematic of poly silicon heating structure

利用事先求得的电阻温度系数(TCR),测试结构的温度可以通过测得其电阻值反推得到.为了使测试电阻精确,我们使用四端子 Kelvin 结构. EM加速测试在 HP4071A 设备上进行,并通过硅片托盘(stage)对硅片衬底温度进行精确恒定控制. TCR参数测试在 HP4156C 设备上完成.

3 结果与讨论

图 2 是金属连线测试结构的电阻随温度变化的 示意图 ,通过曲线拟合 ,可以得到测试结构 TCR 的表达式如下:

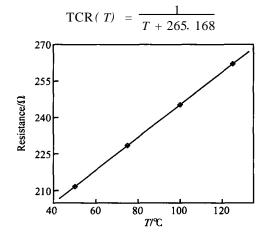


图 2 金属线电阻随温度的变化关系

Fig. 2 Plot of resistance versus temperature of test metal line

图 3 是采用多晶硅加热法与传统的封装测试法

所得结果的对比. 从图中可以明显看出,传统的封装测试需要很长的测试时间,加上还需要封装,增加了测试的复杂度.

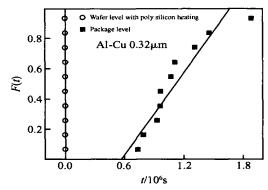


图 3 多晶硅加热法(350)与传统封装测试法(200)结果 对比

Fig. 3 Comparison of results with poly silicon heating method (350) and with common package method (200)

表 1 是用不同的评价方法得到的数据和结果.从表中可以看出,用两种方法得到的数据推出的 EM 寿命非常接近.同时,从测试条件下的 T50可以看到多晶硅加热法的一个非常明显的优点就是节省测试时间,它可以在 200s 左右完成一个样品的测试,完成所有样品测试的时间也不到 0.5h;而传统的封装测试则需要花费大量的时间,一般为 3 周左右.可见,利用多晶硅加热法所用的时间还不到传统封装测试时间的 1 ‰,却可以得到相当接近的结果(EM 寿命).此外,从数据的 来看,用多晶硅加热法得到的数据 很小,这说明数据的可靠性很好,数据离散性较小.最关键的一点是由于它不需要封装而且测试时间短,所以这种测试结构可以放在 PCM (process control monitor)结构中,实现对金属连线质量的在线监控.

表 1 多晶硅加热法和传统封装法的测试参数和结果对比 Table 1 Measurement parameter and results with poly silicon heating and common package method

	W	T	J	T_{50}		$T_{0.1}$
	$/\mu_m$	/	/ (A ·cm ⁻²)	/ s		/ year
多晶硅	0.32	350	1.74 ×10 ⁷	215	0.18	84.6
加热法	8	350	1.74 ×10 ⁷	101	0.17	40.5
传统	0.32	200	4 ×10 ⁶	892800	0.41	82.05
封装法	8	200	4 ×10 ⁶	428900	0.45	39.4

注:W 为线宽;T 为测试温度;T 为测试电流密度;T₅₀ 为加速测试下的中位寿命;为测试数据对数正态分布曲线斜率的倒数(Time to Failure-F(t));T_{0.1}为 0.1%样品失效时的寿命.

但是从以上用多晶硅加热法得到的数据可以看到,通过金属连线的电流比较大.对于金属连线 EM的评价,可以利用金属连线自身的焦耳热来提高自身的温度,而对于通孔(via,contact)来说,则应尽量避免焦耳热.因为对于通孔结构,金属与通孔的接触电阻较大,因此界面处的焦耳热比较严重,温度也就较高,所以整个结构温度不均匀,无法得到其准确的温度.为了该结构可以用于对通孔 EM的评价,应该降低测试结构的电流.可以通过优化多晶硅结构的设计,降低测试结构自身焦耳热的贡献,从而达到降低电流的目的.

3 结论

利用多晶硅加热法评价了金属互连线的电迁移 (EM)寿命. 与传统的封装测试评价结果进行了对比,结果表明这两者有很好的一致性. 用多晶硅加热法,可以在很短的时间内得到金属互连线的 EM 寿命. 而且用该方法得到的数据 非常小,可靠性很好. 同时,可以利用这个结构实现对金属互连线质量的在线监控.

参考文献

[1] Ogawa E T, Lee K D, Blaschke V A, et al. Electromigration

- reliability issues in dual-damascene Cu interconnections. IEEE Transactions on Reliability ,2002 ,51 (4) :403
- [2] Standard Method for measuring and using the temperature coefficient of resistance to determine the temperature of a metalization line. J EDEC Standard 33A, 1995:10
- [3] Jiao Huifang, Kong Xuedong Jia Xinzhang, et al. Relationship between electromigraion and process. Chinese Journal of Semiconductors, 2000, 21(9):927(in Chinese)[焦慧芳,孔学东,贾新章,等. 电迁移与工艺相关的关系. 半导体学报, 2000, 21(9):9271
- [4] Brisgin D, Turner T. Isothermal versus standard wafer electromigration test for the characterization of metal systems. Pro IEEE Integrated Reliability Workshop, 1997:136
- [5] A Procedure for Executing SWEAT, JEP119, 1994
- [6] Hong C C, Crook D L. Breakdown energy of metal (BEM) a new technique for monitoring metallization reliability at wafer level. Pro. IEEE Int Reliability Physics Symp, 1985:108
- [7] Chatterjee P K, Hunter W R, Amerasekera A, et al. Trends for deep submicron VLSI and their implications for reliability. Pro IEEE Int Reliability Physics Symp, 1995:1
- [8] Hijab R S, Yue J T. The isothermal wafer level test for VLSI interconnect evaluation. Pro Final Report Int Wafer Level Reliability Workshop, 1992:186
- [9] Foundry process qualification guidelines. J EDEC/ FSA Joint Publication, 2002

Electromigration of a Metal Line with the Poly Silicon Heating Method

Zhao Yi^{1,2}, Cao Gang³, and Xu Xiangming¹

(1 Logic Technology Development Division, Shanghai Hua Hong NEC Electronic Company Limited, Shanghai 201206, China)
(2 Department of Material Engineering, University of Tokyo, Tokyo 113-8656, Japan)

(3 Quality Assurance Division, Shanghai Hua Hong NEC Electronic Company Limited, Shanghai 201206, China)

Abstract: A novel metal line electromigration (EM) investigation method is used. Experiment results with the new method is compared with those of the common package method. The results with the two methods are very consistent. But ,with the poly silicon heating method ,the measurement time is less than 1 ‰of that with the common package method. This indicates that the poly silicon heating method is a very effective method for metal line EM investigation. Because the poly silicon heating method is completed at the wafer level ,the quality of metal line can be monitored on line with this method.

Key words: metal interconnection; electromigration; poly silicon

PACC: 6630

Article ID: 0253-4177 (2005) 08-1653-03

Zhao Yi male, was born in 1977, PhD candidate, development engineer. His main research interests are MOS device reliability and test structure design. Email:zhao @adam.t.u-tokyo.ac.jp