

# 一种新的高性能开关电容排序电路\*

林 谷 石秉学

(清华大学微电子学研究所 北京 100084)

**摘要** 本文首次提出了一种新的高性能开关电容排序电路。它采用开关电容技术跟踪/保持输入信号,通过全对称的求大网络求最大,最后分时输出排序结果。该电路结构简单、灵活,规模易扩展。PSPICE 模拟结果表明,该电路具有分辨率高、排序范围大等特点。由于求大网络全并行工作,使得电路工作速度快。另外,该电路排序的时间复杂度仅为  $O(3n)$ ,  $n$  为输入端数,这十分有利于多输入端排序。由于采用成熟的开关电容技术,该电路同数字 CMOS 工艺相兼容,易于模拟、数字混合集成,利于 VLSI 实现。

EEACC: 0220, 1285, 2570K

## 1 引言

目前,在工程实际中存在着许多问题。其中,有些问题可以采用数值计算来解决,而其它大部分问题往往无法用数值计算的方法来完成。随着科学技术的发展,这类非数值问题的应用越来越广泛,如何更为有效地处理这些非数值问题已成为工程研究的重要课题。

排序就是一个基本的非数值问题。简单地说,排序就是一个将无序表调整为有序表的过程。随着研究的发展和深入,排序已经被应用于许多领域的处理系统中,如分类、查找、模式识别等多种系统<sup>[1-3]</sup>。这些系统往往要处理大量的数据,同时需要进行实时处理,这就对系统的性能有了更高的要求。目前,虽然排序的方法较多,如冒泡法、快速排序法等<sup>[4]</sup>,但由于这些算法都较难以用 VLSI 来实现,所以排序工作主要采用软件依靠数字计算机来完成。这样,一方面大大限制了系统的工作速度,难以进行实时处理;另一方面,也限制了排序方法的应用领域。为此,本文提出了一种易于 VLSI 实现的模拟型排序电路。模拟型的 VLSI 主要有电压型和电流型两种电路。同电流型电路相比<sup>[5]</sup>,电压型电路具有精度高、功耗小,无需  $V-I$ 、 $I-V$  转换电路,便于同其它电路连接。所以,目前电压型电路已广泛地应用于多种集成电路系统中。基于此,我们设计了一种电压型的排序电路。该电路工作时,所有待排序电压同时输入,排序结果分时输出。PSPICE 模拟结果表明,该电路具有分辨率高、排序范围大、速

\* 本课题由国家自然科学基金和高校博士点基金资助

林 谷 男,1972 年出生,博士研究生,从事人工神经网络及模糊逻辑系统的集成电路实现、数字和模拟集成电路研究

石秉学 男,1936 年出生,教授,博士生导师,从事人工神经网络及模糊逻辑系统及其集成电路实现、模拟集成和数/模混合集成电路与系统研究

1997-04-24 收到,1997-06-24 定稿

度快等特点 同时, 电路结构简单、灵活, 规模易于扩展 由于采用成熟的开关电容技术, 使该电路同数字 CMOS 工艺相兼容, 易于模拟、数字混合集成, 利于 VLSI 实现

## 2 开关电容型排序电路的结构和工作原理

为了阐述方便起见, 这里给出一个四输入开关电容排序电路, 其结构框图如图 1 所示 图 2 给出了该电路工作的时序图

该排序电路是由模块 1 和模块 2 两个部分组成的 模块 1 是输入输出部分, 它是由完全相同的四个输入输出单元电路组成

输入输出单元电路如图 3 所示, 主要由开关电容和 D 触发器组成 开关电容用于对输入电压进行采样保持, D 触发器可根据电容  $C$  上的电压状态产生相应的控制信号并用于输出排序 模块 2 是电压型的全对称求大网络, 其电路如图 4 所示 在网络工作时, 由  $\phi_1$  控制的一组开关先接通, 将各节点  $V_{ik} (k = 0, 1, 2, 3)$  的电压清零 当输入端  $V_{ik} (k = 0, 1, 2, 3)$  加电压时,  $V_p$  给上拉 PMOS 管加偏置 这时, 网络中各节点在下拉 NMOS 管的相互抑制的竞争作用下, 由初始的非稳态向一稳定态过渡 每一个节点的输出电压通过其它节点的下拉 NMOS 管促使其它节点的电压下降, 而其本身在上拉 PMOS 管的作用下, 电压上升 只有起始电压最高的节点可将其它节点的电压抑制到最低 随着其它节点的电位被拉低, 最高电位节点上的各下拉 NMOS 管的开启程度变低, 导通电阻增大, 这又促使该节点在上拉管的作用下电位进一步提高 最终该节点的电位被增强到最大值  $V_{DD}$ , 而其它节点的电位被拉到低电平, 完成了求最大的操作

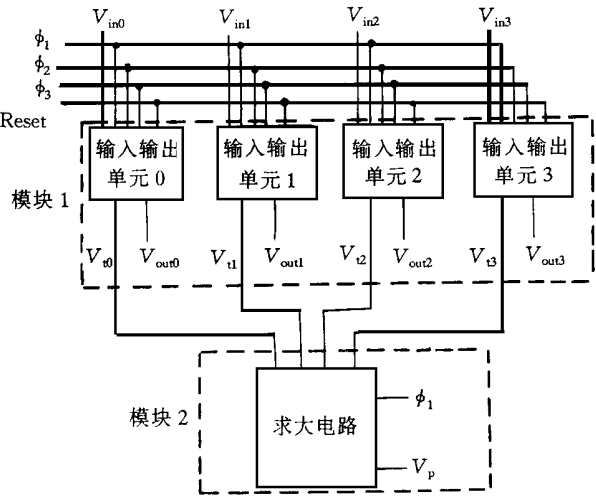


图 1 四输入开关电容排序电路结构框图

每个节点的输出电压通过其它节点的下拉 NMOS 管促使其它节点的电压下降, 而其本身在上拉 PMOS 管的作用下, 电压上升 只有起始电压最高的节点可将其它节点的电压抑制到最低 随着其它节点的电位被拉低, 最高电位节点上的各下拉 NMOS 管的开启程度变低, 导通电阻增大, 这又促使该节点在上拉管的作用下电位进一步提高 最终该节点的电位被增强到最大值  $V_{DD}$ , 而其它节点的电位被拉到低电平, 完成了求最大的操作

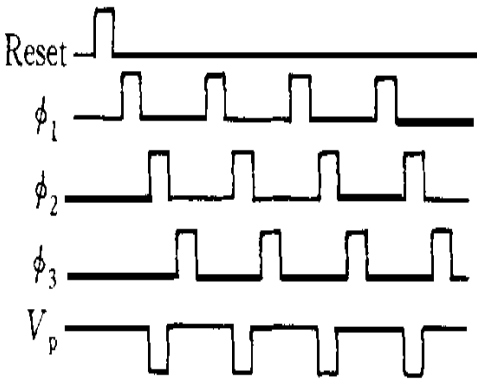


图 2 四输入开关电容排序电路工作的时序图

下面讨论该四输入开关电容排序电路的工作原理 参考时序图 2, 当排序电路被启动时, 首先 Reset 信号变高, 对各个输入输出单元电路进行复位, 即将输入输出单元中电容  $C$  上的电压清零, 同时将 NCT 变低, CT 变高以及将  $V_{out}$  变低 由于 CT 为高电平, 使得 CP1、CP2 只由  $\phi_1$ 、 $\phi_2$  控制 复位结束后, 时钟  $\phi_1$  变高, 使 CP1 变高,  $V_{in}$  将输入输出单元电路中的电容  $C$  充电到  $V_{in}$ ; 同时, 在求大网络中, 由

下面讨论该四输入开关电容排序电路的工作原理 参考时序图 2, 当排序电路被启动时, 首先 Reset 信号变高, 对各个输入输出单元电路进行复位, 即将输入输出单元中电容  $C$  上的电压清零, 同时将 NCT 变低, CT 变高以及将  $V_{out}$  变低 由于 CT 为高电平, 使得 CP1、CP2 只由  $\phi_1$ 、 $\phi_2$  控制 复位结束后, 时钟  $\phi_1$  变高, 使 CP1 变高,  $V_{in}$  将输入输出单元电路中的电容  $C$  充电到  $V_{in}$ ; 同时, 在求大网络中, 由

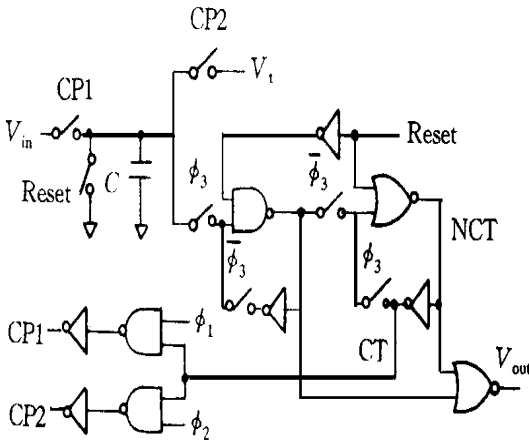


图 3 输入输出单元电路图

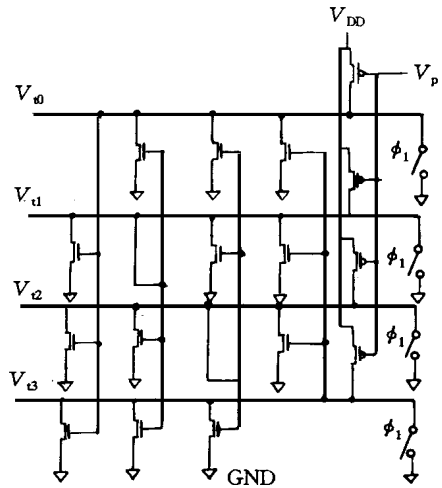


图 4 四端求大网络电路图

$\phi_1$  控制的一组开关接通,使得求大网络中各节点  $V_{ik} (k=0, 1, 2, 3)$  的电压清零。 $\phi_1$  变低后,  $V_{in}$  就保持在电容  $C$  上。接着  $\phi_2$  变高,使 CP2 变高,即将各输入输出单元中电容  $C$  上的电压加到求大网络的输入端  $V_{ik} (k=0, 1, 2, 3)$ ; 同时,在求大网络中,  $V_p$  给上拉 PMOS 管加偏置,求大网络开始工作。根据前面的分析可知,求大网络中各节点在下拉 NMOS 管的相互抑制的竞争作用下,由初始的非稳态向一稳定态过渡。最后最初存储最大电压的电容将被充电到高电平,而其它电容将放电到低电平。在这里,我们不妨假定  $V_{in0} = \max(V_{in0}, V_{in1}, V_{in2}, V_{in3})$ , 则通过求最大后,输入输出单元 0 中的电容  $C$  被充电到高电平,而其它输入输出单元中电容被放电到低电平。 $\phi_2$  变为低电平后,单元 0 中的电容  $C$  上的电压将保持为高电平,而其它单元中电容上的电压为低电平。当  $\phi_3$  变为高电平,输入输出单元电路中的 D 触发器开始工作。很显然,单元 0 中的电容  $C$  由于存储了高电平,使得  $V_{out0}$  变高,而其它单元中电容由于存储低电平,使得相应的  $V_{outk} (k=1, 2, 3)$  仍为低; 当  $\phi_3$  变为低电平后,单元 0 中的 NCT 变高,  $V_{out0}$  变低,这样  $V_{out0}$  将输出一个高电平脉冲,而其它  $V_{outk} (k=1, 2, 3)$  仍然保持低电平; 同时,在输入输出单元 0 中,由于 NCT 变高, CT 变低,这使得 CP1 和 CP2 变低,这将使单元 0 中的电容  $C$  同  $V_{in0}$  和  $V_{i0}$  隔离,即单元 0 中电容  $C$  将不受输入和求大网络的影响始终保持在高电平,直到下一个复位 Reset 信号脉冲到来为止。另外,当求大网络中各节点  $V_{ik} (k=0, 1, 2, 3)$  的电压在下次清零后,  $V_{i0}$  将始终保持为零,即  $V_{i0}$  端不再影响其它输入端的电压比较。这样,其余输入电压  $V_{in k} (k=1, 2, 3)$  仍按上面的工作原理可以求出次最大,并在次最大电压输入端相应的  $V_{out}$  处输出一个高电平脉冲。依此类推,最后得出排序结果。

从上面的分析可以看出,该排序电路根据输入端电压大小的顺序将在相应的  $V_{out}$  端依次输出一个高电平脉冲,即实现了将输入端电压全排序的功能。由于,该排序电路中的求大网络采用全并行工作,收敛速度很快,一个九端求大网络在极端情况下(低电压、低压差)收敛时间小于  $1\mu s$ <sup>[3]</sup>。从排序电路的工作原理可知,该电路排序时间的复杂度为  $O(3n)$ ,  $n$  为输入端数,这对于具有很多输入端的排序十分有利。从电路的组成可以看出,该排序电路的结构简单、灵活,由于采用模块化设计,在电路规模上易于扩展。

### 3 模拟结果

我们分别在几种典型输入情况下对该排序电路进行了  $2\mu\text{m}$  工艺下的 PSPICE 的模拟。在第一种情况下,  $V_{\text{in}k}$  ( $k = 0, 1, 2, 3$ ) 分别输入 4.985V, 4.995V, 4.990V 和 5.000V, 输出  $V_{\text{out}k}$  ( $k = 0, 1, 2, 3$ ) 的模拟结果如图 5; 第二种情况下,  $V_{\text{in}k}$  ( $k = 0, 1, 2, 3$ ) 分别输入 2.995V, 3.000V, 2.990V 和 2.985V, 模拟结果如图 6; 第三种情况下,  $V_{\text{in}k}$  ( $k = 0, 1, 2, 3$ ) 分别输入 1.000V, 1.015V, 1.030V 和 1.045V, 模拟结果如图 7。从这些模拟结果图中可以看出, 在时序的控制下,  $V_{\text{out}k}$  ( $k = 0, 1, 2, 3$ ) 按照  $V_{\text{in}k}$  ( $k = 0, 1, 2, 3$ ) 的大小依次输出一个高电平脉冲, 排序的结果完全正确。PSPICE 模拟结果还表明, 排序电路的分辨率很高, 至少在 5mV 以内。排序电路的动态范围大, 在  $V_{\text{TH}} \sim V_{\text{DD}}$  之间变化,  $V_{\text{DD}}$  为电源电压,  $V_{\text{TH}}$  为 NMOS 管的阈值电压。

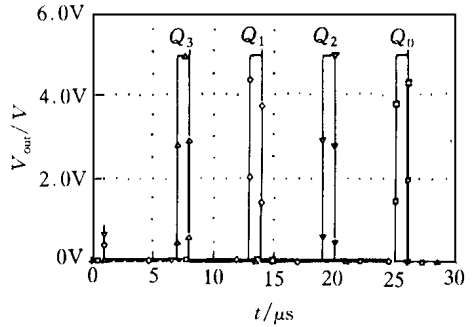


图 5 第一种情况的模拟结果

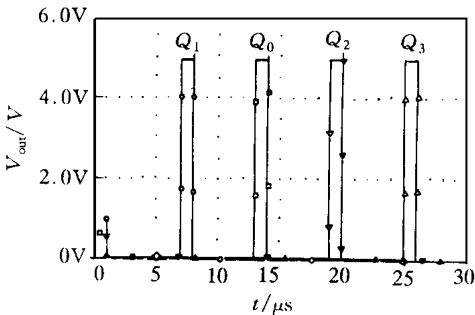


图 6 第二种情况的模拟结果

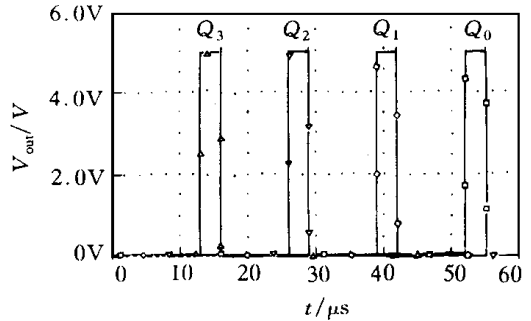


图 7 第三种情况的模拟结果

### 4 总结

本文首次提出了一种高性能的开关电容型排序电路。它采用开关电容技术跟踪/保持输入信号, 通过求大网络求最大, 最后按输入电压大小排序依次输出相应端的高电平脉冲, 以实现排序的功能。该电路结构简单、灵活, 其规模易扩展。求大网络全并行工作, 收敛速度快。该电路排序时间的复杂度为  $O(3n)$ ,  $n$  为输入端数, 十分有利于多输入端排序。PSPICE 模拟结果表明, 排序的分辨率高、动态范围大。由于采用成熟的开关电容技术, 该电路同数字 CMOS 工艺相兼容, 易于 VLSI 实现。目前, 该电路已被用于模式识别的集成电路设计中, 取得了很好的结果。

## 参 考 文 献

- [ 1 ] 路伟,《基于神经网络和模糊逻辑的数字字符识别及其VLSI实现的研究》,清华大学博士学位论文,1997.
- [ 2 ] 李斌桥,《用于字符识别的神经网络和模糊逻辑集成电路研究》,清华大学博士学位论文,1994
- [ 3 ] 刘柳胜,《模糊逻辑在语音识别中的应用及其VLSI实现的研究》,清华大学博士学位论文,1996
- [ 4 ] 徐士良,《计算机常用算法》,清华大学出版社,1989
- [ 5 ] 林谷,石秉学,半导体学报,1998, 19(2): 144~ 150

## Novel High Performance Switched-Capacitor Sorter Based on Magnitude

L in Gu, Shi Bingxue

*(Institute of Microelectronics, Tsinghua University, Beijing 100084)*

Received 24 April 1997, revised manuscript received 24 June 1997

**Abstract** A novel high performance switched-capacitor sorter based on magnitude is firstly proposed. In this sorter, switched-capacitor circuit is used to track/hold input signals. High resolution symmetric WTA (Winner Take All) network is employed to find maximum voltage level. Then, sorted results are transmitted in time-shared way. The structure of this sorter is simple, flexible and its scale can be easily extended. PSpice simulation shows that the sorting resolution is better than 5mV and the range of input voltage level is wide. Since switched-capacitor structure is employed, this sorter is able to be compatible with a digital CMOS process and easily implemented in VLSI technology.

**EEACC:** 0220, 1285, 2570K