

# 400MHz 250W VDMOS 功率场效应晶体管

刘英坤 杨增敏 郎秀兰 王占利  
何玉樟 吕仲志 李 勇 周晓黎

(电子部第十三研究所 石家庄 050051)

**摘要** 研制出了在 400MHz 下连续波输出 250W, 功率增益 10dB 的垂直双扩散场效应晶体管 (VDMOSFET)。采用 Mo 栅降低串联电阻, 400MHz 下用共源推挽结构成功地进行了并联工作, 在  $V_{ds} = 50V$  下实现了连续波输出 250W, 增益 10dB, 漏极效率 60%。

EEACC: 1220, 2560R

## 1 引言

近几年来硅功率 MOSFET 广泛用于各种固体功率系统, 如高频功率放大器, 信号发生器, 高速开关等。这主要是因为作为功率器件 MOSFET 较双极晶体管相比具有以下优点<sup>[1]</sup>:

- (1) 漏极电流是负温度系数, 热稳定性好, 无二次击穿;
- (2) 优良的线性性能;
- (3) 输入阻抗高, 电路结构简单;
- (4) 开关速度快

特别是 DMOS 作为功率器件, 因为它具有高的漏源击穿电压, 而且不会引起热斑, 所以 DMOS 在高频和大功率方面近几年取得了较大进展, 例如, 900MHz 100W 的 VDMOS<sup>[3]</sup>, 400MHz 100W 的 VDMOS (UF28100)<sup>[2]</sup>, 2.45GHz 7.2W 的 LDMOS<sup>[4]</sup> 等已有报道。但应用在电子对抗领域的 400MHz 下输出功率大于 200W 的 DMOS 器件, 目前国内外尚未见报道, 本文报道了我们开发研制的 400MHz 250W CW 10dB 增益, 漏极效率 60% 的高性能 VDMOS 器件。

## 2 器件设计和制造

本器件的设计研制难度在于解决高频和大功率这一矛盾。而高频和大功率与器件的结

刘英坤 男, 1965 年出生, 硕士, 高级工程师, 主要从事硅微波功率器件研制  
杨增敏 男, 1944 年出生, 高级工程师, 主要从事硅微波功率器件的测试研究  
郎秀兰 男, 1967 年出生, 工程师, 主要从事硅微波功率器件的研制  
王占利 男, 1972 年出生, 助工, 主要从事硅微波功率器件的测试研究  
1998-04-02 收到, 1998-05-11 定稿

构和外延材料的参数选取是分不开的,因此本器件的设计主要从以下几个方面考虑

## 2.1 功率设计考虑

众所周知,器件输出功率  $P_o$  与漏极工作电压  $V_{ds}$  和漏极电流  $I_D$  成正比,因此提高  $P_o$  就需要提高  $V_{ds}$  和  $I_D$ . 提高  $V_{ds}$  就必须提高器件的漏源击穿电压,即提高外延材料电阻率,增加外延层厚度,但这与降低导通电阻相矛盾.所以,通常是在保证  $V_{ds}$  的条件下,尽量提高  $I_D$ ,根据  $I_{D(SAT)} = C_{ox}\mu Z(V_{gs} - V_{th})^2/2L$ ,式中  $C_{ox}$  为栅电容; $\mu$  为电子迁移率; $Z$  为栅宽; $L$  为沟道长度; $V_{gs}$  为栅源电压; $V_{th}$  为阈值电压.提高  $I_D$  就需要增加总栅宽,缩短沟道长度  $L$ ,但  $L$  太短会影响击穿电压,因此提高  $P_o$  主要是靠增加总栅宽

## 2.2 频率设计考虑

根据  $f_T = g_m/2\pi(C_{gs} + C_{gd})$ ,提高DMOS器件的工作频率就必须缩短沟道长度,提高跨导  $g_m$ ,即增大沟道的宽长比,降低栅漏电容  $C_{gd}$ ,栅源电容  $C_{gs}$ ,以及寄生电容,如引线压柄电容.另外提高频率响应关键的一点是降低栅  $RC$  时间常数

降低  $C_{gd}$  可以采用适当加厚栅氧化层的办法.利用垂直双扩散沟道自对准技术可以减少  $C_{gs}$ ,而且还可以有效的控制沟道的长度,采用梳状结构可以最有效的增大沟道的宽长比,有利于高频工作.但在保持  $L$  一定的情况下,栅条的长度增加后,会使栅  $RC$  常数增大,特别是常规多晶硅栅VDMOS<sup>[2]</sup>,由于多晶硅的薄层电阻通常最小可达到  $20\Omega/\square$ ,而且多晶硅膜较厚,因此硅栅VDMOS的栅  $RC$  时间常数较大,这就限制了硅栅VDMOS向高频大功率的发展.对硅栅VDMOS要保持高频,那么栅条长度就不能设计太长,即总栅宽就不可能太大,因此器件输出功率不可能太大,反之如果提高总栅宽,增大输出功率,那么频率就作不上去.所以,选择较理想的栅电极是制作高频大功率VDMOS的关键.文献[3,4]报道的采用  $MoSi_2$  作为栅电极,来降低栅  $RC$  的时间常数,大大的提高了工作频率,但由于  $MoSi_2$  通常是粉末冶金,工艺中易形成粉尘颗粒,因此我们选择了耐高温的难熔金属  $Mo$  作为栅电极,而且  $Mo$  的电阻率低,工艺上容易实现比多晶硅低 1~2 个数量级的薄层电阻,有利于降低栅  $RC$  时间常数,所以是比较理想的栅电极材料,由此在频率 40MHz,实现了器件的更大功率输出

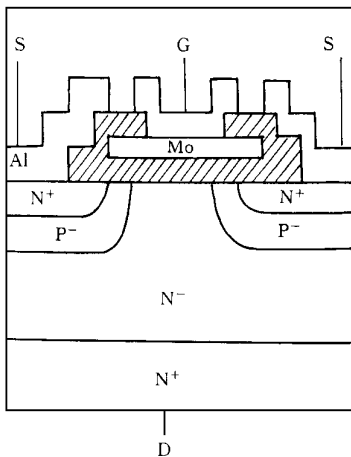


图1 VDMOSFET结构示意图

## 2.3 采用 100 晶向 N 型外延片,优化选取材料参数

基于这些考虑,器件采用梳状结构,常规平面工艺制造,图1示出了单元VDMOS剖面图,衬底选用 100 晶向,N型硅外延材料,电阻率  $3\Omega \cdot cm$ ,外延层厚度  $12\mu m$ , $Mo$  栅用于减小  $RC$  时间常数.用硼,砷离子注入双扩自对准技术实现  $1.5\mu m$  的沟道长度,梳状结构的栅条长度为  $140\mu m$ ,芯片最终金属化为 Al,单胞芯片尺寸为  $1.6 \times 4.95mm^2$ .

## 3 器件的研制结果

图2是单胞VDMOSFET的  $I-V$  特性,从图可看出在  $V_{ds} = 15V$ ,  $V_{gs} = 6V$  时,漏极电流  $I_D = 6A$ ,最大跨导  $g_m$  是  $2S$ ,漏源击穿电压为  $100V$ ,以保证器件可工作在  $V_{ds}$  为  $40 \sim 50V$  之间.图3给出了各电容对漏极电压的关

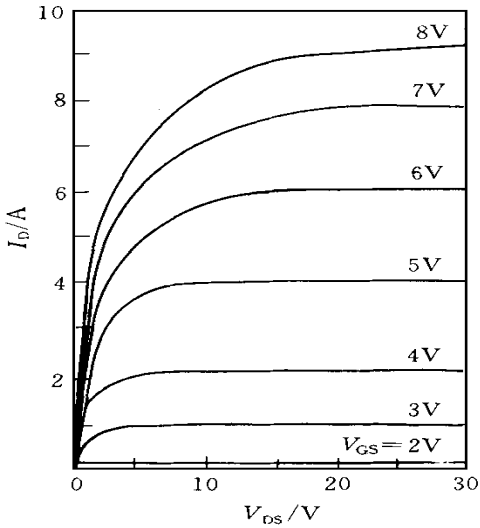


图 2 单胞VDMOSFET  $I-V$  特性

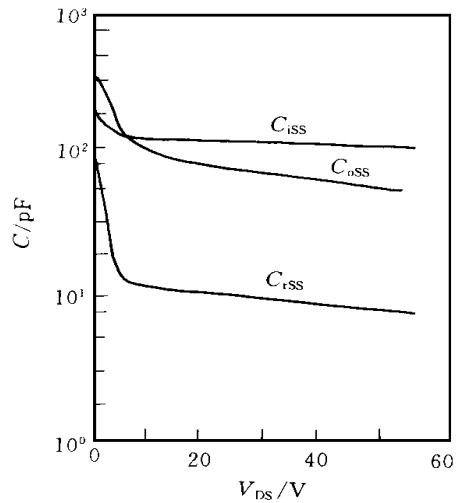


图 3  $C_{iss}$ ,  $C_{oss}$ 和  $C_{rss}$ 与  $V_{ds}$ 关系  
 $V_{gs} = 0, f = 1\text{MHz}$  单胞器件

系 其中  $C_{iss} = C_{gs} + C_{gd}$ ,  $C_{rss} = C_{gd}$ ,  $C_{oss} = C_{ds} + C_{gd}$ ,  $C_{gs}$ ,  $C_{gd}$ ,  $C_{ds}$  分别为器件的栅源电容, 栅漏电容, 漏源电容 根据图 3, 由公式  $f_T = g_m / 2\pi(C_{gs} + C_{gd})$  可得单胞晶体管的截止频率为  $f_T = 2.56\text{GHz}$  图 4 给出了单胞晶体管的输出功率和漏极效率 图 5 是采用推挽结构, 由四胞合成的晶体管输出功率和漏极效率 从图 4 可看出单胞晶体管在  $V_{ds} = 50\text{V}$ , 输出功率可达  $80\text{W}$ ,  $\text{CW}$ ,  $11\text{dB}$  增益,  $65\%$  的效率, 采用推挽结构的晶体管输出功率可达  $250\text{W}$ ,  $\text{CW}$ ,  $10\text{dB}$ ,  $60\%$  的效率

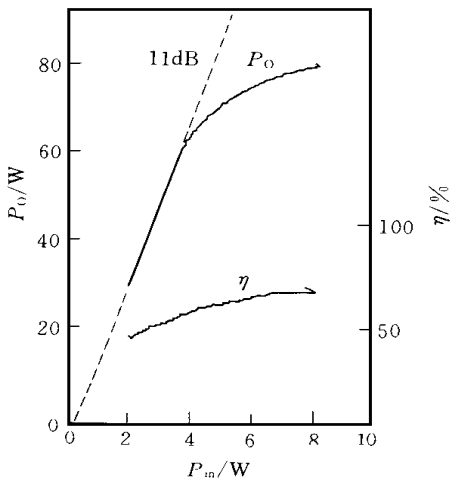


图 4 单胞  $P_O-P_{in}$  关系  
 $f = 400\text{MHz}, V_{ds} = 50\text{V}$ .

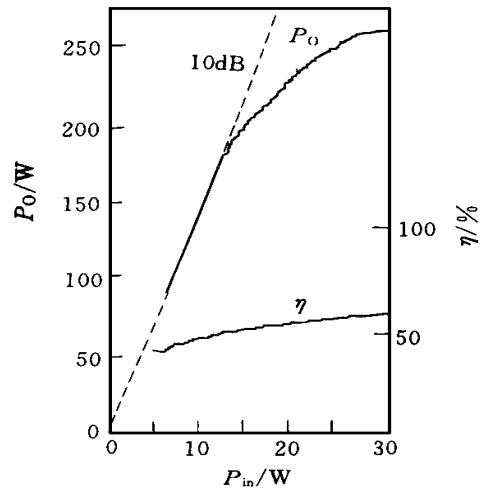


图 5 四胞  $P_O-P_{in}$  关系  
 $f = 400\text{MHz}, V_{ds} = 45\text{V}$ .

#### 4 结 论

采用Mo栅降低RC时间常数,离子注入,垂直双扩散自对准技术,梳状结构,常规平面工艺技术,研制出了高性能的,高频大功率VDMOSFET,在40MHz下,连续波输出功率可达250W,10dB增益,60%的漏极效率。这是目前硅VDMOSFET在40MHz下得到的最高水平。

**致谢** 本文作者感谢中国工程院院士梁春广教授对本项工作的支持并审阅了全文。器件研制过程中,装架工艺的黄杰高级工程师和金属化工艺的周名辉高级工程师曾给予很大的支持和帮助,在此一并表示感谢。

#### 参 考 文 献

- [ 1 ] Arthur D. Evans *et al* , Electronics, 1978, June 22, 105~ 112
- [ 2 ] Kazem Sedigh, Jeff Meyer, Bill Leighton and Don Feeney, Microwave & RF, 1985, 24(12): 138~ 141.
- [ 3 ] H. Esaki , O. Ishikawa , "A 90MHz 100W VDMOSFET with silicide gate self-aligned channel", IEDM, San Francisco, CA. , 1984, 447~ 450
- [ 4 ] O. Ishikawa, H. Yamada and H. Esaki, "A 2.45GHz power LDMOSFET with reduced source inductance by V-groove connections", IEDM, Washington, DC. , 1985, 166~ 169

### A 40MHz 250W Power VDMOSFET

Liu Yingkun, Yang Zengmin, Lang Xiulan, Wang Zhanli,  
He Yuzhang, Lu Zhongzhi, Li Yong, Zhou Xiaoli

(The 13th Institute, Ministry of EI, Shijiazhuang 050051)

Received 2 April 1998, revised manuscript received 11 May 1998

**Abstract** A vertical double-diffused field-effect transistor (VDMOSFET) that can deliver output power of 250W CW with 10dB gain at 40MHz has been developed. Mo gate is employed for reduction of gate series resistance. Parallel operation of the MOSFET has been successfully achieved to deliver output power of 250W CW with 10dB gain and 60% drain efficiency at  $V_{ds} = 45V$  and  $f = 40MHz$  in a common source, push-pull configuration.

**EEACC:** 1220, 2560R