

深亚微米 PESD MOSFET 特性 研究及优化设计

孙自敏 刘理天 李志坚

(清华大学微电子所 北京 100084)

摘要 本文对多晶抬高源漏(PESD)MOSFET 的结构作了描述,并对深亚微米 PESD MOSFET 的特性进行了模拟和研究,看到 PESD MOSFET 具有比较好的短沟道特性和亚阈值特性,其输出电流和跨导较大,且对热载流子效应的抑制能力较强,因此具有比较好的性能 给出了 PESD MOSFET 的优化设计方法 当 MOSFET 尺寸缩小到深亚微米范围时, PESD MOSFET 将成为一种较为理想的器件结构

EEACC: 2500, 2560, 2560R

1 引言

减小源漏结深是抑制短沟道效应与穿通效应以及改善亚阈值特性的有效措施之一^[1],通过较小的源漏结深可使 MOSFET 的短沟道效应及穿通效应得以改善,亚阈值特性较好.但较小的源漏结深将引起源漏串联电阻增大,器件的输出电流和跨导减小,使器件及其电路的驱动能力和速度降低.另外较浅的源漏结也带来源漏接触的可靠性问题.抑制短沟道效应和避免源漏穿通及获得较好的亚阈值特性要求源漏结深尽可能小,而提高跨导和速度则要求源漏结深尽可能大,这是小尺寸 MOSFET 器件中需要解决的一个矛盾,解决这一矛盾的一个很好的方法是采用抬高源漏的结构^[2~4].抬高源漏结构 MOSFET 首先由 Wong 等^[2]提出,目的是形成非常浅的源漏结深来抑制 MOSFET 中的短沟道效应.

多晶抬高源漏(PESD: Polysilicon-Elevated Source/Drain)MOSFET 是这种结构的典型例子.采用多晶硅抬高源漏工艺上易于实现,源漏串联电阻较低,另外可将器件的源漏扩散区做得很小,而使源漏区多晶硅绝大部分位于场氧上面^[3],一方面大大减小源漏结电容,另一方面也缩小了器件本身所占用的面积.源漏结若以扩散方式形成缓变结,将使得 PESD MOSFET 的热载流子效应较小^[5].由于 LDD 结构在亚微米 MOSFET 的成功应用,使 PESD MOSFET 结构并没得到重视.随着器件尺寸缩小至深亚微米,LDD 结构的缺点(n^+ 区占用器件面积大,源漏串联电阻大)更加突出,成为进一步缩小器件尺寸和提高器件性能

孙自敏 男,1967 年出生,博士研究生,主要从事深亚微米器件的结构、特性及器件物理的研究
刘理天 男,1947 年出生,教授,一直从事半导体器件、集成电路和传感器的研究
李志坚 男,教授,博士生导师,中国科学院院士,长期从事半导体器件物理和微电子技术研究
1997-10-09 收到,1998-03-03 定稿

的限制 而 PESD MOSFET 在深亚微米范围却有着非常大的优势和潜力

本文对 PESD MOSFET 结构进行了描述, 利用 MEDICI 器件模拟软件对其在深亚微米 MOSFET 中的应用进行了研究, 并提出 PESD MOSFET 的优化设计方法

2 PESD MOSFET 结构

图 1(a) 是 PESD MOSFET 的结构, 源区和漏区均有一层高掺杂多晶硅将源漏区抬高,

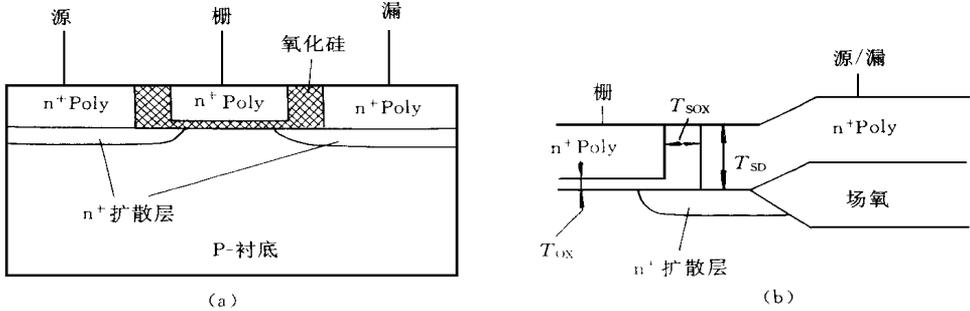


图 1 多晶抬高源漏(PESD) MOSFET 的结构图

源漏区多晶下面的单晶硅表面有一层很薄的源漏扩散区, 源漏极从源漏区多晶硅上引出 一方面源漏区多晶下的扩散层厚度即结深 x_j 可以很小, 以抑制短沟道效应及源漏穿通, 改善亚阈值特性; 另一方面源漏多晶硅层的存在减小了源漏区串联电阻, 提高了器件的跨导及驱动能力 对于深亚微米 MOSFET, 源漏结电容成为器件速度和性能的重要限制之一^[6], 采用多晶抬高源漏结构可用自对准方法将单晶硅表面下的源漏扩散区做得很小, 而使源漏区多晶硅绝大部分位于场氧上面, 如图 1(b) 所示, 大大减小源漏结电容, 提高器件及其电路的工作速度和性能

由于源漏区多晶是为了抬高源漏区并提供源漏接触, 其电阻率越小越好, 因此源漏区多

晶硅应为高掺杂的 N^+ (对于 NMOSFET) 或 P^+ (对于 PMOSFET), 使源漏区多晶电阻尽可能小 源漏区多晶硅掺杂方式可采用热扩散或离子注入等

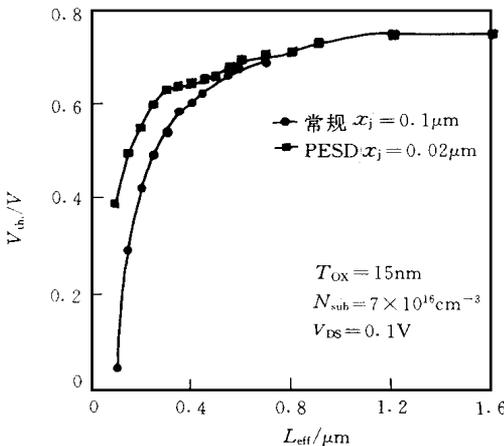


图 2 PESD MOSFET 的短沟道效应 PESD MOSFET 源漏区 N^+ 层厚度为 $0.1\mu m$.

3 深亚微米 PESD MOSFET 特性研究

我们用 MEDICI 器件模拟软件对深亚微米 PESD MOSFET 的特性进行了模拟和研究 图 2 为 PESD MOSFET 的短沟道效应特性 为了比较, 图中同时给出了常规 MOSFET 的短沟道特性 图中常规 MOSFET 的源漏结深 x_j 是

0.1 μm , PESD MOSFET 源漏区 N^+ 层(源漏区 N^+ 多晶硅层加上其下方的 N^+ 扩散层)厚度也是 0.1 μm ,但其源漏结深(源漏 N^+ 多晶硅层下方的 N^+ 扩散层厚度)为 0.02 μm ,两种器件结构均为衬底均匀掺杂 对于 PESD MOSFET,它的阈值电压 V_{th} 在沟道长度为 0.25 μm 时开始向下跌落,而对于常规 MOSFET,沟道长度为 0.5 μm 时阈值电压已开始明显跌落 由于 PESD MOSFET 的源漏结深 x_j 可以很浅,所以它的短沟道特性要比常规 MOSFET 的好

图 3(a)给出了一个沟道长度为 0.25 μm 的 PESD MOSFET 亚阈值特性的模拟结果 从图中看到在 $V_{\text{DS}}=0.1\text{V}$ 时,器件的关态电流 I_{off} ($V_{\text{GS}}=0\text{V}$ 时的漏源电流)约为 $3 \times 10^{-16}\text{A}/\mu\text{m}$, S 因子约为 85mV/dec $V_{\text{DS}}=3\text{V}$ 时, I_{off} 为 $2 \times 10^{-15}\text{A}/\mu\text{m}$, S 因子仍为 85mV/dec 左

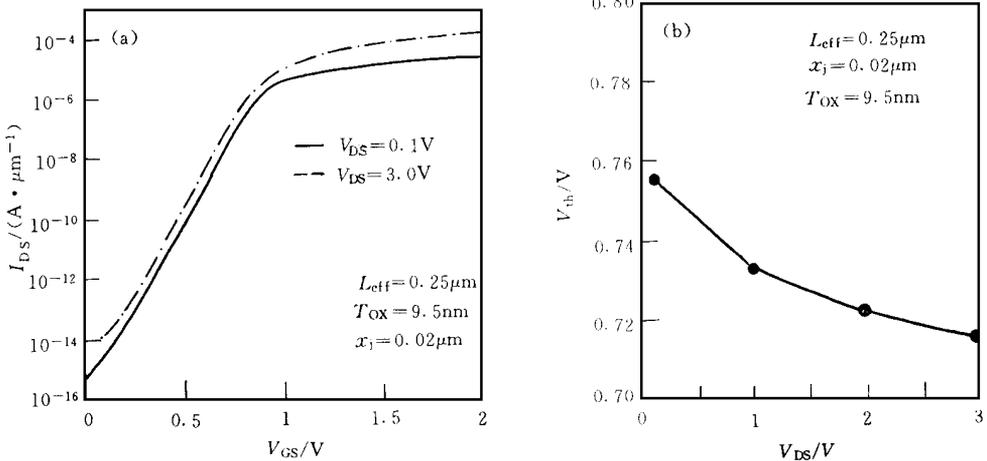


图 3 PESD MOSFET 的 (a)亚阈值特性及(b)D BL 效应

右 亚阈值特性非常好,这与该器件具有极浅的源漏结深(0.02 μm)相关 图 3(b)是沟道长度为 0.25 μm 的 PESD MOSFET 的 D BL 效应的模拟结果 $V_{\text{DS}}=0.1\text{V}$ 时器件的阈值电压为 0.75V(取漏源电流 I_{DS} 为 $1 \times 10^{-7}\text{A}/\mu\text{m}$ 时的栅源电压为阈值电压), $V_{\text{DS}}=1\text{V}$ 时阈值电压为 0.73V, $V_{\text{DS}}=3\text{V}$ 时为 0.72V,可见 PESD MOSFET 的阈值电压随漏源电压的变化很小,D BL 效应较弱,这同样与这种器件结构所具有的源漏浅结相关

图 4 是一个有效沟道长度 $L_{\text{eff}}=0.3\mu\text{m}$ 、源漏结深 $x_j=0.02\mu\text{m}$ 的 PESD MOSFET 的输出特性曲线(实线),作为比较,图中同时给出了 $L_{\text{eff}}=0.3\mu\text{m}$ 、源漏结深为 0.02 μm 的常规 MOSFET 的 $I_{\text{DS}}-V_{\text{DS}}$ 曲线(点线)以及 $L_{\text{eff}}=0.3\mu\text{m}$ 、源漏结深为 0.1 μm 的常规

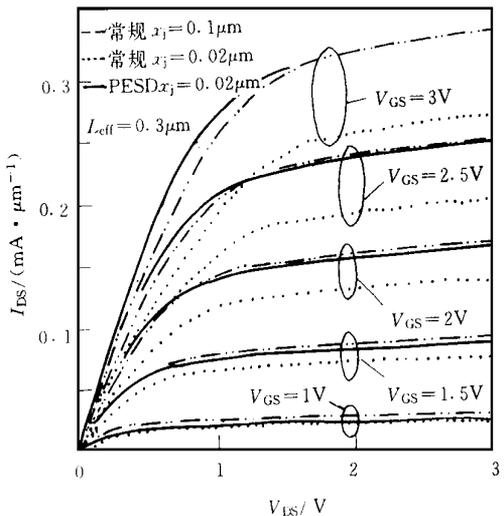


图 4 PESD MOSFET 输出特性

MOSFET 的 $I_{DS}-V_{DS}$ 曲线(划线). 在相同的源漏结深和偏置下, PESD MOSFET 的 I_{DS} 要比常规 MOSFET 大许多, 如在 $V_{DS}=V_{GS}=3V$ 时前者为 $I_{DS}=0.34\text{mA}/\mu\text{m}$, 而后者只有 $I_{DS}=0.27\text{mA}/\mu\text{m}$. 在线性区, PESD MOSFET 的输出电阻比常规 MOSFET 小, $V_{GS}=3V$ 时结深 $x_j=0.1\mu\text{m}$ 的常规 MOSFET 的输出电阻为 $3.9\text{k}\Omega$, $x_j=0.02\mu\text{m}$ 的常规 MOSFET 的输出电阻为 $5.4\text{k}\Omega$, 而结深为 $0.02\mu\text{m}$ 的 PESD MOSFET 的输出电阻只有 $3.2\text{k}\Omega$, 比 $x_j=0.1\mu\text{m}$ 的常规 MOSFET 减小了 18%, 比 $x_j=0.02\mu\text{m}$ 的常规 MOSFET 减小了 41%, 从而说明 PESD MOSFET 的源漏串联电阻比常规 MOSFET 要小. 在饱和区, PESD MOSFET 器件具有较大的跨导 g_m , 当 $V_{DS}=V_{GS}=3V$ 时 PESD MOSFET 的跨导 g_m 达到 $360\mu\text{S}/\mu\text{m}$, 源漏结深为 $0.1\mu\text{m}$ 的常规 MOSFET 的跨导 g_m 为 $350\mu\text{S}/\mu\text{m}$, 而源漏结深同样为 $0.02\mu\text{m}$ 的常规 MOSFET 的跨导 g_m 只有 $140\mu\text{S}/\mu\text{m}$. PESD MOSFET 具有较大的驱动能力, 这是因为 PESD MOSFET 的源漏结深 x_j 虽然很浅, 但由于源漏区多晶硅的抬高作用, 使源漏串联电阻较小, 跨导较大, 驱动能力强.

PESD MOSFET 可以利用扩散的方式在源漏多晶层下形成源漏缓变结, 有利于沟道中最大横向电场的削弱, 减小热载流子的产生^[5]. 可以预见 PESD MOSFET 对热载流子效应的抑制能力比较强. 这使得 PESD MOSFET 有可能不采用 LDD 结构而使热载流子效应得到抑制, 而这点对于深亚微米 MOSFET 同样是非常有吸引力的.

4 优化设计

在 PESD MOSFET 结构中, 栅多晶到源漏多晶硅的间距即侧壁氧化层的厚度 T_{SOX} 是一个重要的器件参数, 它直接影响着器件的性能. T_{SOX} 小则源漏串联电阻小, 器件跨导较大, 但侧壁所引起的栅源和栅漏覆盖电容大; 反之, 若 T_{SOX} 大则源漏串联电阻大, 器件跨导小, 然而侧壁电容较小. 图 5(a) 所示是一 PESD MOSFET 的跨导及侧壁电容随 T_{SOX} 变化的模拟结果. 因此 T_{SOX} 应存在某个值, 使 PESD MOSFET 的性能达到最佳.

参考图 1(b), 设源漏多晶硅厚度为 T_{SD} , 侧壁氧化层厚度 T_{SOX} , 栅长为 L_g , 栅氧化层厚度为 T_{OX} , C_{SOX} 是单位沟道宽度侧壁氧化层电容, C_{GOX} 为单位沟道宽度栅氧化层电容, C_g 是单

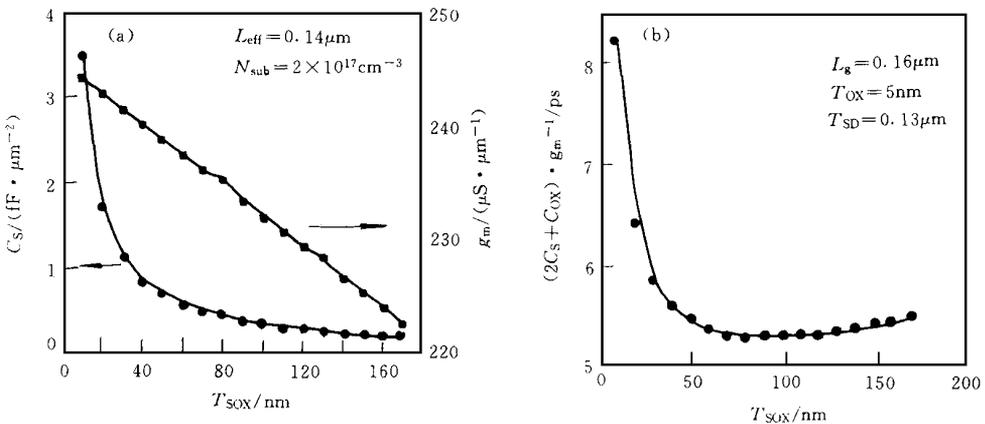


图 5 (a) 侧壁氧化层厚度的影响以及 (b) PESD MOSFET 的优化

位沟道宽度总栅电容, g_m 是单位沟道宽度器件跨导。由于器件对栅电容 C_g 充放电的时间常数 $\tau = \frac{C_g}{g_m}$, 当 PESD MOSFET 的性能达到最佳时, $\frac{C_g}{g_m}$ 应达到最小值。将器件参数代入可得

$$\begin{aligned} \frac{C_g}{g_m} &= \frac{2C_{SOX} + C_{BOX}}{g_m} \\ &= \frac{C_{BOX}}{g_m} \left(\frac{2T_{SD}}{T_{SOX}} + \frac{L_g}{T_{OX}} \right) = \frac{C_{BOX}}{g_m} \left(\frac{2T_{SD}T_{OX}}{T_{SOX}L_g} + 1 \right) \end{aligned} \quad (1)$$

从(1)式可以看到, 对于一个给定的 PESD MOSFET 可以通过源漏区多晶硅层厚度 T_{SD} 及侧壁氧化层厚度 T_{SOX} 的选取来使(1)式左右两端的值达到最小, 从而使器件的性能达到最优。图 5(b)是对一个 $L_g = 0.16 \mu\text{m}$ 、 $T_{OX} = 5 \text{nm}$ 的 PESD MOSFET 的优化设计。选定源漏区多晶硅层厚度 $T_{SD} = 0.13 \mu\text{m}$ 。从图中看到当侧壁氧化层厚度 T_{SOX} 为 90nm 时, 器件性能达到最佳。

为了对我们的优化设计进行验证, 我们用 MEDICI 器件模拟软件的电路分析高级应用模块(CA-AAM)对图 5(b)所给出的 PESD MOSFET 器件进行了模拟。模拟时用图 5(b)所给出的器件作为驱动管组成 E/R 反相器, 将该器件放在 E/R 反相器电路环境中进行模拟, 用它驱动另一个相同的 E/R 反相器。改变侧壁氧化层厚度 T_{SOX} 并模拟出 E/R 反相器的相应延时。图 6 是模拟得到的反相器延时 t_{pdLH} 随侧壁氧化层厚度 T_{SOX} 的变化曲线, 可以看出当 T_{SOX} 在 80~90nm 之间时反相器延时达到最小值, 与图 5(b)的优化设计结果一致。

5 结论

较浅的源漏结深有利于器件短沟道效应和源漏穿通效应的抑制, 同时也使源漏串联电阻增大, 跨导降低, 性能下降。PESD MOSFET 结构能较好地解决这一矛盾。通过对深亚微米 PESD MOSFET 的特性模拟和

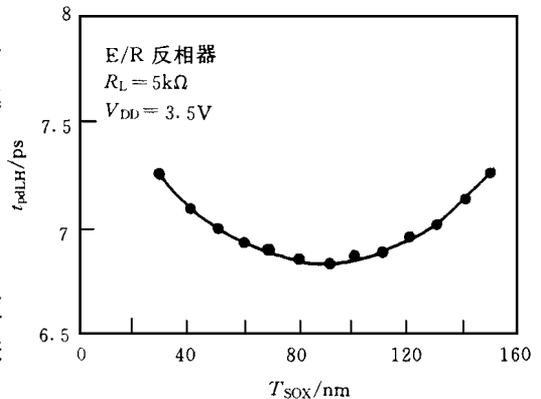


图 6 反相器延时随侧壁氧化层厚度的变化曲线

研究可以看到, 多晶抬高源漏结构的短沟道特性和亚阈值特性较好, 输出电流和跨导比较大。合理选取源漏多晶硅厚度和侧壁氧化层宽度可使器件性能得以优化。源漏区扩散形成的缓变结使 PESD MOSFET 具有较强的抑制热载流子效应的能力。当 MOSFET 器件尺寸缩小到深亚微米时, 要求源漏结深非常浅, LDD 结构已不再适用, 而多晶抬高源漏 MOSFET 结构将成为一种比较理想的器件结构。

参 考 文 献

- [1] S. Kohyama, *Very High Speed MOS Devices*, Oxford: Clarendon Press, 1990, Chapter 2
- [2] S. Wong, D. R. Bradbury, D. C. Chen *et al* , *IEEE IEDM Tech Dig* , 1984, 634~ 637.
- [3] C. S. Oh and C. K. Kim, *IEEE Electron Device Lett* , 1984, **5**(10): 400~ 402
- [4] M. K. Moravvej-farshi and Martin A. Green, *IEEE Electron Device Lett* , 1986, **7**(8): 474~ 476
- [5] M. K. Moravvej-farshi and Martin A. Green, *IEEE Electron Device Lett* , 1987, **8**(4): 165~ 167.
- [6] S. Kimura, *IEEE 53rd Annual Device Research Conference Digest*, 1995, 2~ 3

Study on Characteristics and Optimization of MOSFET's with Polysilicon-Elevated Source/Drain

Sun Zimin, Liu Litian, Li Zhijian

(*Institute of Microelectronics, Tsinghua University, Beijing 100084*)

Received 9 October 1997, revised manuscript received 3 March 1998

Abstract This paper describes the structure of MOSFET's with polysilicon-elevated source/drain and studies the characteristics of deep-submicrometer PESD MOSFET's by device simulation. It can be found that MOSFET's with polysilicon-elevated source/drain not only have better short channel and subthreshold characteristics but also have large driving current and transconductance and the ability to suppress hot-carrier effect. The optimization of PESD MOSFET is also described. While MOSFET's size shrinking into deep-submicrometer regime, MOSFET's with polysilicon-elevated source/drain will be an ideal device structure.

EEACC: 2500, 2560, 2560R