

一种用于流水线模数转换器的电容失配校准方法*

李福乐¹ 王红梅² 李冬梅² 王志华¹

(1 清华大学微电子学研究所, 北京 100084)

(2 清华大学电子工程系, 北京 100084)

摘要: 对于流水线模数转换器(ADC), 电容失配是一种主要的非线性误差源. 为了减小电容失配误差, 提出了一种电容失配校准的方法. 该方法通过一种电荷相加、电容交换和电荷反转移的电路技术, 可将电容失配误差减小至其 2 次项. 基于所提出的方法, 设计了一种 0.6 μ m CMOS, 13b, 2MS/s 的流水线 ADC 实验芯片. 对所设计的实验芯片进行测试, 得到了 0.5LSB 的 DNL 和 2.5LSB 的 INL, 并且当以 614kHz 的采样率对 19.2kHz 的输入进行转换时, 得到了 71.2dB 的 SFDR 和 64.1dB 的 SNDR, 当以 2MHz 的采样率对 125kHz 的输入进行转换时, 得到了 70.6dB 的 SFDR 和 62.22dB 的 SNDR. 以上结果表明, ADC 得到了超出电容匹配精度的线性度, 证明了所采用的电容失配校准方法的有效性.

关键词: 模数转换器; 流水线; 电容失配校准

EEACC: 1265; 2570; 1280

中图分类号: TN431

文献标识码: A

文章编号: 0253-4177(2005)09-1838-05

1 引言

在各种结构的模数转换器(ADC)电路中, 流水线结构 ADC 由于其串行子区转换、并行工作的结构特点, 既能像全并行结构 ADC 那样能实现很高的转换速度, 又能像子区结构 ADC 那样以较少的电路元件实现较高的分辨率. 对于高精度、高速的 ADC 电路来说, 显然流水线结构 ADC 是合适的选择. 尽管如此, 在实际电路实现时, ADC 的性能还要受到许多电路非理想因素的影响, 其中最重要的有电容失配、比较器失调以及跨导放大器(OTA)有限增益等. 比较器的失调可以通过冗余位和数字校正技术来解决; 有限增益效应可以通过采用 Cascade, Gain-boosting 等技术设计极高开环增益的 OTA 来解决; 而电容失配, 作为现代 IC 工艺的一个基本的物理限制, 就成了限制分辨率提高的最重要的因素. 一般而言, 对于没有电容修调(trimming)或校准(calibration)处理的流水线 ADC 来说, 可实现的分

辨率通常在 10b 以下.

为克服电容失配的限制, 一类方案是采用具有自校准能力的电路, 其缺点是通常需要增加大量的辅助硬件电路^[1~3], 并且周期性的重复校准要求会影响转换的连续性^[1,2]或增加电路复杂度^[3]; 另外一类方案是利用模拟误差平均^[4,5], 其缺点是增加了模拟电路, 以及减缓了模数转换速度. 本文提出了一种新的模拟电容失配校准方法, 其特点是电路简单, 只需在模拟电路中引入几个开关, 而数字电路除了时钟发生器外其他部分不变, 因而基本不增加功耗和面积. 除此之外, 与模拟误差平均类似, 此方法是一种线性不受温度漂移和电路元件老化影响的结构, 因此可胜任嵌入式应用和连续工作的场合. 为了验证所提方法的有效性, 设计实现了一个 13b, 2MS/s 的流水线 ADC 实验芯片, 并对其进行了测试分析.

2 电容失配校准

在传统流水线结构的级电路中, 采样电容对输

* 国家高技术研究发展计划(批准号: 2002AA1Z1720)和国家重点基础研究发展规划(批准号: G2000036508)资助项目

李福乐 男, 1974 年出生, 博士, 助理研究员, 主要从事模拟及数模混合集成电路的科研和教学工作. Email: lifule@tsinghua.edu.cn

王红梅 女, 1979 年出生, 硕士研究生, 主要从事低功耗、高性能模数转换器研究. Email: wang-hm02@mails.tsinghua.edu.cn

2005-01-20 收到, 2005-03-07 定稿

入和参考电压采样然后将电荷转移到反馈电容上，而反馈电容上的电压作为输出，由于电荷在不同的电容间转移，电容的失配将带来输出电压的误差。基于此，本文提出了一种电容失配校准方法，其方法是：采样电容对输入和参考电压采样并将电荷转移到反馈电容，但反馈电容此时仅用来暂存电荷之和，其上的电压并不作为输出电压；最后，采用了电容交换技术，将反馈电容上的电荷转移回采样电容，采样电容上的电压作为输出。这样，级电路在一个转换周期中从采样电容转移走的电荷最终又转移到采样电容上，故在原理上级输出的精度与电容失配基本无关，达到了电容失配校准的目的。

该方法适用于有效分辨率 $1b/\text{stage}$ 的结构，图 1 简要说明了该方法的电路实现。图中， C_1 和 C_3 为采样电容， C_2 和 C_4 为反馈电容， C_{cm1} 和 C_{cm2} 为输出共模反馈电容。为了方便原理说明，设采样电容 C_1 和 C_3 均为 C_s ，反馈电容 C_2 和 C_4 均为 G 。图 1(a) ~ (e) 依次对应于一个转换周期的 5 个工作相，顺序说明如下：

图 1(a) 令 C_s 一端接 V_{in} 另一端接 OTA 输入

端， G_f 两端跨接 OTA 输入和输出端，假设 C_s, G_f 上的初始电荷为 0，则电荷转移稳定后 C_s, G_f 上电荷量均为 $V_{in} C_s$ ，输出 V_{o1} 为 $-C_s V_{in}/G$ ，比较器随之将 V_{o1} 和参考阈值电压做比较并迅速建立输出电平。

图 1(b) 根据比较器的比较结果将 C_s 从 V_{in} 切换到 $-V_{ref}$ 或 V_{ref} ，同时交换 C_s 接 OTA 输入端的极性，则电荷转移稳定后 G_f 上电荷量为 $(2V_{in} \pm V_{ref}) C_s$ ，输出 V_{o2} 为 $-(2V_{in} \pm V_{ref}) C_s/G$ 。

图 1(c) 令 C_s 两端均接地，以清除 C_s 上的电荷，而其他电路不变。

图 1(d) 电容交换，将 C_s 跨接到 OTA 输入和输出做为反馈电容，而 G 接 OTA 输出的一端切换到地，这样 G_f 上的电荷又转移到 C_s 上，稳定后的输出 V_{o3} 为 $-(2V_{in} \pm V_{ref})$ ，显然，此即理想的级输出， C_s 和 G 的失配并不带来输出误差。

图 1(e) 将 C_s 和 G 两端及 OTA 输入输出端均接地，为下一次转换做准备，同时 C_{cm1} 和 C_{cm2} 的互连端连接到一共模参考电压上，以刷新 C_{cm1} 和 C_{cm2} 上的电压。

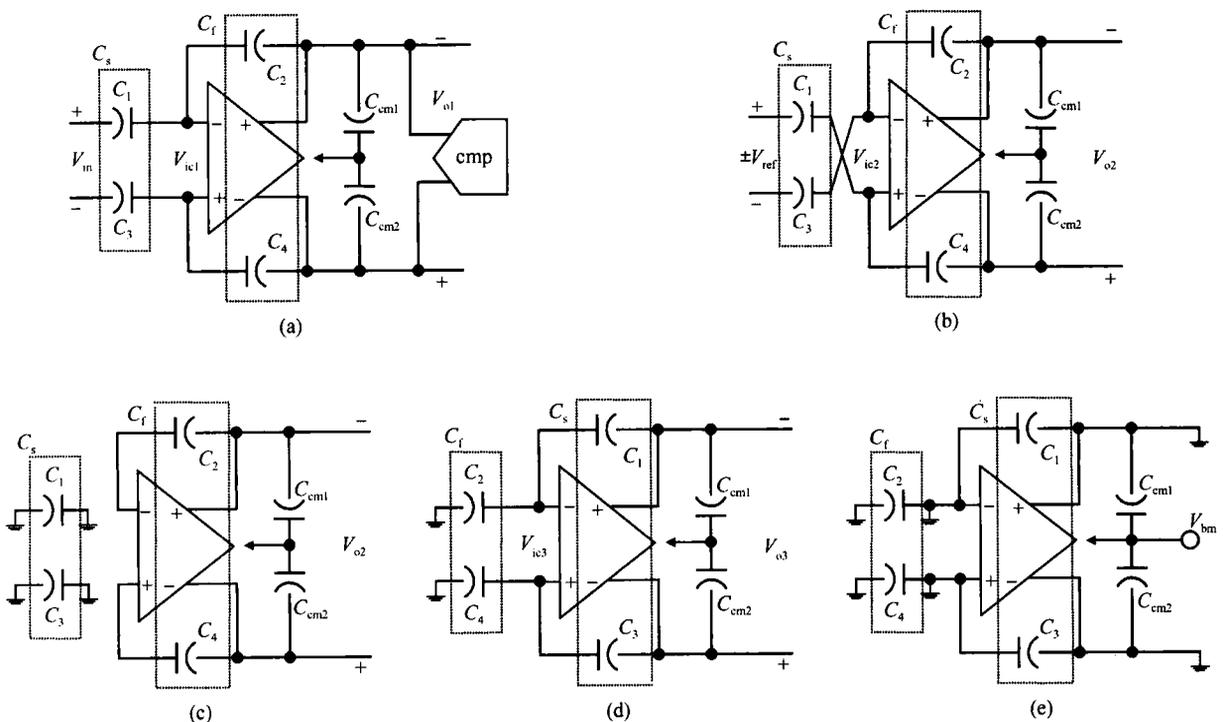


图 1 新方法原理的图解说明 (a) 采样和模数转换；(b) 放大和数模转换；(c) 采样电容复位；(d) 输出；(e) 复位

Fig. 1 Illustration of the new method (a) Sample and analog to digital conversion; (b) Amplify and digital to analog conversion; (c) Sample capacitor reset; (d) Output; (e) Reset

图 1 所示的 5 个工作相中,(c)和(e)的操作只是直接通过模拟开关释放电容上的电荷,所需的时间大大少于其他 3 相,故对于整个流水线结构来说,可采用 3 相不交叠时钟的时序控制方案.而级电路中电容的放电操作,可在 3 相时钟的不交叠区内完成.这样,3 相时钟所对应的级电路工作相分别为采样和模数转换(a),放大和数模转换(b)和输出(d).

3 电路设计

基于本文第 2 部分所描述的电容失配校准技术,设计了一个 13b,2MS/s 的流水线 ADC,图 2 是流水线 ADC 的电原理图.整个 ADC 由输入采样保持放大器(SHA)、12 级结构一致的 1.5b 电容失配校准级电路、末端 1b ADC、时钟发生电路、输出同步电路和数字校正电路构成.其中:输入 SHA 为传统的两相工作 SHA,用于对输入模拟信号的采样和保持输出;1.5b 电容失配校准级电路的结构与传统的 1.5b 级电路相似,均由 MDAC 和 1.5b ADC 构成,且 MDAC 中有一个运放、一对采样电容和一对反馈电容.不过,与传统电路的两相工作不同,失配

校准级电路是在三相不交叠主时钟 ϕ_1, ϕ_2 和 ϕ_3 的控制下,循环工作于图 1 所示的 5 个电路状态,以实现高精度的模拟信号处理.这里 ϕ_1, ϕ_2 和 ϕ_3 分别对应于采样和 A/D 转换相、放大和 D/A 转换相、输出相,且各个级电路里的 ϕ_1, ϕ_2 和 ϕ_3 排列次序就代表它们之间的时序对应关系;末端 1b ADC 由一个比较器实现,其输出用于纠正前级的数字输出;时钟发生电路主要由模三计数器、三相不交叠发生电路、两相不交叠发生电路等子电路构成,为 ADC 电路中的其他电路模块提供控制时钟.其中,为输入 SHA 提供两相不交叠时钟,为电容失配校准级电路提供三相不交叠时钟;输出同步电路由 13 组移位寄存器构成,一一对应于从 MSB 到 LSB 的 13 个转换级,每组移位寄存器均由 D 型触发器(DFF)串联构成,且从 MSB 到 LSB,其长度依次从 13 减少到 1.由于流水线结构对模拟信号的逐级串行流水处理,对应于同一个模拟输入的各级电路的数字转换输出是逐级延迟的,延时对准寄存器阵列的作用是给流水线结构的 A/D 转换输出加入一个恰恰是逐级减少的延迟,这样使得对应于同一个模拟输入的各级电路 A/D 转换输出能在时序上同步后输出;输出数字校正电路由一个 13b 的串行数字加法器构成,其

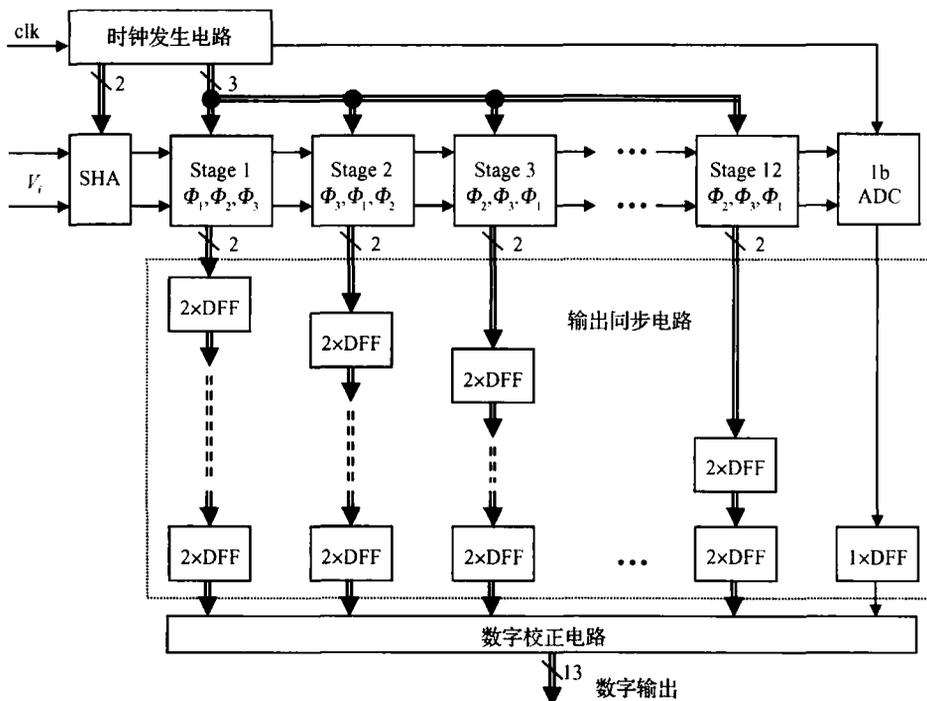


图 2 流水线 ADC 电原理图

Fig. 2 Block diagram of the pipelined ADC

作用是对时序同步后的各转换级的转换结果进行错位相加,以去除 25b 数字输出中的冗余分辨率信息,并消除比较器失调和级间失调等原因引起的非线性误差,最终输出标准的 13b 二进制转换输出。

在以上描述的各电路模块中,由输入 SHA,12 级串联的 1.5b 电容失配校准转换级、后端 1b ADC 所组成的流水线 A/D 转换链,集中了 ADC 电路中的所有模拟电路,是整个 ADC 的核心部分,其对输入信号的处理精度和速度决定了 ADC 的精度和速度指标,并且,其功耗在 ADC 总功耗中占主要部分。为了达到 13b 的 A/D 转换精度,流水线 A/D 转换链采用了全差分电路设计,以增加信号动态范围,抑制电源和共模干扰。另外,考虑到所用的电容失配校准技术不能校准有限增益误差,故采用了具有高增益和大输出范围的电流增益 - 2 级共源共栅运放电路。在低功耗设计方面,流水线 A/D 转换链利用了每级 1.5b 结构对比较器失调不敏感的特点,采用了低功耗的动态比较器;而对于其中的 12 级电容失配级电路,为了减少设计时间,只是简单地采用了设计一级、其他复制的方法。实际上,基于流水线 A/D 转换链中后端转换级的误差可被其前面各转换级增益衰减的原理,可将后端的一些级电路用无电容失配校准的传统级电路来代替,而且,还可采用按比例缩小技术,对级电路中的电容大小进行逐级优化缩减,以优化功耗。因此,图 2 的设计在低功耗指标上还有很大的优化余地。

4 测试

对 ADC 实验芯片的测试分为静态特性测试和动态特性测试,其中静态特性测试采用码密度测试方法,动态特性测试采用整数周期的 FFT 频谱分析方法。

静态特性测试条件为:采样率 $f_s = 2\text{MHz}$,输入正弦信号频率 $f_i = 24.5\text{kHz}$,采样数据约 4M。码密度分析的结果如图 3 所示。其中,(a)是 ADC 的微分非线性(DNL)特性;(b)是积分非线性(INL)特性。动态特性测试条件为:(1)采样率 $f_s = 614\text{kHz}$,输入正弦信号频率 $f_i = 19.2\text{kHz}$,峰峰值为 $0.82V_{fs}$, V_{fs} 为满量程输入范围;(2)采样率 $f_s = 2\text{MHz}$,输入正弦信号频率 $f_i = 125\text{kHz}$ 。动态特性测试分析结果如图 4 所示。其中,(a)是测试条件(1)下 ADC 的输出频谱;(b)是测试条件(2)下 ADC 输出的 SNAD 与输入信号振幅的关系。

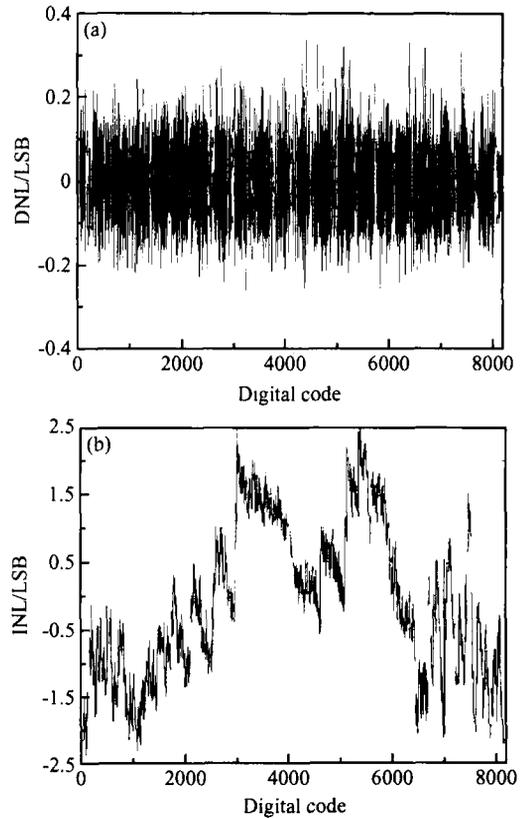


图 3 静态特性 (a) 差分非线性;(b) 积分非线性

Fig. 3 Static state performance (a) DNL;(b) INL

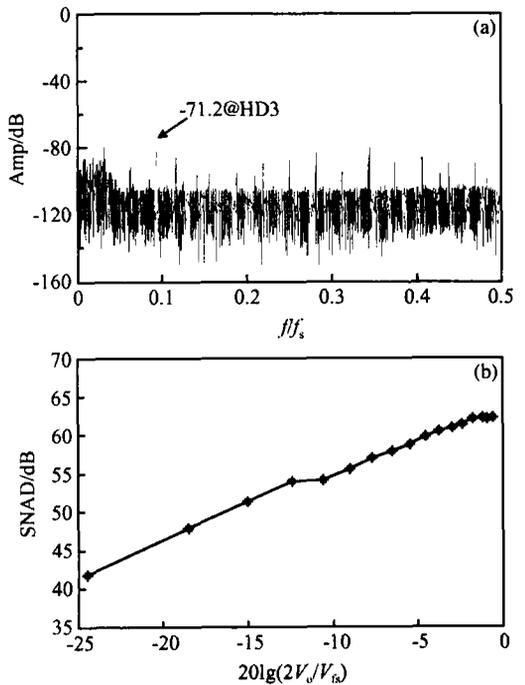


图 4 动态特性 (a) 输出频谱;(b) SNDR 随输入幅度的变化
Fig. 4 Dynamic state performance (a) Output spectrum;(b) SNDR versus input amplitude

ADC 的性能概述如表 1 所示.

表 1 ADC 性能概述

Table 1 Summary of the ADC performances

输出宽度	13b
转换速度	2MS/s
工艺	0.6 μ m DPDM CMOS
电源电压	5V
总功耗	43.8mW @ $f_s=2$ MHz
DNL	0.5LSB @13b
INL	2.5LSB @13b
SNAD	64.1dB @ $f_s=614$ kHz, $f_i=19.2$ kHz
	62.22dB @ $f_s=2$ MHz, $f_i=125$ kHz
SFDR	71.2dB @ $f_s=614$ kHz, $f_i=19.2$ kHz
	70.6dB @ $f_s=2$ MHz, $f_i=125$ kHz
核心面积	3.4mm \times 1.2mm

5 结论

本文提出了一种新的电容失配校准方法,在原理上可将电容失配误差减小至其 2 次项. 与其他方法相比,新方法的电路实现较为简单,只需在模拟电路中额外增加几个开关,而无需增加消耗功率的单元电路或复杂的数字校准电路. 基于 0.6 μ m CMOS 工艺设计的 13b, 2MS/s 流水线 ADC 实验芯片的测试结果表明, ADC 得到了 0.5LSB 的 DNL 和

2.5LSB 的 INL, 并且, 当以 614kHz 的采样率对 19.2kHz 的输入进行转换, 得到了 71.2dB 的 SFDR 和 64.1dB 的 SNDR, 当以 2MHz 的采样率对 125kHz 的输入进行转换时, 得到了 70.6dB 的 SFDR 和 62.22dB 的 SNDR. 显然, ADC 得到了超出电容匹配精度的线性度, 验证了所提出的电容失配校准方法的有效性.

参考文献

- [1] Karanicolas A N, Lee H S, Bacrania K L. A 15-b 1-Msample/s digitally self-calibration pipeline ADC. *IEEE J Solid-State Circuits*, 1993, 28(12): 1207
- [2] Mayes M K, Chin S W. A 200mW, 1Msample/s, 16-b pipelined A/D converter with on-chip 32-b microcontroller. *IEEE J Solid-State Circuits*, 1996, 31(12): 1862
- [3] Moon U K, Song B S. Background digital calibration techniques for pipelined ADC's. *IEEE Trans Circuits Syst*, 1997, 44(2): 102
- [4] Song B S, Tompsett M F, Lakshmi Kumar K R. A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter. *IEEE J Solid-State Circuits*, 1988, 23(6): 1324
- [5] Chen H S, Bacrania K, Song B S. A 14b 20Msample/s CMOS pipelined ADC. *ISSCC Dig Tech Papers*, San Francisco, 2000: 46

A Capacitor Mismatch Calibration Technique for Pipelined A/D Conversion *

Li Fule¹, Wang Hongmei², Li Dongmei², and Wang Zhihua¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

(2 Department of Electronic Engineering, Tsinghua University, Beijing 100084, China)

Abstract: A novel capacitor mismatch calibration technique for pipelined analog-to-digital conversion is presented. The nonlinear capacitor mismatch error is reduced to the second order through an algorithmic circuit method, involving charge summing, capacitors exchange, and charge redistribution. A 13b, 2Msample/s pipelined A/D converter implemented in 0.6 μ m CMOS technology has been designed to verify the proposed technique. Measured performance includes 0.5LSB of DNL, 2.5LSB of INL, 71.2dB of SFDR and 64.1dB of SNDR for 19.2kHz input at 614k sample/s, 70.6dB of SFDR and 62.22dB of SNDR for 125kHz input at 2M sample/s. This result shows that the linearity of the ADC is better than the capacitor matching precision decided by the technology. Thus the adopted capacitor mismatch calibration technique is proved to be effective.

Key words: analog-to-digital converter; pipeline; capacitor mismatch calibration

EEACC: 1265; 2570; 1280

Article ID: 0253-4177(2005)09-1838-05

* Project supported by the National High Technology Research and Development Program of China (No. 2002AA1Z1720), and the State Key Development Program for Basic Research of China (No. G2000036508)

Li Fule male, was born in 1974, assistant professor. He is interested in research on analog and digital-analog integrated circuits. Email: lifule@tsinghua.edu.cn

Wang Hongmei female, was born in 1979, master candidate. She is interested in research on A/D converters with low power consumption and high performance. Email: wang-hm02@mails.tsinghua.edu.cn

Received 20 January 2005, revised manuscript received 7 March 2005