

一种适用于开关电容电路的 MOS 开关栅增压电路 *

张剑云 李 建 郭亚炜 沈 泊 张 卫

(复旦大学专用集成电路与系统国家重点实验室, 上海 200433)

摘要: 提出了一种新的 MOS 器件栅增压电路,它在减小 MOS 开关导通电阻的同时,减少了衬偏效应以及 MOS 开关输出信号的失真.该电路采用了 0.13 μm 1.2V/2.5V CMOS 工艺, HSPICE 的仿真结果表明该栅增压电路适用于高速低电压开关电容电路.

关键词: 开关电容电路; 导通电阻; MOS 开关; 栅增压电路

EEACC: 1265H; 1280; 2570D

中图分类号: TN432 文献标识码: A 文章编号: 0253-4177(2005)09-1808-05

1 前言

当前 VLSI 技术不断向深亚微米甚至纳米级发展,集成电路的应用趋向高速、低功耗和小面积,因此对开关电容电路的要求大大提高.一般而言,要减少开关导通电阻,可以通过降低器件沟道长度,增大器件宽度以及提高开关栅源电压的方法.可是调节器件的物理尺寸会带来一些不必要的寄生效应,比如增大器件宽度会增加器件面积进而增加栅电容,使得器件的带宽降低.目前解决这个问题普遍采用的方法是提高开关管的栅电压来达到减小开关导通电阻的目的^[1~5].但是这些电路中输入至输出的信号通路都与信号有关,因此电荷损失也跟信号相关,结果是增加了信号的非线性失真.

本文提出了一种适用于开关电容电路的新型栅增压电路,它在减少 MOS 开关的导通电阻的同时,减少了衬偏效应以及 MOS 开关输出信号的失真.

2 MOS 开关及栅增压电路原理

2.1 MOS 开关分析

MOS 型器件作为开关有着优良的电特性,因此

在混合信号电路中被大量使用,如开关电流电路等^[6].但是 MOS 型器件并不是一个理想的开关,在导通时有导通电阻,其阻值与开关器件的几何尺寸、栅电压及阈值电压有关:

$$R_{\text{on}} = \frac{1}{\mu C_{\text{ox}} \frac{W}{L} (V_{\text{gs}} - V_{\text{t}})} \quad (1)$$

其中 μ 表示迁移率; C_{ox} 表示器件的栅氧化层电容; V_{gs} 表示栅源电压; V_{t} 表示 MOS 器件的阈值电压.同时 MOS 晶体管的金属氧化层、栅源和栅漏等存在寄生电容,实际的 MOS 开关在导通时可等效为一个由电容和电阻组成的 RC 网络.图 1 为 MOS 开关导通时的等效电路,图中 C_{p1} 和 C_{p2} 是源和漏对衬底电容; C_{ps} 和 C_{pd} 是栅对源和漏的交叠电容; R_{clk} 是开关驱动信号的输出阻抗.从图中可以看到,开关导通时,实际电路寄生了一个 RC 低通滤波电路,使

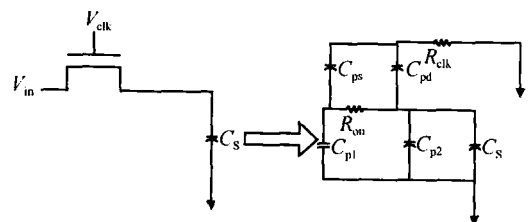


图 1 MOS 开关的等效电路

Fig. 1 Equivalent circuit of MOS switch

*国家自然科学基金(批准号:60176013),上海市 AM 基金(批准号:0304)资助项目

张剑云 男,1975 年出生,博士研究生,主要从事模拟及混合信号集成电路设计研究.

李 建 男,1980 年出生,博士研究生,主要从事模拟及混合信号集成电路设计研究.

2005-01-26 收到,2005-03-20 定稿

得电路对高频信号有抑制作用. 根据图 1 可以得到公式(2), 它表示了导通电阻和寄生电容与低通滤波器 - 3dB 频率的关系, 其中假设开关驱动信号输出阻抗为 0.

$$f_{-3dB} = \frac{1}{2\pi R_{on} (C_s + C_{p2} + C_{pd})} \quad (2)$$

如果针对一个具体的输入信号频率, - 3dB 频率和输入信号之间的关系是^[11]:

$$f_{-3dB} \geq 2^{(N-1)/2} f_{in} \quad (3)$$

其中 N 是对经过开关之后输出信号精度的要求; f_{in} 是输入信号频率. (2) 和 (3) 式联立得到 (4) 式

$$\frac{1}{R_{on} C_{tot}} \geq 2\pi \times 2^{(N-1)/2} f_{in} \quad (4)$$

其中 C_{tot} 是 $C_s + C_{p2} + C_{pd}$ 电容总和. 从公式 (4) 中可以知道 MOS 开关器件为了能应用于高速高精度的开关电容电路, 需要降低开关导通电阻和采样电容, 由于电容值的确定与 kT/C 噪声等有关, 故不在本文的讨论之中.

$$R_{on} = \frac{1 + \frac{V_D - V_S}{E_C L}}{C_{ox} \mu \frac{W}{L} [V_G - \frac{V_S}{2} - \frac{V_D}{2} - V_{TO} - \gamma(\sqrt{V_S - V_B - 2\phi_F} - \sqrt{2\phi_F})]} \quad (5)$$

其中 V_G, V_D, V_S 和 V_B 分别表示器件的栅电压, 漏端电压, 源端电压和衬底电压; V_S 随着信号变化而变化. 因此在设计电路时需要设计一个跟信号无关

2.2 栅增压原理

在 MOS 器件做开关使用时, 器件的源漏两端分别接信号输入端和信号输出端, 因此开关的源端电压是经常变化的, 如图 2 所示. 同样开关的栅源电压也是随信号的变化而变化, 造成了开关电阻是一个信号相关的值, 而不是一个常数. 输出信号相对于

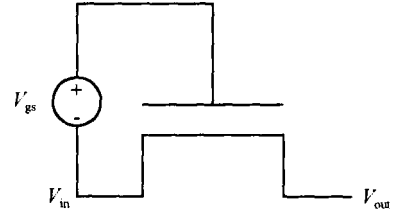


图2 开关栅源电压

Fig. 2 V_{gs} of MOS switch

输入信号来说有信号损失^[7], 破坏了线性度, 公式 (5)^[7]表示了信号和导通电阻的关系:

的栅源电压以改善信号的线性度. 图 3 是一种栅源电压与信号无关的栅增压电路, 其中忽略了器件的寄生电容.

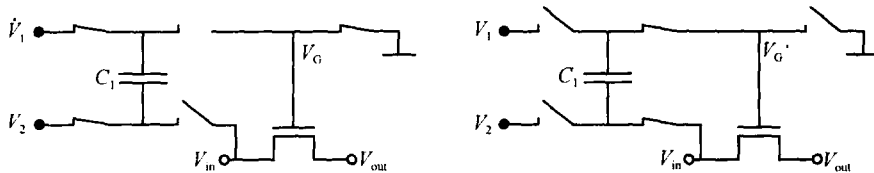


图3 与信号无关的栅增压电路

Fig. 3 Bootstrapped circuit independent of input signal

根据电荷守恒原理可以得到开关的栅电压为:

$$V_G = (V_1 - V_2) + V_{in}(t) \quad (6)$$

公式(6)说明开关的栅源跟输入信号 V_{in} 无关, 从而可以得到开关的导通电阻是常数.

增加栅源电压最直接的方法就是提高电路的电源电压, 但是从低电压系统角度来说这增加了成本, 因为需要多一个电源电路. 最好的办法就是芯片内部产生一个电压来增加栅电压.

3 一种高线性度的 MOS 开关栅增压电路

3.1 电路描述和分析

根据图 3 和公式 (6), 我们提出了一种可以应用在高速低电压的开关电容电路中的栅增压电路, 如图 4 所示.

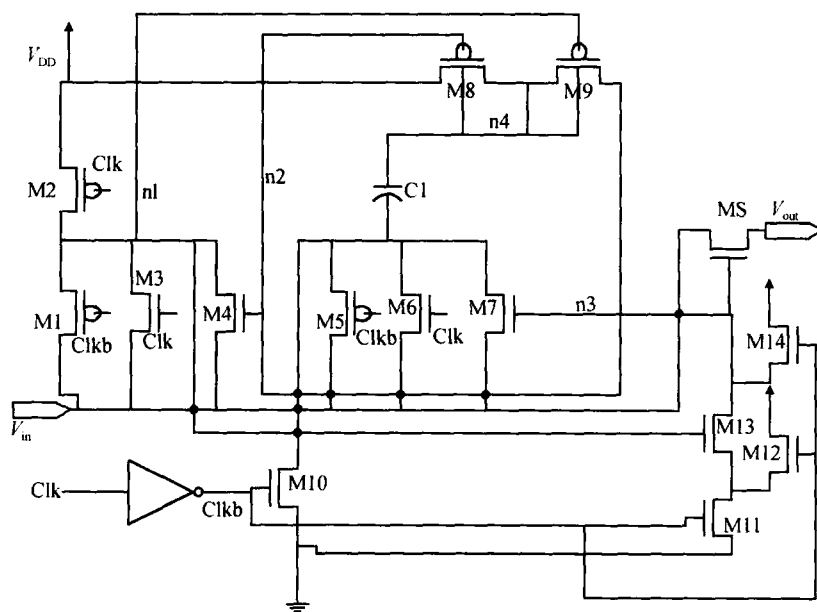


图 4 本文提出的 MOS 开关栅增压电路

Fig. 4 Proposed bootstrapped circuit

图 4 所有器件的衬底端在没有特别说明的情况下, p 型 MOS 管的衬底接在电源电压, n 型 MOS 管的衬底接在电源地上. M8 和 M9 的衬底端接在电容 C1 的正极板, 而 M9 的漏端接在 n 型开关管 MS 的栅极, 也就是 n_3 节点. 电路中的 M1, M3 和 M5, M6 组成了两对传输门, 可以保证输入信号在高低电压无损失地传输到传输门的另一端. 这两个传输门的一端接输入信号 V_{in} , 另一端分别接 n_1 和电容 C1 的负极板. M2 的栅极接时钟信号 Clk, 漏源两端分别接 n_1 节点和电源电压, 它的作用是当 M2 导通时, 使 M9 管的栅电压为高电平, 关闭 M9, 阻止 n_4 节点的电压加到 MS 管的栅端. M4 的漏源两端分别接输入信号和 n_1 节点. M7 的漏源两端分别接输入信号和电容 C1 的负极板. M11 和 M13 的栅极连接到时钟信号, M11 的漏源端分别接 M13 的源端和电源地, M13 的漏源端分别接 MS 的栅端 (即 n_3 节点) 和 M11 的漏端. M12 和 M14 的漏端都接电源电压, 源端分别接在 M11 的漏端和 n_3 节点. 下面分析该电路的工作情况:

(1) 当时钟为低电平时, M2 导通, M3 和 M1 关闭, 信号不能通过, 而电源电压通过 M2 和 n_1 使 M9 不导通, 而 M10 导通, 使得 C1 的负极板的电压为零. 在时钟信号为低电平的时间段里, 电源通过 M8 导通给电容 C1 充电到 V_{DD} . M13 和 M11 导通, 让 MS 的栅电压为零, 开关 MS 处于不导通状态, 信号

不能达到输出端.

(2) 当时钟信号为高电平时, M2 不导通, 传输门 M1 和 M3 导通, 信号 V_{in} 通过至 n_1 . M10, M13 和 M11 不导通. 由于 M13 的漏端接在 MS 的栅端, 电压可能会高于 V_{DD} , 因此为了不让 M13 的源漏电压太高, M12 导通把 M13 的源端电压抬高, 这样可以使 M13 的漏源电压低于 V_{DD} , 同时 M13 的栅端电压接到 n_1 是为了降低它的栅漏电压, 避免栅漏电压高于 V_{DD} , 影响器件的可靠性. 由于 M14 的栅电压等于 MS 管的栅电压, 所以根据公式 (6), M14 的导通电阻会保持常数, 而且栅源电压为 V_{DD} , 等于在输入信号和 n_1 之间的电阻是 M14, M3 和 M1 导通电阻的并联, 因此导通电阻值会小于传输门的导通电阻, 而且由于 M14 的作用导通电阻会近似等于一个常数. M5, M6 和 M7 的作用同理. C1 的负极板电压为 V_{in} , 由于电荷守恒, 正极板的电压为 $V_{DD} + V_{in}$, 为了不让 M9 的栅源电压超过 V_{DD} , V_{in} 经过 n_1 加在 M9 的栅电压, 使得栅源电压等于 V_{DD} , 而且 M9 的导通电阻也为常数, 这样充电电容 C1 的电压通过 M9 传输到 MS 的栅端跟输入信号无关.

从上面的分析可知, 所有跟信号开关电路栅端电压连通的开关导通电阻都是跟信号无关的, 可以大大抑制充电电容上跟信号有关的电压损失, 而且器件的栅源电压始终不会超过电源电压, 保证了器件的可靠性和寿命. 对比 Waltari^[7] 和 Dessouky^[8]

提出的电路,充电电容的电压传输到信号开关的栅端所经过的开关都跟信号有关,因此电荷损失跟信号有关,降低了信号的线性度,而且文献[7]中的电路使用了 2 个电容,当栅增压电路做为本地电荷泵使用时,随着芯片不同区域开关电容电路数量的增加而增加,这样增大了电路面积.

3.2 电路的计算机仿真

根据充电电容的电压传输路径,在设计时尽量减少通路上开关的面积以减少寄生电容.假设输入信号是 5MHz,信号幅度 $V_{pp} = 1V$,DC 值为 1.1V;开关采样时钟信号是 80MHz,采样电容为 2pF;并且通过开关以后输出信号的 SFDR 至少达到 68dB,根据公式(5)得到开关的导通电阻 $R_{on} < 25\Omega$.考虑尽量减少开关管的尺寸以减少寄生电容,具体管子设计尺寸见表 1.使用 HSPICE 仿真工具,采用 0.13 μm 1.2V/2.5V CMOS 工艺,仿真得到了 MS 管的栅电压随输入信号的变化和通过 MS 管的输出信号 FFT 仿真结果.图 5 是瞬态仿真结果,可以看到 V_{msgate} (图 4 中的 n3)随着输入信号 V_{in} 的变化而变化.图 6 是 MS 管的输出信号 V_{out} 的 FFT 分析结果,得到 SFDR 等于 71.6dB (考虑差分应用时二次谐波可以忽略,三次谐波在 -71.6dB).

表 1 电路中各个晶体管的尺寸

Table 1 Transistors' size in the proposed bootstrapped circuit

晶体管	W (μm) / L (μm)	晶体管	W (μm) / L (μm)
M1	4/ 0.28	M8	8/ 0.28
M2	4/ 0.28	M9	8/ 0.28
M3	1/ 0.28	M10	4/ 0.28
M4	1/ 0.28	M11	1/ 0.28
M5	4/ 0.28	M12	1/ 0.28
M6	1/ 0.28	M13	3/ 0.28
M7	1/ 0.28	MS	32/ 0.28

4 结论

本文提出了一种用于低电压开关电容电路的 MOS 栅增压电路,信号开关器件的栅电压与输入信号无关,使开关的导通电阻保持常数;同时在充电电容的电压传输路径中的开关导通电阻也跟信号无关,大大降低了信号的失真.电路中所有的 nMOS 开关电路的衬底始终接在电路的最低电平上,这样

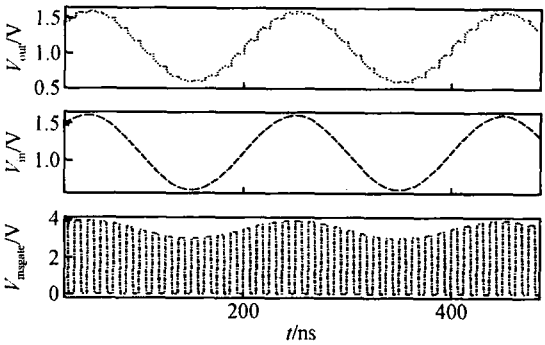


图 5 瞬态仿真结果

Fig. 5 Transient simulation results

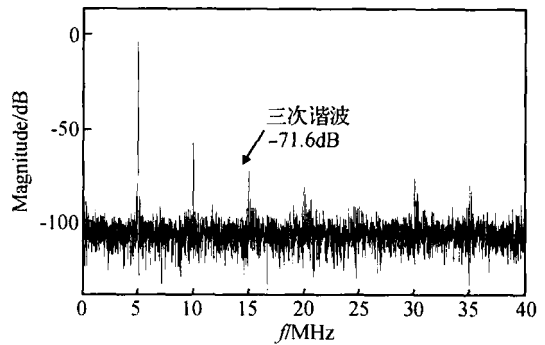


图 6 输出信号的 FFT 仿真结果

Fig. 6 FFT analysis of output signals

易于在普通的单井 CMOS 工艺中实现,降低了产品成本.

参考文献

[1] Waltari M, Halonen K. A 220-M sample/ s CMOS sample-and-hold circuit using double-sampling. Analog Integrated Circuits and Signal Processing,1999,18:21

[2] Maloberti F,Francesconi F,Malcovati P,et al. Design considerations on low-voltage low-power data converters. IEEE Trans Circuits Syst-I,1995,42:653

[3] Abo A M, Gray P R. A 1.5-V, 10-bit, 14.3-MS/ s CMOS pipeline analog-to-digital converter. IEEE J Solid-State Circuits,1999,34(5):599

[4] Wu C Y,Wey W S, Yu T C. A 1.5V CMOS balanced differential switched-capacitor filter with internal clock boosters. Proc IEEE International Symposium on Circuits and Systems,1995:1025

[5] Abo A M,Gray P R. A 1.5V,10-bit,14MS/ s CMOS pipeline analog-to-digital converter. Symposium on VLSI Circuits Digest of Technical Papers,1998:166

[6] Li Yongping, Shi Yin. A clock-feed through compensation

- technology for switched-current circuits. Chinese Journal of Semiconductors, 2003, 24 (7) : 775 (in Chinese) [李拥平, 石寅. 一种开关电流电路时钟馈通的补偿技术. 半导体学报, 2003, 24(7) : 775]
- [7] Waltari M. Circuit techniques for low-voltage and high-speed A/D converters. PhD Thesis, Helsinki University of Technology, 2002 : 83
- [8] Dessouky M, Kaiser A. Input switch configuration for rail-to-rail operation of switched op amp circuits. Electron Lett, 1999, 35(1) : 8

A Bootstrapped Circuit Suitable for Switched Capacitor Circuits *

Zhang Jianyun, Li Jian, Guo Yawei, Shen Bo, and Zhang Wei

(ASIC & System State Key Laboratory, Fudan University, Shanghai 200433, China)

Abstract : This paper proposes a bootstrapped circuit to decrease the on-resistance independent of input signal dependence and bulk effect. Currently, the circuit can choke back the charge distortion between the path of precharge capacitor and gate terminal of signal switch. By HSPICE simulation with 0.13 μ m 1.2V/2.5V CMOS process, this circuit is proved to be suitable for the switched capacitor circuit.

Key words : switched capacitor circuit; on-resistance; MOS switch; bootstrapped circuit

EEACC : 1265H; 1280; 2570D

Article ID : 0253-4177(2005)09-1808-05

* Project supported by the National Natural Science Foundation of China (No. 60176013) and the Shanghai Municipality AM Foundation (No. 0304)

Zhang Jianyun male, was born in 1975, PhD candidate. He is mainly engaged in research on analog and mixed signal IC design.

Li Jian male, was born in 1980, PhD candidate. He is mainly engaged in research on analog and mixed signal IC design.

Received 26 January 2005, revised manuscript received 20 March 2005

© 2005 Chinese Institute of Electronics