

# GaAs MESFET 中肖特基势垒接触退化机理的研究

李志国 赵瑞东 孙英华 吉 元 程尧海 郭伟玲 王 重 李学信

(北京工业大学电子工程系 北京 100022)

**摘要** 本文对 Ti/Mo/Ti/Au 作为栅金属的 GaAs MESFET 进行了四种不同的应力试验: 1. 高温反偏(HTRB); 2. 高压反偏(HRB); 3. 高温正向大电流(HFGC); 4. 高温存贮(HTS)。通过 HRB,  $\Phi_B$  从 0.64eV 减少到 0.62eV, 理想因子  $n$  略有增大。HTS 试验中  $\Phi_B$  从 0.67eV 增加到 0.69eV。分析表明, 这归因于界面氧化层的消失, 以及 Ti 与 GaAs 的反应; HFGC 试验结果表明其主要的失效模式为烧毁, SEM 观察中有电徙动及断栅现象发生。AES 分析表明, 应力试验后的样品, 肖特基势垒接触界面模糊, 有明显的互扩散和反应发生。

EEACC: 2560S, 2530D, 2550F

## 1 引言

当今 III-V 族化合物半导体器件, 由于良好的高频性能而被广泛应用于航空、航天和卫星通讯等高技术领域。目前, 在微波领域中的低噪声、功率和数字应用方面, 肖特基势垒场效应晶体管的研究支配着固态工艺的发展, 其在军事和商业两方面应用的现实及潜力, 使其可靠性已成为关键问题。

GaAs MESFET 依靠栅肖特基势垒控制沟道区, 因而 MESFET 的可靠性与稳定性在很大程度上依赖于肖特基栅的可靠性和稳定性。因栅的缓慢退化而导致器件特性退化, 甚至导致器件烧毁失效, 这在器件的失效模式中占有相当大的比例<sup>[1]</sup>。

本文在实验的基础上, 对 Ti/Mo/Ti/Au 肖特基势垒接触的失效模式与失效机理进行了研究, 并指出了相应的改进措施。

## 2 试验及结果

### 2.1 试验条件

为了准确找出 n-GaAs Ti/Mo/Ti/Au 肖特基势垒接触的失效模式和失效机理, 揭示其在不同应力条件下的失效过程和规律, 设计了四种不同的应力试验: (1) 高压反偏

李志国 男, 1940年生, 高工, 现从事半导体器件教学和半导体器件可靠性物理研究工作

赵瑞东 男, 1968年生, 硕士生, 半导体器件可靠性物理专业

孙英华 女, 1968年生, 讲师, 现从事微电子技术教学及半导体器件可靠性物理研究工作

1994年7月23日收到初稿, 1995年2月7日收到修改稿

(HRB): 环境温度  $T_{amb}=35^{\circ}\text{C}$ 、反向电流密度  $J_r=3\text{A}/\text{cm}^2$ . (2) 高温反偏(HTRB):  $T_{amb}=125^{\circ}\text{C}$ 、 $J_r=3\text{A}/\text{cm}^2$ ,  $\text{N}_2$ 气保护. (3) 高温正向大电流(HFGC):  $T_{amb}=175^{\circ}\text{C}$ 、正向电流密度  $J_t=2.5\times 10^6\text{A}/\text{cm}^2$ ,  $\text{N}_2$ 气保护. (4) 高温热存贮(HTS):  $T_{amb}=300^{\circ}\text{C}$ .

## 2.2 试验结果

### 2.2.1 $I_{dss}$ 、 $g_m$ 、 $V_p$ 的变化

在 HRB 和 HTRB 试验中  $I_{dss}$ 、 $g_m$ 、 $V_p$  均无明显变化. 而在 HTRB 和 HFGC 试验中,  $I_{dss}$ 、 $g_m$ 、 $V_p$  均呈现明显的下降趋势.

### 2.2.2 正向 $I-V$ 特性

A) HRB 应力试验: 图1给出了 HRB 试验中肖特基势垒正向  $I-V$  特性曲线随时间的变化关系. 由试验数据计算出势垒高度  $\Phi_{Bn}(0)=0.62\text{ eV}$ 、肖特基势垒高度变化量  $\Delta\Phi_{Bn}(0)=20\text{meV}$ , 理想因子  $n$  值变化不明显.

B) HTRB 应力试验: 该试验是为了进一步了解反偏对肖特基势垒接触退化的影响. 图2给出了试验中肖特基势垒正向  $I-V$  特性曲线随时间的变化关系. 由试验数据计算出  $\Phi_{Bn}(0)=0.62\text{eV}$ 、 $\Delta\Phi_{Bn}(0)=20\text{meV}$ ,  $n$  值约为 1.40.

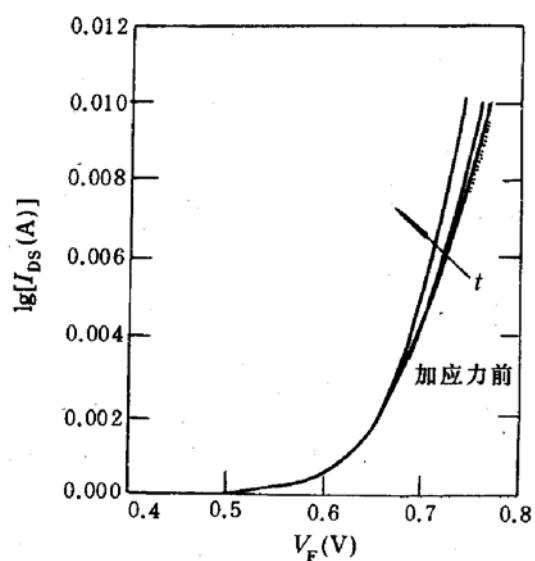


图1 G-DS 正向  $I-V$  特性与时间  $t$   
的实验曲线(HRB)

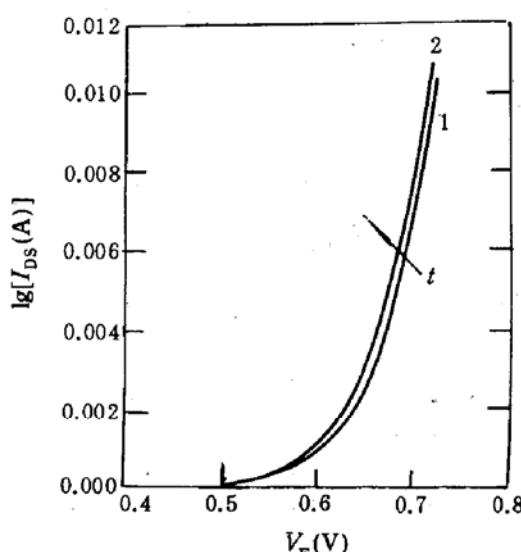


图2 G-DS 正向  $I-V$  特性与时间  $t$   
的实验曲线(HTRB)

C) HFGC 应力试验: 图3给出了试验过程中肖特基势垒正向  $I-V$  特性曲线随时间的变化关系, 变化顺序如图所示. 从曲线的变化可明显看到栅漏电和栅通现象. 特别是在试验后期烧毁失效现象严重. 分析原因是由于工艺的不均匀性造成栅局部区域严重退化, 导致应力试验后期电流在栅局部区域集中, 最终造成致命性烧毁失效.

D) HTS 应力试验: 试验中测得的典型肖特基势垒正向  $I-V$  特性如图4所示. 正向  $I-V$  特性随时间变化的趋势与 HRB、HTRB 相反, 变化过程也为渐变, 同时存在漏电增大及栅通的现象.  $\Delta\Phi_{Bn}(0)=20\text{meV}$ ,  $n$  值变化不明显.

### 2.2.3 反向 $I-V$ 特性

HRB、HTRB 应力试验, 反向特性未观察到明显变化. HFGC 和 HTS 应力试验在试验后期观察到了明显变化, 漏电流增大, 反向击穿电压变小.

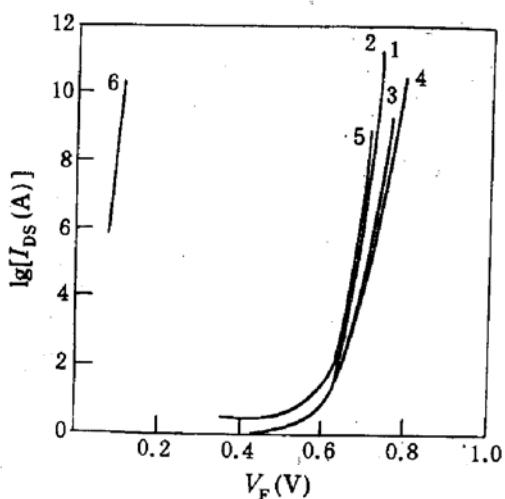


图3 G-DS 正向  $I-V$  特性与时间  $t$   
的实验曲线(HFGC)

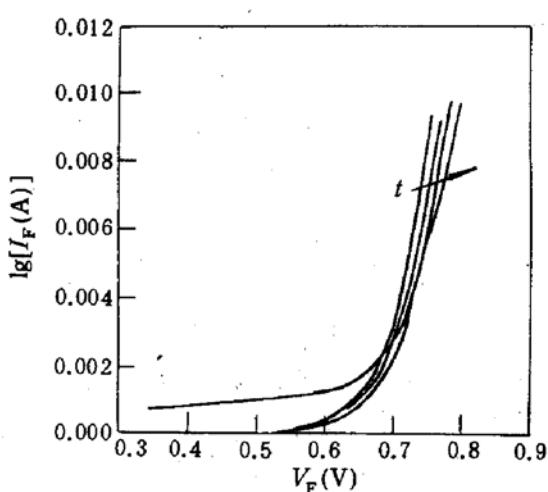


图4 G-DS 正向  $I-V$  特性与时间  $t$   
的实验曲线(HTS)

### 3 结果分析与讨论

#### 3.1 $\Phi_B$ 变化的分析与讨论

GaAs 肖特基势垒接触的  $I-V$  特性由下式描述:

$$J = A^{**} T^2 \exp\left(-\frac{q\Phi_B}{kT}\right) \left[\exp\left(\frac{qV}{kT}\right) - 1\right]$$

将上式取对数,且对电压  $V$  微分可得到理想因子  $n$  ( $V \gg 3kT/q$ ):

$$n = \frac{q}{kT(d\ln J/dV)} = \frac{1}{1 - d\Phi_B/dV}$$

在有界面层存在情况下,外加电压分别降落在界面层( $V_i$ )和半导体( $V_s$ )上。显然, $V_i$  与半导体的最大电场强度  $E_{max}$  有关<sup>[2]</sup>:

$$V_i = (\delta/\epsilon_i)[\epsilon_s E_{max} - Q_{ss}/\epsilon_0]$$

$\delta$  为界面层厚度,  $\epsilon_i$ 、 $\epsilon_s$ 、 $\epsilon_0$  分别为界面层、半导体和真空的相对介电常数,  $Q_{ss}$  为填充界面层与半导体界面处的界面态电荷(包括固定电荷)。在外加电压作用下由界面层及界面电荷导致的势垒高度降低量由下式给出:

$$\Delta\Phi_{Bi} = \frac{(\epsilon_s/W) + q(D_{sb}/\epsilon_0)}{(\epsilon_i/\delta) + (\epsilon_s/W) + [q(D_{sa} + D_{sb})/\epsilon_0]}$$

$W$  为半导体的耗尽层宽度。假设界面态与金属相平衡的电荷和密度分别为  $Q_{ssa}$  和  $D_{sa}$ , 界面态与半导体相平衡的电荷和密度分别为  $Q_{ssb}$  和  $D_{sb}$ 。由此可得出有界面氧化层及界面电荷存在时的理想因子为:

$$n_i = 1 + \frac{(\epsilon_s/W) + q(D_{sb}/\epsilon_0)}{(\epsilon_i/\delta) + (\epsilon_s/W) + (qD_{sa}/\epsilon_0)}$$

$\Phi_B$  及其变化量与界面态和天然氧化层的影响密切相关,与栅金属和接触界面的化学特性密切相关。

HRB 和 HTRB 试验中,  $\Phi_B$  的变化量基本相同。原因是两个试验引起  $\Phi_B$  变化均由于电

子对界面态的填充和界面处深陷阱能级的产生和湮灭,导致了界面态电荷密度的变化所致<sup>[3]</sup>.在HTS试验中 $\Phi_B$ 的增大是由于界面氧化层的消失,在热应力作用下,Ti与GaAs表面的氧化层发生反应,与GaAs形成较紧密接触,从而导致 $\Phi_B$ 增大. $\Phi_B$ 的变化在一定程度上反映了GaAs表面栅金属淀积前的情况, $\Phi_B$ 变化愈大,界面氧化层愈厚,在热应力的作用下,Ti与氧化层反应就会愈不均匀,潜在的失效就愈容易发生.

### 3.2 烧毁的分析与讨论

在HFGC试验中,烧毁是器件的主要失效模式.笔者认为图3曲线的变化预示着肖特基势垒接触金属与GaAs之间的反应.开始不久发生的曲线内移是由于界面氧化层被破坏,导致了 $\Phi_B$ 增大,也使加在界面氧化层上的电压 $V_i$ 转而加到了势垒上,这两种效应的综合结果使得曲线内移.随后,在热应力作用下,栅金属与界面氧化层反应导致了势垒高度 $\Phi_B$ 的增大,曲线外移,这一结论在HTS试验中已得到证实.随着时间的增加,栅金属与GaAs进一步反应,表面退化,漏电流增大,曲线内移.该特性说明栅金属与GaAs之间除肖特基势垒接触外,还有一电阻通路.造成这一通路的原因是由于栅源,栅漏间GaAs表面退化,栅金属与GaAs间的相变反应及互扩散,特别是栅金属本身及其温度分布的不均匀性,使局部区域退化严重形成局部区域的类欧姆接触.试验后期出现的肖特基势垒泄漏电流增加,栅漏击穿电压下降,从机理上讲可认为介质(SiO<sub>2</sub>)中的氧在电场作用下激活,并发生了如下反应<sup>[4]</sup>:



界面处游离As和自由As的存在增加了表面复合速度和表面泄漏电流.表面退化使 $BV_{DG0}$ 大幅度下降而导致烧毁失效.在热电应力作用下,栅金属向GaAs内部的扩散及相变反应和自身的横向电徙动造成了栅指局部出现空洞和栅肖特基势垒接触局部整流特性消失,最后造成栅局部区域形成类欧姆接触,电流集中,出现热斑,热奔而烧毁.

HFGC应力试验中的烧毁属于长期烧毁.由于所加电流应力较大,因此一旦发生烧毁,其烧毁程度就很严重.图5(见图版I)是HFGC试验中未发生烧毁样品的SEM照片,从照片中可看到有断栅现象发生,这是由电徙动现象而造成的.但这种局部失效并未导致烧毁.由此可见烧毁发生的根本原因在于栅金属与GaAs形成的肖特基势垒接触退化.横向电徙动不是导致烧毁失效的直接原因,然而会使局部纵向热电迁徙和互扩散得到不同程度的加强.因此,为解决烧毁问题,首先要解决栅金属与GaAs间的互扩散,相变反应和栅金属条的不均匀性等.

### 3.3 电徙动、界面扩散与界面反应

#### 3.3.1 电徙动

在HFGC应力试验中,栅金属化即存在横向电徙动,也存在纵向电徙动.栅条上横向电徙动是不均匀的,原因是栅金属化淀积前,GaAs表面天然氧化层分布是不均匀的,这必将导致栅肖特基势垒接触和纵向电流密度的不均匀性,最终造成栅局部区域纵向电徙动增强.

就横向电徙动而言,栅根部比其它部分严重,见图5.栅根部出现的断栅及晶须充分说明了这点.众所周知,金以2.0eV的激活能进行电迁徙.但由于栅金属与GaAs衬底间的互扩散,特别是Ga外扩散到Au覆盖层时,会因金的溶质效应而把金的电迁徙激活能降低到1.0eV以下,因而加强了栅金属化的横向电徙动.

纵向电徙动对接触可靠性的影响比横向电徙动严重,它与热扩散联系在一起,所以实际上是一种热电迁徙。特别是当界面接触存在针孔等明显缺陷时,缺陷处的热电迁徙会变得更加严重而导致热斑产生,随后的渗透将诱发热失控而导致器件烧毁。

在样品失效分析中,同时观察到了由纵向热电迁徙引起的漏欧姆接触金属化上形成的空洞,见图6(见图版I)。空洞在漏条上分布是不均匀的。未观察到由横向电徙动引起的一端金属原子堆积现象,笔者认为这是由于横向电徙动在一端引起金属原子的堆积弥补了纵向电徙动、互扩散、相变反应引起的损耗。

### 3.3.2 界面扩散与反应

Photoemision 研究表明<sup>[5]</sup>,在室温下 Ti 与清洁或表面存在氧化物的 GaAs 也会发生反应,其反应符合抛物线型增长速率,是受扩散控制的,TiAs 层穿入 GaAs 衬底的深度与时间的 $1/2$ 次方成正比。

我们对试验样品作了试验前 AES 分析,见图7(见图版 I)。可以看到在界面处明显存在着氧化层。这也证实了关于  $\Phi_B$  变化的分析。同时,我们也做了 HTS 试验后样品的 AES 分析,见图8(见图版 I)。从图中可明显看到栅金属与 GaAs 间发生了明显的互扩散和反应,Au 通过扩散穿透 Ti/Mo/Ti 层而深入到 GaAs 衬底,Ga、As 外扩散而进入 Au 层,界面发生明显变化。栅金属 Au 扩散入 GaAs 衬底是形成栅“沉陷”的主要原因<sup>[6]</sup>。同时, Au 扩散入有源沟道的掺杂行为补偿了 n-GaAs 中的施主,使沟道有效载流子浓度降低,二者都导致了  $I_{dss}$ 、 $V_p$  的下降。

### 3.4 接触退化对器件电特性的影响

接触退化直接导致了器件各种特性参数的退化。但因为接触退化是渐变过程,只有达到一定程度,才会发生电性能的突变性变化(如突变烧毁)。

对  $I_{dss}, V_p$  的影响:在 HFGC 和 HTS 试验中,由于 Au 的穿透内扩散及栅的“沉陷”而使栅下有源区有效沟道厚度  $a$  减小。分析表明  $I_{dss}$  与  $a^3$  成正比,夹断电压  $V_p$  与  $a^2$  成正比。 $a$  的减小显然对  $I_{dss}$  和  $V_p$  造成了不良影响。所以,避免栅的“沉陷”是改进器件电参数漂移的主要途径。

对  $g_m$  的影响:HFGC 和 HTS 试验中,在应力施加后很长一段时间内跨导没有太大改变,但在应力后期的某段时间内则发生了一种快速变化。由于受到监测时间间隔的限制未能捕捉到这一变化细节。从分析看,势垒接触退化和源漏欧姆接触退化可以解释其缓变的过程,但对其快速变化的现象却无法解释。考虑到栅退化,特别是在栅源间存在一电通路,将对跨导产生极大影响时,可对这一现象作出解释。栅的退化在试验开始后很长一段时间变化不大,是渐变。而在应力后期某段时间快速变化的规律,从宏观上讲也就反映了  $g_m$  的变化规律。所以,由源漏欧姆接触电阻增大而导致  $g_m$  的下降不是跨导下降的唯一原因。在某些器件中,因栅的退化而造成的栅跨导下降将成为主要原因。

## 4 结束语

通过上述试验和分析可得出以下结论:

1) 栅金属与 GaAs 接触的势垒高度与界面处的界面态、界面天然氧化物的存在有关。电子对界面的填充导致了反偏应力过程中势垒高度的降低。对 Ti/Mo/Ti/Au 样品,肖特基势垒的变化约为 20meV。电子对界面态的填充能力与反偏电压及温度有关。温度越高,

反偏电压越大，到达最后的似饱和态所用的时间越短。

2) HFGC 试验中器件的主要失效模式是烧毁。其根本原因是界面与表面在应力施加过程中的渐变退化，其机构包括界面的相互扩散与反应、纵向的热电迁徙、介质与 GaAs 的表面反应。研究表明，栅金属化的横向电徙动沿栅是不均匀的，栅根部比其它部位严重。横向电徙动不是导致烧毁的直接原因，但在一定程度上加剧了栅金属与 GaAs 间的热电迁徙及界面反应。

3) HTS 试验中，势垒高度随时间渐变增大。在泄漏电流明显增大前，势垒高度的增加量约为 20meV。

4) 栅金属与 GaAs 间的热电迁徙与反应导致了 GaAs MESFET 器件电参数的漂移；横向电徙动造成的栅断及栅空洞，使得栅夹不断；表面退化及栅局部区域类欧姆接触导致了跨导的下降。由热效应所造成的栅非均匀“沉陷”是导致  $I_{dss}$  下降的主要原因。

**致谢** 电子部 55 所 802 室提供了试验样品，对他们的大力支持与协作表示感谢。

### 参 考 文 献

- [1] 李效白，半导体情报，1990，5：9.
- [2] Z. J. Horvath, J. Appl. phys., 1988, **63**(3):1.
- [3] A. Mirett, J. Appl. Phys., 1988, **63**(6):15.
- [4] S. H. Wemple, IEEE Electron Devices., 1981, **28**:834.
- [5] S. P. Kowalczyk, J. Vac. Sci. Technol., 1981, **19**:611.

## Degradation Mechanism of Schottky Contact in GaAs MESFET

Li Zhiguo, Zhao Ruidong, Sun Yinghua, Ji Yuan,  
Cheng Yaohai, Guo Weiling, Wang Zhong and Li Xuexing

(Beijing Polytechnic University, Beijing 100022)

Received 23 July 1994, revised manuscript received 7 February 1995

**Abstract** The Ti/Mo/Ti/Au Schottky barrier contact in GaAs MESFETs has been investigated by means of: (1) High Reverse Biased test (HRB), (2) High Temperature Reverse Biased (HTRB), (3) High Temperature Forward Gate Current (HFGC) and (4) High Temperature Storage (HTS). The barrier height  $\Phi_B$  decreases from 0.64 to 0.62eV in HRB, but in HTS test, the  $\Phi_B$  increases from 0.67 to 0.69eV due to the disappearance of the interface oxide layer and interaction of Ti to GaAs. The HFGC test shows that, the main failure mode is burnout, and the SEM analysis shows that electromigration and un-gated phenomena happened simultaneously. The AES suggests that the interaction between gate metallization and GaAs active layer has taken place and the Schottky contact interface becomes ambiguous after stressing.