

P <100> Si 衬底晶向偏离度对外延埋层图形畸变的影响

李养贤 鞠玉林

(河北工学院材料研究中心 天津 300130)

摘要 衬底晶向偏离度对 P 型<100> 硅外延埋层图形畸变影响很大, 在通常的外延生长条件下, 当 P 型<100> 衬底主晶向朝最近<110> 方向偏离 $2\sim 3^\circ$ 时, 可得到十分满意的埋层图形。这个结果对于修订标准具有参考价值。本文从外延生长的微观机制出发, 对产生埋层外延图形畸变的原因和实验结果进行了分析。

PACC: 6855, 6860

1 前言

外延是半导体器件生产的关键工序之一。数字和线性 IC 还必须在已经进行了埋层扩散的衬底上再生长一层电阻率及厚度一定的薄膜。通常, 数字 IC 选用 P 型<111> 衬底, 而线性 IC 则选用 P 型<100> 衬底。

在埋层上生长的外延层, 将重现衬底的表面特征。人们希望获得较完整的外延图形, 而在外延生长过程中, 由于结晶学平面生长速率的各向异性, 这个结晶平面受到衬底低陷区的底和边的约束而发生图形漂移、畸变、乃至消失。图形漂移、图形畸变和图形消失强烈地依赖于衬底的晶向和生长参数。

为了减少外延埋层图形畸变与漂移, 必须对 P 型<111> 硅衬底晶向偏离度提出了具体要求。即要求 P 型<111> 硅衬底晶向朝最近的<110> 方向偏离 $3\sim 5^\circ$; P 型<100> 硅衬底晶向越正越好, 即偏离度为 $0\pm 1^\circ$ ^[1~5]。

本文在大量实验基础上, 对传统的 P 型<100> 硅衬底晶向偏离度问题提出新的看法:P 型<100> 硅衬底晶向最佳偏离度应为 $2\sim 3^\circ$ 。

2 实验

2.1 样品制备

P 型<100> 衬底是, 直径为 $\Phi 40\text{mm}$ 和 $\Phi 76.2\text{mm}$, 衬底电阻率为 $8\sim 12\Omega \cdot \text{cm}$ 的两种硅

李养贤 男, 1959 年生, 副教授, 中国电子学会高级会员, 现从事半导体材料的研究与教学工作

鞠玉林 男, 1938 年生, 教授, 现从事半导体材料的研究与教学工作

1995 年 1 月 1 日收到初稿, 1995 年 5 月 4 日收到修改稿

片。晶向偏离度为 $0\sim 7^\circ$ 、每隔 $10\sim 20'$ 为一组,分36组。

2.2 外延生长

每组样品分别在立式外延炉及卧式外延炉进行埋层外延生长,扩Sb或As。外延层厚度为 $8\sim 18\mu\text{m}$ 。生长条件为温度: $1150\sim 1205^\circ\text{C}$ 、生长速度: $0.5\mu\text{m}/\text{min}$ 、生长源: SiCl_4 、生长时间: 30min 。

2.3 观察测试

采用X射线单晶定向仪确定晶向偏离度,并用台阶轮廓仪测定埋层区深度。埋层畸变情况在相衬干涉显微镜下观察。

2.4 结果

实验表明,不同外延生长设备及生长温度的差异、生长速率的大小等因素都在不同程度地对埋层图形产生影响,但这些影响并不显著。关键因素是P型 $\langle 100 \rangle$ 硅衬底晶向偏离度(θ)。已经证明,当 $\theta < 1^\circ$ 时,埋层图形扩展;相反,当 $\theta > 4^\circ$ 时埋层图形收缩。而当 θ 在 $2\sim 3^\circ$ 之间时可得到满意的埋层图形。这是P型 $\langle 100 \rangle$ 硅衬底晶向最佳偏离度。结果示于图1(a)、(b)、(c)(见图版I)。

3 结果分析

外延生长后,常见的埋层图形畸变与漂移现象如图2所示(见图版I)。其中设沿 $\langle 100 \rangle$ 硅衬底主晶向的外延生长速率为 $v_{(100)}$;沿着埋层扩散区台阶各侧壁的生长速率为 $v_{x1}, v_{x2}, v_{x3} \dots v_{xi} \dots$,并假设各侧壁平面与 $\langle 100 \rangle$ 径向间的夹角为 $\alpha_1, \alpha_2, \alpha_3 \dots \alpha_i \dots$ 。当

$$v_{xi} = v_{(100)} \cos \alpha_i \quad (i=1, 2, 3 \dots) \quad \text{图形不发生畸变};$$

$$v_{xi} < v_{(100)} \cos \alpha_i \quad (i=1, 2, 3 \dots) \quad \text{图形扩大};$$

$$v_{xi} > v_{(100)} \cos \alpha_i \quad (i=1, 2, 3 \dots) \quad \text{图形收缩}.$$

一般认为埋层图形畸变与漂移受到多种因素影响,如外延温度、生长速率、所用的外延设备、反应剂及外延层的厚度。而衬底的表面质量及衬底的晶向偏离度是影响埋层图形畸变与漂移的另一因素。在诸多因素中,对埋层图形畸变与漂移的主要影响是硅衬底的晶向偏离度。

Tung(1968)曾指出用CVD方法生长硅薄膜时,不同晶向的生长速率不同。沿 $\langle 100 \rangle$ 晶向的生长速率大于沿 $\langle 111 \rangle$ 晶向的生长速率,而沿 $\langle 110 \rangle$ 晶向的生长速率又大于沿 $\langle 100 \rangle$ 晶向的生长速率。一般认为,这种差别是由于不同晶面的结构特征各不相同引起。在 $\langle 111 \rangle$ 晶面,一个硅原子具有一个单键,相对键密度为1.00。所以 $\langle 100 \rangle$ 晶面不如 $\langle 111 \rangle$ 晶面那样稳定,其生长速率和腐蚀速率也较 $\langle 111 \rangle$ 晶面高。对带有埋层图形的衬底来说,埋层图形为一个深度为 $50\sim 150\text{nm}$ 的凹陷区,其四周各晶面与 $\langle 100 \rangle$ 晶面不同,在外延生长过程中,这些晶面的生长速率之间如果不匹配,就会造成外延埋层图形畸变与漂移。

从微观角度分析,硅外延生长速率与晶面上的台阶、台阶密度及台阶的传播速度有密切关系^[6]。通常在切片时,晶向稍微偏离,就会露出高指数晶面,如果硅片表面与理想晶面 $\langle 100 \rangle$ 偏离一个小角度 θ ,将会有一系列台阶产生,其间隔为 d ,由下式给出:

$$d = h/\theta$$

式中 h 为台阶高度,当 θ 很小时, h 通常为一个原子高度,对硅晶体 $h \approx 0.3\text{nm}$ 。

还应指出,台阶本身并不光滑,一个台阶往往带有许多扭折,这些扭折位置就是硅原子的陷阱。正是靠着台阶上的扭折对硅原子的陷阱作用,使台阶沿一定方向传播,实现硅外延的二维生长。

也就是说,对图形发生畸变与漂移的情况,如果在实际中晶向发生一定的偏移度,外延埋层图形可不发生畸变或漂移。如图3所示。当 $v_{xi} = v_{(100)} \cos\theta \cos\alpha_i$ ($i=1,2,3 \dots$) 时,图形不发生畸变。

根据以上讨论,我们可以对实验结果作如下解释:

1、当 $\theta < 1.5^\circ$ 时,尽管(100)晶面的生长速度较快,但因 θ 较小, d 很大,即(100)晶面上的台阶密度很低,其相对生长速度比图形四周各面生长速度要慢,此时

$$v_{xi} < v_{(100)} \cos\theta \cos\alpha_i \quad (i=1,2,3 \dots) \quad (1)$$

外延生长之后埋层图形收缩。见图1(a)。

2、当 $\theta > 4^\circ$ 之后,由于(100)面上的台阶密度剧增,使其生长速度远远超过图形四周各面的生长速度,此时

$$v_{xi} > v_{(100)} \cos\theta \cos\alpha_i \quad (i=1,2,3 \dots) \quad (2)$$

结果使图形扩大。见图1(c)。

3、当 θ 在 $2 \sim 3^\circ$ 之间时,这种情况下(100)面上台阶密度适中,其生长速度与四周边缘各晶面的生长速度相匹配,此时

$$v_{xi} \approx v_{(100)} \cos\theta \cos\alpha_i \quad (i=1,2,3 \dots) \quad (3)$$

可得到畸变程度很小的埋层外延图形,以满足线性IC生长的需要,见图1(b)。

在以上的讨论中,实际上我们已假定外延时图形四周各面的生长速度相对稳定,即 v_{xi} 相对稳定,关键在于(100)晶面的生长速度 $v_{(100)}$ 的大小。

另外,如果图形四周各面生长速度之间存在着较大的差异,将会产生埋层图形的漂移。

可见,改变(100)晶面的偏移度,即可调整埋层图形各晶面的生长速度,使之相匹配,从而得到最佳偏移度。最大限度地减小埋层图形畸变。

4 结论

外延生长温度、生长速度、生长源、气体种类、外延设备、衬底晶向偏移度等众多影响因素中,对P型<100>硅外延埋层图形畸变影响起主导作用的是衬底晶向偏移度。对通常的外延生长条件,当P型<100>衬底主晶向朝最近<110>方向偏移 $2 \sim 3^\circ$ 时,可得到十分满意的埋层图形。而目前广泛采用的标准中,对P型<100>晶向偏移度要求 $0 \sim 1^\circ$,因而本结果对于修订标准具有参考价值。

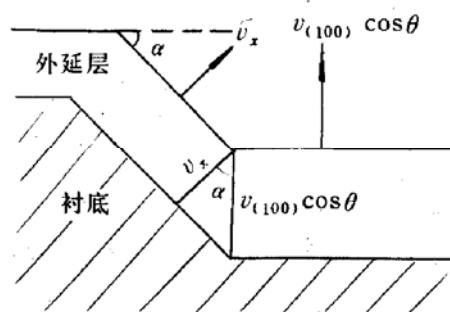


图3 晶向偏移一定角度时外延埋层图形可不发生畸变

参 考 文 献

- [1] M. R. Boydston, G. A. Gruber and D. C. Gupta, ASTM Spec. Tech. Publ, 1983, **804**, 174~189.
- [2] C. M. Drum and C. A. Clark, J. Electrochem. Soc. 1968, **115**: 664~669.
- [3] P. H. Lee, M. T. Wauk, R. S. Rolser and W. C. Benzing, J. Electrochem. Soc., 1977, **124**, 1824~1826.
- [4] S. P. Weeks, Solid State Technol, 1981, **24**(11): 111~117.
- [5] 庄同曾, 张安康, 黄兰芳, 集成电路制造技术——原理与实践, 北京: 电子工业出版社, 1987, 66.
- [6] 任丙彦, 李养贤, 等译, 硅外延生长技术, 石家庄: 河北科技出版社, 1992, 139.

Effect of Orientation Deviation on Pattern Distortion in Epitaxial Buried Layer on P <100> Si Substrate

Li Yangxian and Ju Yulin

(Hebei Institute of Technology, Tianjin 300130)

Received 1 January 1995, revised manuscript received 4 May 1995

Abstract The orientation deviation is the main factor influencing pattern distortion in epitaxial buried layer on P <100> silicon substrate. It has been shown that better pattern can be obtained by deviating the orientation of the P-type <100> wafer 2~3° from <100> axis toward the nearest <110> axis. It can be as a reference to revise the standard of epitaxial growth. We have discussed the reason of forming pattern distortion based on its micromechanism and growing dynamics.

PACC: 6855, 6860