

RESURF 原理应用于 SOI LDMOS 晶体管

富力文 阎力大

(清华大学微电子学研究所 北京 100084)

摘要 本文首次采用解析方法及二维计算机模拟讨论了 RESURF 原理应用于 SOI LDMOS 晶体管。研究表明：击穿电压随埋层 SiO_2 厚度增加而增加；击穿电压随 Si 层厚度变化呈现 U 型曲线；当埋层 SiO_2 和 Si 层厚度一定时，Si 层的杂质浓度存在一个临界值，在此浓度之下，可获得高的击穿电压。这个结论也适用于介质隔离的各种横向器件的击穿特性分析。

EEACC: 2500, 2560S

1 引言

由于 SOI(Silicon-On-Insulator)技术提供了良好的器件隔离，减少了寄生效应及具有高的抗辐射能力，使 SOI 器件近来有很大发展^[1]。为使 SOI 器件有更好的作用，提高 SOI 器件的击穿电压是个重要的研究课题。RESURF(REDuced SURface Field)原理已经成功地用于普通的 LDMOS(Lateral Double-diffused MOS)晶体管，大大地提高了其击穿电压^[2]。最近，Merchant 等人^[3]采用漂移区杂质浓度沿横向距离线性变化，从而提高 LDMOS 的击穿电压，显然这样的杂质分布工艺上很难控制。Huang 和 Baliga 等人^[4,5]提出了两种结构来改进击穿电压，一种是在埋层 SiO_2 下面加一个 n^+ 块，其电特性与漏极相连，这种结构工艺困难，而且使隔离性能变坏；另一种结构是在埋层 SiO_2 上面加一薄层低阻层，显然也增加了工艺上的难度。

由于 SOI LDMOS 晶体管处于关态时，在埋层 SiO_2 层上出现反型层，RESURF 原理是否还能采用，这个问题一直未得到很好的回答。

本文首次采用二维计算机模拟证明对通常结构的 SOI LDMOS 器件，当漏极反向电压足够高时，由于上面 pn 结耗尽区与底部埋层 SiO_2 产生的耗尽区相连后使反型层消失，从而说明了可以应用 RESURF 原理提高击穿电压。本文将普通 LDMOS 器件的解析方法^[6]推广到 SOI 器件，给出了击穿电压与埋层 SiO_2 厚度、Si 层厚度及杂质浓度的关系式，并和二维模拟结果^[7]进行了比较，本文结论也适用于 SiO_2 隔离的各种横向器件的击穿电压分析。

富力文 男，1945 年生，副教授，现从事半导体材料及器件物理研究
1994 年 12 月 8 日收到初稿，1995 年 2 月 28 日收到修改稿

2 RESURF 原理应用于 SOI LDMOS 器件的分析

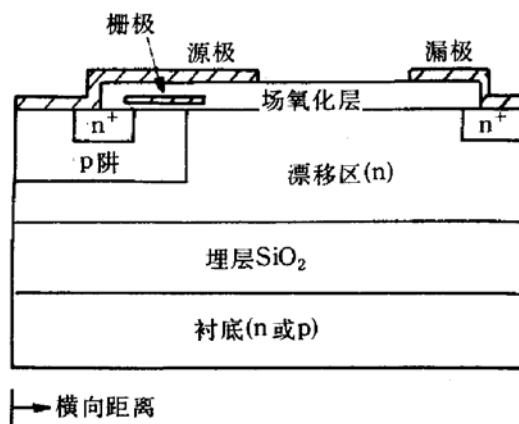


图 1 SOI LDMOS 晶体管结构图

化如图 3. 这个结果是由二维模拟得到的, 此结构场氧化层厚度 t_{ox} 为 $2\mu\text{m}$, 漂移区(Si 层)厚度 t 为 $12\mu\text{m}$, 埋层 SiO_2 厚度 t_{oxb} 为 $2\mu\text{m}$, 漂移区长度 L_D 为 $70\mu\text{m}$, 杂质浓度 $N_D = 10^{15} \text{ cm}^{-3}$. 图 2(a) 表示漏极电压 V_D 较低, 为 44V 时, 两个相互隔开的耗尽层已形成. 当电压 V_D 进一步增加时, pn 结耗尽区扩展以至和底部的耗尽区相连. 一旦两个耗尽区相连, 反型层中的空穴将被高的电场扫出而逐步使反型层消失. 那么, 这种结构与普通 LDMOS 器件就相类似了, 当漏极电压 $V_D = V_{p1}$ 时, 场氧化层下面的耗尽区与底部耗尽区相接触^[8,9], 对于此晶体管 $V_{p1} = 83\text{V}$. 此时底部反型层中空穴浓度已由 10^{17} cm^{-3} 降至 10^{13} cm^{-3} . $V_D = 88\text{V}$ 时剖面等势图如图 2(b) 所示. 当漏极电压 V_D 进一步增加, 底部反型层消失了, $V_D = 280\text{V}$ 时剖面等势图如图 2(c) 所示. 反型层中空穴浓度随 V_D 改变的情况如图 3 所示, 在此电压下, 反型层已经消失了.

当底部反型层消失后, 底部深耗尽产生, SOI LDMOS 结构与普通 LDMOS 结构相类似, 所不同的是, 对普通 LDMOS 结构, 底部耗尽区是漂移区与轻掺杂的衬底区形成的 pn 结产生的, RESURF 原理应用到普通 LDMOS 结构, 是使轻掺杂的衬底承受高的反向电压;

SOI LDMOS 晶体管的剖面图如图 1, 当器件处于关态时, n^+ 源极可以不予特别考虑. 设漂移区掺杂浓度是均匀的, 以 N_D 表示. 当漏极相对于源极的电压为正时(源与衬底相连), 形成了两个耗尽区, 一个是围绕阱和漂移区的 pn 结以及源电极下面的表面层; 另一个耗尽层在埋层 SiO_2 上面称底部耗尽层. 当外加电压足够高时, 在底部耗尽层和埋层 SiO_2 之间将形成反型层, 反型层中的空穴浓度将随外加电压增加而增大.

随外加电压的增大, SOI LDMOS 晶体管的等势图的改变如图 2, 反型层中空穴浓度横向分布的变化如图 3. 这个结果是由二维模拟得到的, 此结构场氧化层厚度 t_{ox} 为 $2\mu\text{m}$, 漂移区(Si 层)厚度 t 为 $12\mu\text{m}$, 埋层 SiO_2 厚度 t_{oxb} 为 $2\mu\text{m}$, 漂移区长度 L_D 为 $70\mu\text{m}$, 杂质浓度 $N_D = 10^{15} \text{ cm}^{-3}$. 图 2(a) 表示漏极电压 V_D 较低, 为 44V 时, 两个相互隔开的耗尽层已形成. 当电压 V_D 进一步增加时, pn 结耗尽区扩展以至和底部的耗尽区相连. 一旦两个耗尽区相连, 反型层中的空穴将被高的电场扫出而逐步使反型层消失. 那么, 这种结构与普通 LDMOS 器件就相类似了, 当漏极电压 $V_D = V_{p1}$ 时, 场氧化层下面的耗尽区与底部耗尽区相接触^[8,9], 对于此晶体管 $V_{p1} = 83\text{V}$. 此时底部反型层中空穴浓度已由 10^{17} cm^{-3} 降至 10^{13} cm^{-3} . $V_D = 88\text{V}$ 时剖面等势图如图 2(b) 所示. 当漏极电压 V_D 进一步增加, 底部反型层消失了, $V_D = 280\text{V}$ 时剖面等势图如图 2(c) 所示. 反型层中空穴浓度随 V_D 改变的情况如图 3 所示, 在此电压下, 反型层已经消失了.

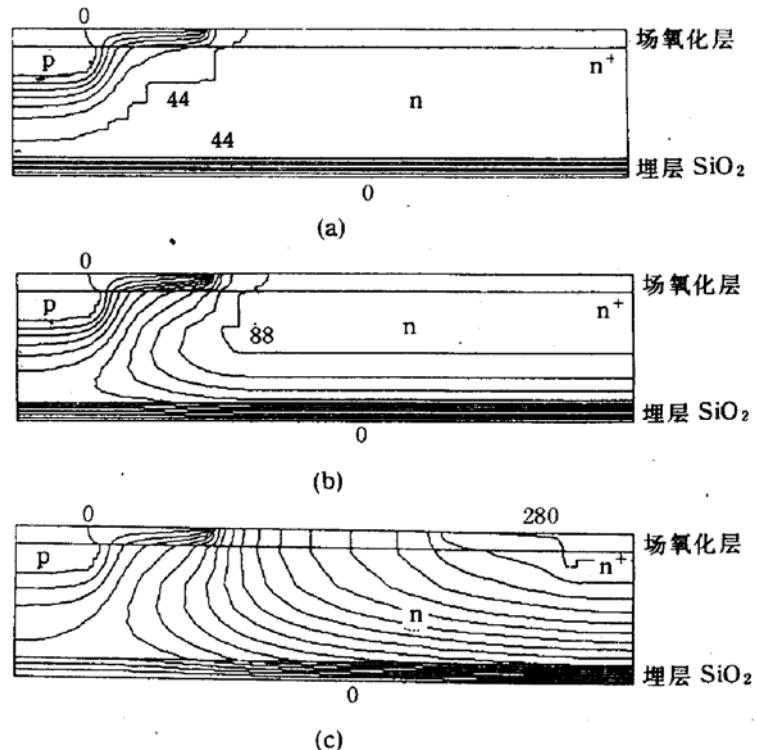


图 2 SOI LDMOS 结构等势图
(a) 漏极电压 $V_D = 44\text{V}$, (b) $V_D = 88\text{V}$, (c) $V_D = 280\text{V}$.

而对 SOI LDMOS 晶体管, 底部耗尽层是由埋层 SiO_2 和漂移区产生的, RESURF 原理用到此结构上, 承受高电压的是埋层 SiO_2 . 衬底可以是 p 型或 n 型, 不影响结果.

SOI LDMOS 晶体管击穿可以分为三种情况, 下面以 n 型漂移区为例, 分析器件击穿电压与埋层 SiO_2 厚度、Si 层掺杂浓度及厚度的关系. 设 V_{p2} 为底部耗尽区一直扩展到整个漂移区时的漏极电压, 这一定义类似于普通 LDMOS 晶体管^[8,9].

第 1 种情况 ($V_D < V_{p1}$)

由于 $V_D < V_{p1}$, 上部耗尽区与底部耗尽区是相互隔开的, 器件的击穿电压由源电极下面场氧化层与漂移区的耗尽层决定, 此时结构的击穿电压与普通 LDMOS 结构完全相同^[6].

$$BV = \varphi_s + \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}} \left(\frac{2eN_D \varphi_s}{\epsilon_0 \epsilon_{\text{Si}}} \right)^{1/2} t_{\text{ox}} \quad (1)$$

其中 φ_s 为击穿时的半导体表面势; 第二项是场氧化层上的电压; t_{ox} 为场氧化层厚度; e 为电子电荷; ϵ_{Si} 和 ϵ_{ox} 分别为 Si 和 SiO_2 的相对介电常数; ϵ_0 为真空介电常数. 表面势 φ_s 为^[10]

$$\varphi_s = BV_{pn} \{ [(2 + \gamma) \gamma]^{1/2} - \gamma \} \quad (2)$$

BV_{pn} 是平面 p⁺n 结的击穿电压^[11]

$$BV_{pn} = 5.34 \times 10^{13} N_D^{-3/4} \quad (3)$$

γ 称等效半径, $\gamma = \frac{\epsilon_{\text{Si}} t_{\text{ox}}}{\epsilon_{\text{ox}} w_d}$, 其中 w_d 是击穿时耗尽区宽度,

$$w_d = \left(\frac{2\epsilon_{\text{Si}}\epsilon_0 BV_{pn}}{eN_D} \right)^{1/2} \quad (4)$$

第 2 种情况 ($V_{p1} \leq V_D \leq V_{p2}$)

当 $V_D = V_{p1}$, 场氧化层之下的耗尽区与底部耗尽区相连, V_{p1} 表达式为

$$V_{p1} = \frac{eN_D}{2\epsilon_{\text{Si}}\epsilon_0} \left\{ \frac{t^2 t_{\text{ox}} + 2(\frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}}) t t_{\text{ox}} t_{\text{oxb}}}{(\frac{\epsilon_{\text{ox}}}{\epsilon_{\text{Si}}}) t + t_{\text{ox}} + t_{\text{oxb}}} + \frac{[t^2 + 2(\frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}}) t t_{\text{oxb}}]^2}{[2t + 2(\frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}})(t_{\text{ox}} + t_{\text{oxb}})]^2} \right\} \quad (5)$$

其中 t 和 t_{oxb} 分别为 Si 层及埋层 SiO_2 厚度. 此种情况, 上部和底部耗尽区连接, 击穿机理复杂, 做为近似, 可以仍与第 1 种情况类似讨论, 只是公式(2)中的 γ 代之以

$$\gamma = \frac{\epsilon_{\text{Si}} t_{\text{ox}}}{\epsilon_{\text{ox}} w_s} \quad (6)$$

w_s 为 $V_D = V_{p1}$ 时感应区深度

$$w_s = \frac{\epsilon_{\text{Si}}}{\epsilon_{\text{ox}}} \left[(t_{\text{ox}}^2 + \frac{2V_{p1}(\epsilon_0 \epsilon_{\text{ox}})^2}{\epsilon_0 \epsilon_{\text{Si}} e N_D})^{1/2} - t_{\text{ox}} \right] \quad (7)$$

一般情况下, w_s 小于 w_d , 因此此种情况下的击穿电压高于第 1 种情况.

第 3 种情况 ($V_D \geq V_{p2}$)

V_{p2} 由下式给出

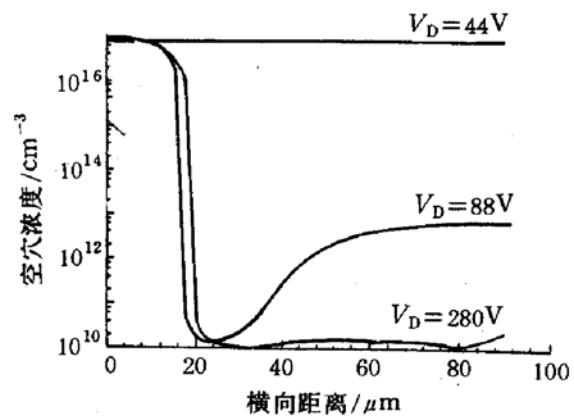


图 3 反型层中空穴浓度的横向分布
随漏极电压 V_D 的变化情况

$$V_{p2} = \frac{eN_D}{2\epsilon_{Si}\epsilon_0} t(t + \frac{2\epsilon_{Si}}{\epsilon_{ox}} t_{oxb}) \quad (8)$$

V_{p2} 是底部耗尽区一直扩展到表面时,漏源之间的电压。此时漂移区完全耗尽,这种情况下,由本文的二维模拟显示,击穿主要发生在 n^+ 漏极(厚度为 t_{n^+})附近,击穿电压取决于 n^+ 漏极下面的耗尽区及埋层 SiO_2 上随的电压,此时

$$BV = BV_{pn}(2\eta - \eta^2) + \frac{\epsilon_{Si}}{\epsilon_{ox}} (\frac{2eN_D BV_{pn}}{\epsilon_{Si}\epsilon_0})^{1/2} t_{oxb} \quad (9)$$

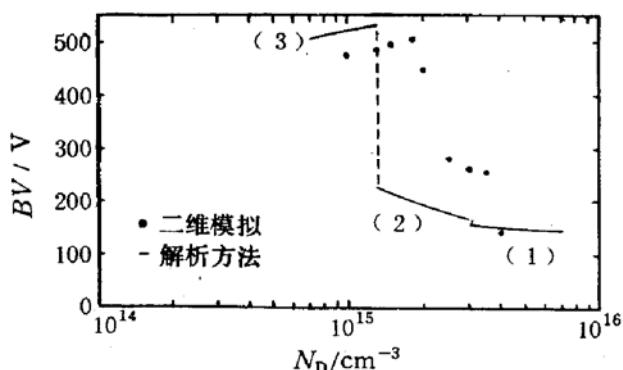


图 4 击穿电压 BV 与 Si 层发质浓度 N_D 的关系

机制依次经过前述三种情况,当击穿机制由第 2 种情况过渡到第 3 种情况时,击穿电压有一个突然增加,此时的 SOI LDMOS 器件处于 RESURF 原理控制下的击穿。由图 4 看到,第 3 种情况的计算结果与二维模拟符合很好;第 2 种情况两种结果定性一致;击穿机制由第 2 种情况过渡到第 3 种情况的临界 Si 杂质浓度,两种结果相当接近,第 1 种情况击穿电压很小,不属于本文讨论范围。为提高击穿电压,器件一般应工作在第 3 种情况。

3 Si 层的最佳掺杂浓度及击穿电压

为尽量减小开态电阻而同时获得最高击穿电压,LDMOS 晶体管应该工作在第 3 种情况,但紧靠着第 2 种情况。因此漂移区杂质浓度存在一个最佳值 N_{DC} ,由以上分析可知, N_{DC} 可通过使 V_{p2} 等于第 2 种情况下的击穿电压而得出

$$N_{DC} = [\frac{E + (E^2 + 4DB)^{1/2}}{2D}]^{8/7} \quad (10)$$

其中

$$B = 5.34 \times 10^{13} \{[(2 + \gamma)\gamma]^{1/2} - \gamma\} \quad (11)$$

$$D = \frac{e}{2\epsilon_{Si}\epsilon_0} t(t + \frac{2\epsilon_{Si}}{\epsilon_{ox}} t_{oxb}) \quad (12)$$

$$E = \frac{t_{ox}}{\epsilon_0\epsilon_{ox}} (2e\epsilon_0\epsilon_{Si})^{1/2} B^{1/2} \quad (13)$$

γ 与公式(6)中定义相同。图 5 给出 $t_{ox}=2\mu\text{m}$, $t_{oxb}=4\mu\text{m}$ 的 LDMOS 器件 Si 层最佳掺杂浓度与其厚度的关系,计算结果与二维模拟结果符合较好。以 N_{DC} 代入公式(9)可以得到最大击穿电压。图 6 给出最大击穿电压与 Si 层厚度及埋层 SiO_2 厚度的关系,场氧化层厚度为

$2\mu\text{m}$, 计算结果与二维模拟结果相符。实际上为确保器件工作在第3种情况下, N_{D} 应小于 N_{DC} 。

二维模拟与计算结果相符说明, 公式(9)和(10)可以做为 SOI LDMOS 器件设计的基础。图6表明当 t_{oxb} 及 t_{oxb} 确定后击穿电压与 Si 层厚度关系存在一个极小值, 随 Si 层厚度的增加, 或者 Si 层的减薄, 击穿电压都将上升。对薄型结构即薄的埋层 SiO_2 及薄 Si 层, RESURF 原理的实现可以采用通常的 SOI 技术^[1]; 而对厚 SiO_2 层及厚 Si 层, 需有用硅片直接键合技术^[12]。当埋层 SiO_2 为 $2\mu\text{m}$, Si 层为 $20\mu\text{m}$ 时, 击穿电压可达 500V 。

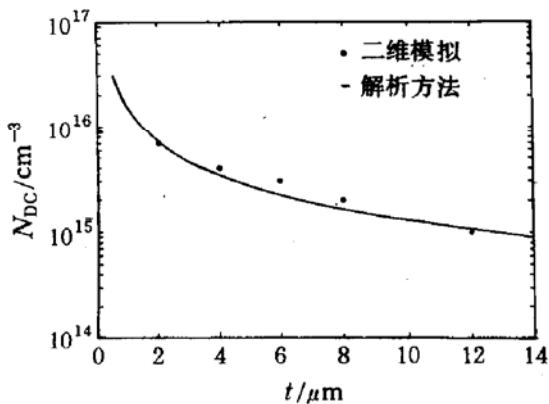


图 5 Si 层最佳掺杂浓度
 N_{DC} 与 Si 层厚度 t 的关系

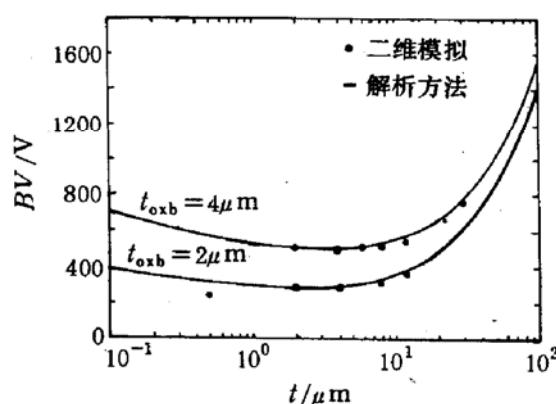


图 6 最大击穿电压 BV 与 Si 层厚度 t 及埋层 SiO_2 厚度 t_{oxb} 的关系

4 结论

本文采用二维计算机模拟说明了 RESURF 原理可以用于 SOI LDMOS 器件。给出了击穿电压与器件结构关系的解析表达式, 计算结果与二维模拟结果符合较好。对 Si 层最佳掺杂浓度与其厚度的关系进行了讨论。本文结果同样适用于以 SiO_2 隔离的各种横向器件的击穿电压的讨论。

参 考 文 献

- [1] R. A. McMahon, Microelectronic Eng., 1988, 8: 255~272.
- [2] J. A. Appels and H. M. J. Vaces, IEDM Tech Dig., 1979, 238~241.
- [3] S. Merchant *et al.*, Proc. 3rd International Symposium on Power Semiconductor Devices and ICs, 1991, 31~35.
- [4] Y. S. Huang and B. J. Baliga, Proc. 3rd International Symposium on Power Semiconductor Devices and ICs, 1991, 27~30.
- [5] P. Ratnam, Electronics Letters, 1989, 25: 536~537.
- [6] Z. Parpia and C. A. Salama, IEEE Trans. Electron Devices, 1990, 37: 789~795.
- [7] M. R. Pinto *et al.*, PISCES-II B, Stanford Electronics Lab., Dept. of Electrical Eng., Stanford Univ., 1985.
- [8] T. Okabe *et al.*, IEEE Trans. Electron Devices, 1980, 27: 334~339.
- [9] T. Yamaguchi and S. Morimoto, IEEE Trans. Electron Devices, 1982, 29: 1171~1178.
- [10] V. P. O'Neil and P. G. Alonas, IEEE Trans. Electron Devices, 1979, 26: 1098~1100.

- [11] S. K. Ghandhi, *Semiconductor Power Devices*, New York, Wiley, 1977.
[12] M. Shimbo *et al.*, *J. Appl. Phys.*, 1986, **60**:2987~2989.

Application of RESURF Principle to SOI LDMOS Transistors

Fu Liwen and Yan Lida

(*Microelectronics Institute, Tsinghua University, Beijing 100084*)

Received 8 December 1994, revised manuscript received 28 February 1995

Abstract The application of RESURF principle to lateral DMOS transistors (LDMOS) in silicon-on-insulator(SOI) has been examined. The effects of the device structure and doping concentration on breakdown voltage have been investigated by both analysis approach and twodimensional simulation. The breakdown voltage depends critically on the doping concentration. The breakdown voltage increases with the thickness of buried oxide, but shows a minimum with Si layer thickness of a few micrometers. The results can also be applied to various lateral devices made with dielectric isolation.

EEACC: 2500, 2560S