

全耗尽 SOI nMOSFET 的浮体效应物理模型

奚雪梅 王阳元

(北京大学微电子研究所 北京 100871)

摘要 本文提出了一个短沟道、包含寄生双极晶体管效应的物理解析模型来分析薄膜 SOI nMOSFET 强反型电流下的浮体效应,该模型通过研究各种寄生电流成分对源漏电流和浮体电位的贡献,以及浮体电位的变化对器件其他参数如阈值电压和寄生寄生双极电流各成分的影响,成功地解释了器件处于背界面积累状态时的“Kink”现象和器件的异常击穿机理。本模型模拟结果从不同偏置电压、不同器件尺寸几方面较好地拟合了实验曲线,同时还得到结论,器件处于背界面积累状态时由于碰撞离化作用产生的空穴的源端堆积使浮体电位升高导致器件的阈值电压突然降低,因而输出电流出现“Kink”效应;浮体电位的升高还导致器件寄生双极晶体管的开启与正向反馈,使得器件击穿电压过低。本物理模型的确立为从理论上提出抑制浮体效应提供依据。

PACC: 7220H, 7220J, 7360H

1 引言

薄膜 SOI(Silicon-On-Insulator)作为一种 VLSI 技术,其优越性正越来越得到广泛的重视与研究,而 SOI MOSFET 结构中全隔离的硅膜结构却带来了人们不希望的浮体效应^[1,2]。器件进入短沟道和亚微米领域后,这些效应将显著地影响器件特性。浮体效应主要会引起两种异常现象:一是电流翘曲(Kink),另一个是器件源漏击穿电压的降低。就 nMOS 器件而言,产生这些效应的根本原因在于漏耗尽区的高场对载流子的加速而导致的碰撞离化效应。高电场碰撞离化产生的电子汇入漏端电流,而空穴则在电场的作用下移向源端,并堆积在电位相对较低的源端附近的硅膜中,抬高此处的浮体电位。受浮体电位抬高的调制,nMOS 器件的源-体结势垒将降低。当源-体结处于正向偏置时,会激活寄生双极晶体管效应(源端为发射极,体为基极,漏端为收集极)。

Colinge 的研究表明^[3],薄膜全耗尽器件可以消除 Kink 效应,这意味着应减薄 SOI 膜厚度。传统概念认为薄膜器件能有效抑制浮体效应,许多文献也报道了部分耗尽器件中的异常击穿特性^[4]和 Latch 现象^[5],然而这些现象在薄膜全耗尽器件中将同样存在,因而要深入研究薄膜 SOI 器件,就必须细致地研究薄膜器件中的各种寄生特点,对浮体效应的理论分

奚雪梅 女,1968 年生,博士生,主要从事 SOI 材料、SOI MOSFET 器件模型模拟和电路模拟研究
王阳元 男,1935 年生,教授,博士生导师,主要从事 VLSI 新工艺、新器件和新结构的研究
1995 年 1 月 9 日收到初稿,1995 年 4 月 25 日收到修改稿

析一般采用二维泊松方程和电流连续性方程的求解^[6~9],但是这种方法不仅需要大量的计算资源,而且由于悬浮区的存在,使计算非常复杂.Chen^[10]基于 SOI MOSFET 和二极管器件理论,给出了一个源漏电流的解析模型来分析器件的 Kink 效应和寄生双极晶体管效应,但这个模型只适合长沟道器件,且过于简化.本文中我们发展了一个短沟道、包含寄生双极晶体管效应的 SOI MOSFET 的 I_{DS} - V_{DS} 解析模型,该模型通过研究各种电流成分对源漏电流和浮体电位的变化对器件其他参量如阈值电压、寄生双极晶体管电流等的影响,成功地解释了器件 Kink 效应和寄生双极晶体管效应导致的击穿电压降低,较详细地给出了这些效应的物理内涵.

本文以 nMOSFET 为分析对象,为简化模型,只考虑 Si-SiO₂ 背界面耗尽和积累两种情形.作相应的参数调整,也可以得到 pMOSFET 的类似结果,然而,由于空穴碰撞离化效应比较小,pMOSFET 中的浮体效应不明显.

2 物理模型

图 1 给出了包含横向 BJT 的 SOI MOSFET 的剖面图.并示意地描述出所涉及的电流成分,假设器件沟道区均匀掺杂,源、漏与体结均为突变结,下面具体地分析薄膜器件中应考虑的电流成分,包括三部分电流.

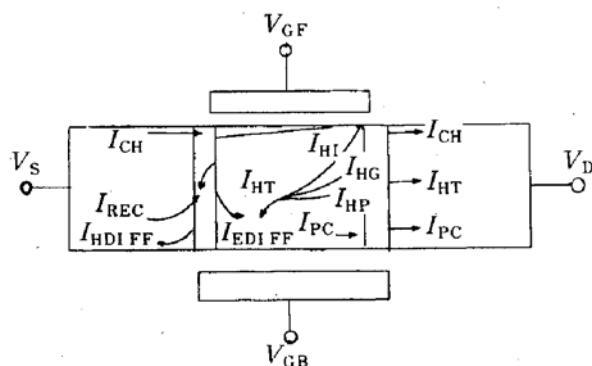


图 1 包含横向 BJT 的 SOI MOSFET 各电流成分示意图

2.1 MOSFET 电流

器件工作于线性区时 MOSFET 电流只有沟道区电流 I_{CH} ,这部分电流采用短沟道 SOI nMOSFET 强反型电流,具体形式见[11];进入饱和区后,流经沟道的电子在漏端高电场的作用,发生碰撞离化效应,将产生相应的空穴电流 I_{HI} ^[12]:

$$I_{HI} = (M_1 - 1)I_{CH}, \quad (1)$$

其中 $M_1 - 1 = \frac{\alpha_1}{\beta_1} (V_{DS} - V_{DSat}) \exp\left(\frac{-\beta_1 l_c}{V_{DS} - V_{DSat}}\right)$

是 MOSFET 表面离化倍增因子; V_{DS} 是器件源漏电压; V_{DSat} 是相应的饱和电压; l_c 是 SOI MOSFET 的特征长度; α_1 、 β_1 是相应的碰撞离化系数; 器件处于截止区和线性区时 $I_{HI} = 0$.

2.2 寄生 BJT 电流

体硅器件中碰撞离化产生的空穴受电场作用将流向衬底,形成衬底电流,不会引起电荷堆积,不能诱发寄生双极晶体管效应,因而忽略源到体的扩散电流,只考虑漂移电流; SOI nMOSFET 中由于浮体效应的存在,必须考虑这部分电流.根据半导体 pn 结理论^[13],寄生 BE 结(源-体结)区的电流应包括基区过剩电子的扩散电流 I_{EDIFF} 、源区过剩空穴的扩散电流 I_{HDIFF} 和 BE 结耗尽区的复合电流 I_{REC} ,在某一浮体电位 V_{BE} 下,考虑到短沟道和亚微米器件中载流子扩散长度远大于器件有效尺寸,可以认为寄生双极晶体管具有薄基区,这些电流可以表示成如下形式:

$$I_{EDIFF} = \frac{q D_{NB} n_i^2 A_j}{N_s W_b} \exp(V_{BE}/V_T) (1 - \exp(-B_{DS}/V_T)) = K_B \exp(V_{BE}/V_T) \quad (2)$$

$$I_{\text{EDIFF}} = \frac{q D_{\text{PE}} n_i^2 A_j}{N_{\text{SS}} W_{\text{E}}} \exp(V_{\text{BE}}/V_T) = K_{\text{HDE}} \exp(V_{\text{BE}}/V_T) \quad (3)$$

$$I_{\text{REC}} = \frac{q W_{\text{EB}} n_i A_j}{2\tau_r} \exp(V_{\text{BE}}/2V_T) = K_{\text{REC}} \exp(V_{\text{BE}}/2V_T) \quad (4)$$

其中 $A_j = W \times t_{\text{Si}}$ 是源体结(发射结)面积; W 是器件的栅宽度; t_{Si} 是 SOI 膜厚度; $D_{\text{NB}}, D_{\text{PE}}$ 分别是电子在基区和空穴在发射区的扩散长度; n_i 是本征载流子浓度、 N_a, N_{SS} 分别为衬底和源区掺杂掺杂浓度; $V_T = \frac{kT}{q}$; q 是电子电荷; T 是系统温度; W_b 是寄生 BJT 的基区宽度; 且 $W_b = L - W_{\text{EB}} N_{\text{SS}} / (N_a + N_{\text{SS}}) - W_{\text{BC}} N_{\text{DD}} / (N_a + N_{\text{DD}})$; L 是 MOS 器件的沟道长度; N_{DD} 是漏区掺杂浓度; $W_{\text{EB}}, W_{\text{BC}}$ 分别为发射结和收集结耗尽区宽度,

$$W_{\text{EB}} = \sqrt{2\epsilon_s (V_{\text{bi}} - V_{\text{BE}})(N_a + N_{\text{SS}})/q N_a N_{\text{SS}}},$$

$$W_{\text{BC}} = \sqrt{2\epsilon_s (V_{\text{bi}} + V_{\text{DS}} - V_{\text{BE}})(N_a + N_{\text{DD}})/q N_a N_{\text{DD}}},$$

式中 V_{bi} 是 BE 结内建势垒; W_{E} 应为从栅到源接触点的距离; τ_r 是 BE 结空间电荷区的载流子复合寿命。

寄生双极晶体管的发射极电流 I_{PE} 是这些电流的总和, 即:

$$I_{\text{PE}} = I_{\text{EDIFF}} + I_{\text{HDIFF}} + I_{\text{REC}} \quad (5)$$

电子扩散电流 I_{EDIFF} 流经基区(体), 有一部分电子将被空穴所复合, 其余的电子流形成收集极电流 I_{PC} 可以表示为:

$$I_{\text{PC}} = \alpha T I_{\text{EDIFF}} \quad (6)$$

其中 $\alpha_T = 1 - \frac{1}{2} \left(\frac{W_b}{L_N} \right)^2$ 是寄生双极晶体管的基极运输系数; L_N 是电子扩散长度.

汇入源漏电流的收集极电流 I_{PC} 受 BC 结区强电场作用也将导致碰撞离化, 产生的空穴电流 I_{HP} ^[14] 可以表示为:

$$I_{\text{HP}} = (M_p - 1) I_{\text{PC}} \quad (7)$$

其中 $M_p - 1 = \frac{\alpha_p}{\beta_p} (V_{\text{DS}} - V_{\text{BE}}) \exp\left(\frac{-\beta_p l_p}{V_{\text{DS}} - V_{\text{BE}}}\right)$ 是双极倍增因子, 区别于 M_t , 它对应于体区; $l_p = F_p \sqrt{2\epsilon_s (V_{\text{DS}} - V_{\text{BE}})/q N_a}$ 是寄生双极晶体管的特征长度; F_p 是拟合参数, 约为 0.6. α_p, β_p 是相应的体区碰撞离化系数.

2.3 漏体结(收集结)产生电流 I_{HG}

高反偏的收集结存在产生电流, 耗尽区主要扩展在低掺杂浓度的 P 型体区. 产生电流中起主要作用的是空穴产生电流 I_G , 这个电流可表示为^[15]:

$$I_G = q n_i W_{\text{BC}} A_j / (2\tau G) \quad (8)$$

这部分电流同样受到碰撞离化的作用, 实际 BC 结产生的空穴电流 I_{HG} 应为:

$$I_{\text{HG}} = M_p I_G \quad (9)$$

衬底掺杂浓度将对载流子的产生、复合寿命构成影响, SRH 复合/产生寿命可以表示为^[16]:

$$\tau_r = \frac{\tau_{\text{ro}}}{1 + N_a / 1 \times 10^{16} (\text{cm}^{-3})} \quad (10)$$

$$\tau_G = \frac{\tau_{\text{Go}}}{1 + N_a / 1 \times 10^{16} (\text{cm}^{-3})} \quad (11)$$

从上述分析可以发现,这几部分寄生电流都依赖于浮体电位 V_{BE} ,要准确地描述器件输出特性,就必须正确地计算出不同栅、漏偏置下的 V_{BE} 值。寄生电流中包含三种空穴产生机制,所产生的空穴将堆积在源区附近,使浮体电位逐步提高,引起其他各部分电流的变化,经过一系列瞬态过程后,最终的稳定状态将是,所有空穴流与从源端注入的过剩载流子流相平衡,浮体电位达到一个稳态值 V_{BE} 。通过这个平衡,可以计算出 V_{BE} 的具体值来。

全部的空穴产生电流 I_{HT} 可以表示为:

$$I_{HT} = I_{HI} + I_{HP} + I_{HG} \quad (12)$$

与之相平衡,应有:

$$\begin{aligned} I_{HT} &= I_{PE} - I_{PC} \\ &= (K_{ED} + K_{HD} - \alpha_T K_{ED}) \exp(V_{BE}/V_T) \\ &\quad + K_{REC} \exp(V_{BE}/2 V_T) \end{aligned} \quad (13)$$

这样 V_{BE} 可以表示成 I_{HT} 、 α_T 及 BE 结其他参量的函数:

$$V_{BE} = 2V_T \ln \left[\frac{-K_{REC} + \sqrt{K_{REC}^2 + 4(K_{ED} + K_{HD} - \alpha_T K_{ED})I_{HT}}}{2(K_{ED} + K_{HD} - \alpha_T K_{ED})} \right] \quad (14)$$

V_{BE} 达到稳态值的过程在计算上表现为通过迭代达到稳定值的过程。

体硅器件中阈值电压受衬底偏压的调制,这叫体效应^[17],全耗尽器件中耗尽的体电荷是固定的,不会随浮体电位的变化而变化,因此 V_{TH} 与浮体电位 V_{BE} 的大小无关;当器件处于背面积累或部分耗尽状态时, V_{BE} 的增大将显著地减小表面达到强反型所需的正面能带弯曲,减小栅下控制的耗尽区电荷量,因而背界面积累的 SOI 器件中同样存在体效应,阈值电压将随着浮体电位的增加而降低。定义 V_{GbA} 是背表面处于临界积累对应的背栅电压, $V_{GbA} = V_{FBb} - \frac{c_{Si}}{C_{ob}} 2\Phi_f - \frac{Q_{b(eff)}}{2c_{ob}}$, V_{FBb} 是器件背界面平带电压, $c_{Si} = \epsilon_0 \epsilon_s / t_{si}$, $c_{ob} = \epsilon_0 \epsilon_{ox} / t_{ob}$, t_{si} 和 t_{ob} 分别是 SOI 硅膜和埋氧化层厚度, Φ_f 是表面费米势, $Q_{b(eff)}$ 是器件体区有效空间电荷面密度,当 $V_{Gb} \leq V_{GbA}$, 器件处于背面积累, 阈值电压受 V_{BE} 的调制, 可以表示为^[18]:

$$V_{TH} = V_{TH0} + \gamma (\sqrt{2\Phi_f - V_{BE}} - \sqrt{2\Phi_f}) \quad V_{BE} < 2\Phi_f \quad (15)$$

$$V_{TH} = V_{TH0} + F_T (2\Phi_f - V_{BE} - \gamma \sqrt{2\Phi_f}) \quad V_{BE} \geq 2\Phi_f \quad (16)$$

其中 γ 是体效应因子(≈ 0.9); F_T 是拟合因子,在本文分析中, $F_T \approx -0.8$; V_{TH0} 是初始的正面栅阈值电压。

综合上述分析的各种电流,可以得到器件在不同工作范围内的源漏电流:

$$\begin{aligned} I_{DS,cutoff} &= I_{HG} + I_{HI} + I_{PC} \\ I_{DS,lin} &= I_{CH} + I_{HG} + I_{HI} + I_{PC} \\ I_{DS,sat} &= I_{CH} + I_{HG} + I_{HI} + I_{HP} + I_{PC} \end{aligned} \quad (17)$$

需要指出的是,在上述分析过程中加入了 N_{SS} 、 N_{DD} 参量的影响,本模型细致的分析为研究 N_{SS} 、 N_{DD} 变化对浮体效应的影响作了很好的准备。同时,表面和体区碰撞离化倍增因子的定义不很充分,因为对薄膜器件,碰撞离化效应是二维的,但只要能采用合适的参数 α_p 、 β_p 、 α_i 、 β_i , 上述公式可以很好地描述 SOI MOSFET 的碰撞离化效应。

3 实验

利用 SIMOX (Separation by IMplanted OXygen) 材料制作出 MOSFET 器件, 器件正面

栅氧化层、SOI 膜和背面栅氧化层厚度分别为 70nm、120nm 和 370nm, 器件沟道长度从 0.8μm 到 3μm 等不同尺寸, 正面栅采用 n⁺多晶硅栅.

根据实验测量的器件线性区输出电流特性进行了器件参数提取, 得到器件参数的典型值, 包括低场下沟道电子迁移率 μ 为 609cm²/(V·s), 源漏区电阻为 540Ω, 迁移率电场调制因子 θ 为 0.1476V⁻¹, 载流子进入速度饱和的临界电场 E_c 为 1.2×10⁵V/cm, 体区耦合因子 α 为 0.17.

考虑到各部分掺杂浓度对扩散系数和产生、复合寿命的影响, 模拟中取 $\tau_{go}=50\text{ns}$, $\tau_{ro}=200\text{ns}$, 扩散系数利用爱因斯坦关系从迁移率计算得到, 沟道区掺杂浓度 $N_a=4\times10^{16}\text{cm}^{-3}$, 源漏区掺杂浓度 $N_{ss}=N_{DD}=1\times10^{20}\text{cm}^{-3}$.

4 结果与讨论

为了验证本文所提出的 SOI 浮体效应模型, 我们将理论计算和实验测量值进行了对比. 图 2 是宽长比为 6μm/1μm 的 SOI nMOSFET 的 $I_{DS}-V_{DS}$ 输出特性曲线, 其中实线对应实际测量值, 点代表理论计算值, 栅压从 1V 至 5V 变化, 背面栅压为 0V. 计算中 ($V_{GbA} \approx -3.7\text{V}$), 对应器件背面全耗尽的工作状态; 图 3 是相同尺寸的器件背面栅压为 -10V ($V_{Gb} < V_{GbA}$, 对应器件背面积累情形) 时, 实验测量曲线和理论计算曲线的对比结果. 这两个图的两

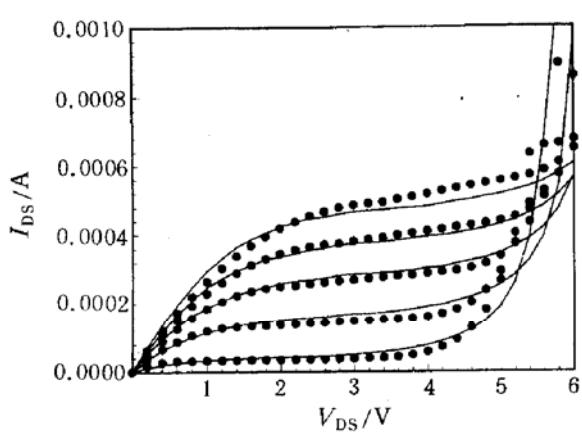


图 2 SOI nMOSFET $I_{DS}-V_{DS}$ 输出特性曲线

$W/L = 6\mu\text{m} : 1\mu\text{m}$; $V_{Gf} = 1 \sim 5\text{V}$; $V_{Gb} = 0\text{V}$

实线: 测量值; 点: 计算值.

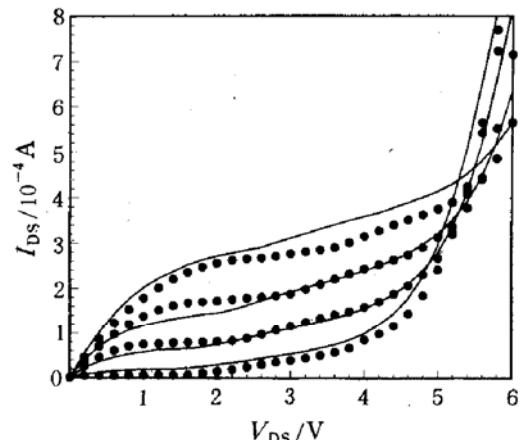


图 3 SOI nMOSFET $I_{DS}-V_{DS}$ 输出特性曲线

$W/L = 6\mu\text{m} : 1\mu\text{m}$; $V_{Gf} = 2 \sim 5\text{V}$; $V_{Gb} = -10\text{V}$

实线: 测量值; 点: 计算值.

组曲线在栅压、漏电压不同偏置下均拟合较好, 说明本模型可以正确地描述薄膜 SOI 器件背面耗尽(TFD)和背面积累(TFA)两种情形的物理特性.

从图 2、3 还可以看出, 随着栅压的上升, nMOSFET 的漏击穿电压 BV_{DS} 将提高, 并且背面积累时器件的翘曲点电压 V_K 也相应提高. 为了分析器件处于背面积累工作状态下电流 Kink 效应和全耗尽 SOI nMOSFET 的击穿物理机理, 我们模拟了背面积累器件中的浮体电位、阈值电压及各种寄生电流随电源电压的变化关系. 图 4 是 V_{BE} 和 V_{TH} 随源漏电压的变化曲线, 图 5 给出了各部分电流随源漏电压的变化特征, 图 5(a) 线性地描述了三种主要电流成分随源漏电压的变化情况, 图 5(b) 又对数地描述了各种寄生电流.

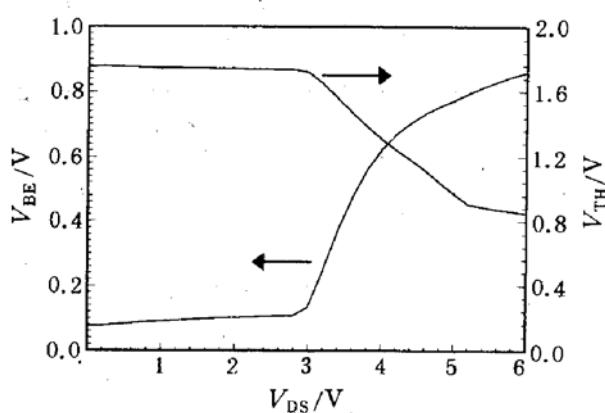
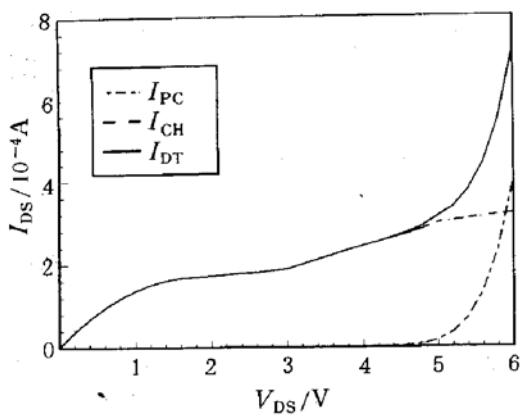
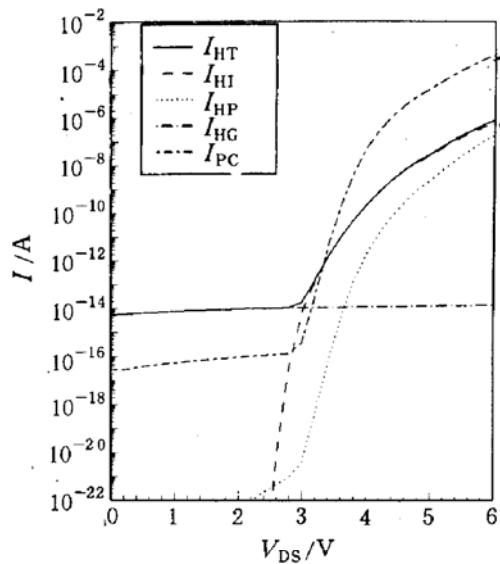


图 4 V_{BE} 、 V_{TH} 随 V_{DS} 的变化曲线
 $V_{Gf}=4V$; $V_{Gb}=-10V$.



(a) 各种电流成分线性的表示

(b) 各种寄生电流成分对数的表示, $V_{Gf}=4V$; $V_{Gb}=-10V$.图 5 I_{DS} - V_{DS} 模拟曲线

的翘曲现象。另一方面, 观察图 4 中的 V_{TH} 对应曲线可以发现此时器件的阈值电压也相应地显著减小, 分析阈值电压和器件沟道电流的变化, 正是阈值电压这一减小引起了器件沟道电流 I_{CH} 显著增加, 从而造成电流的 Kink 效应, 而并非是寄生双极晶体管效应的直接结果。

从图 4、图 5 还可以看出, 当浮体电位增大到一定值后, 随着 V_{DS} 的进一步增大, 寄生双极晶体管将呈现开启状态, 寄生电流 I_{PC} 逐渐增大到可与沟道电流相比拟, I_{DS} 增加将主要受寄生双极晶体管的控制, 器件将进入源漏击穿状态。所以短沟道 SOI nMOS 器件的击穿表现为寄生双极晶体管基极开路时的集电极击穿, 这个击穿电压比 MOS 器件穿通电压和栅氧化层击穿电压都低。

V_K 和 BV_{DS} 对栅压的依赖关系可以从不同栅压偏置下器件浮体电压显著变化的源漏电压位置不同得到解释, 如图 6 所示。不同栅压下浮体电位和阈值电压发生显著变化的源漏电压点是不同的, 较高的栅压下, V_{BE} 出现显著变化的位置也较高, 因而对应的 V_K 就较高, 同时寄生双极晶体管进入开启导致器件击穿的 BV_{DS} 就较高。

对比图 4、图 5, 器件工作于线性区时, 主要的寄生电流为 I_{HG} , 因而初始的 V_{BE} 值主要由它来决定; 进入饱和区后, MOSFET 的碰撞离化电流 I_{HI} 开始上升, 相应的浮体电位 V_{BE} 也开始增大, 引起寄生双极晶体管各电流成分缓慢地上升, 当 $I_{HI} \geq I_{HG}$ 后, 浮体电位及寄生双极晶体管电流发生显著增大, 同时器件输出特性出现“Kink”现象, 然而 Kink 效应不能从寄生双极晶体管电流的增加得到解释, 因为尽管此时 I_{HI} 、 I_{HP} 和 I_{PC} 显著增大, 这些寄生电流仍远小于 I_{CH} (小 10 个量级以上), 不足以引起输出电流

为进一步验证本模型,我们还作了如下对比分析。图 7 是 $V_{\text{Gf}}=4\text{V}$, $V_{\text{Gb}}=0\text{V}$ 时单位栅宽下,沟道长度 L 从 $0.8\mu\text{m}$ 到 $3\mu\text{m}$ 变化的 nMOS 器件 $I_{\text{DS}}-V_{\text{DS}}$ 特性曲线。 L 下降会使器件输出特性曲线上翘曲和击穿现象提前发生,表现为 V_K 和 BV_{DS} 的下降,且电流翘曲的幅度更明显。图 8 是对应 $V_{\text{Gf}}=4\text{V}$, $W/L=6\mu\text{m}:1\mu\text{m}$, 不同 V_{Gb} 下的 SOI nMOSFET $I_{\text{DS}}-V_{\text{DS}}$ 特性曲线。 V_{Gb} 降低(变负),器件的 Kink 效应将更明显, BV_{DS} 将减小。

从上述的模型验证和分析可以看出,对不同偏置、不同几何尺寸的 SOI MOS 器件,本模型均可以较为准确模拟。

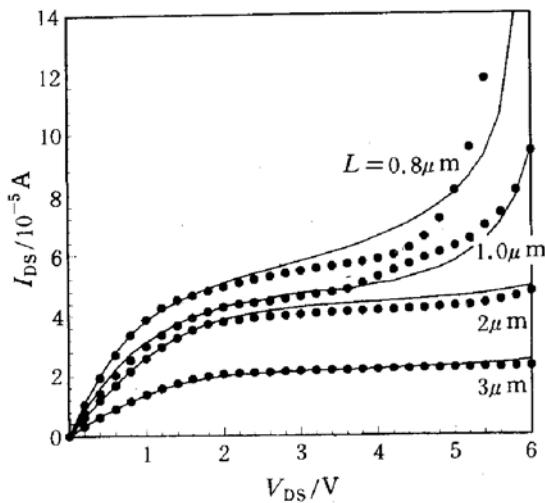


图 7 单位栅宽下 L 不同对应的 $I_{\text{DS}}-V_{\text{DS}}$ 特性曲线
 $W/L=6\mu\text{m}:1\mu\text{m}; V_{\text{Gf}}=4\text{V}; V_{\text{Gb}}=0\text{V}$
 实线:测量值; 点:计算值.

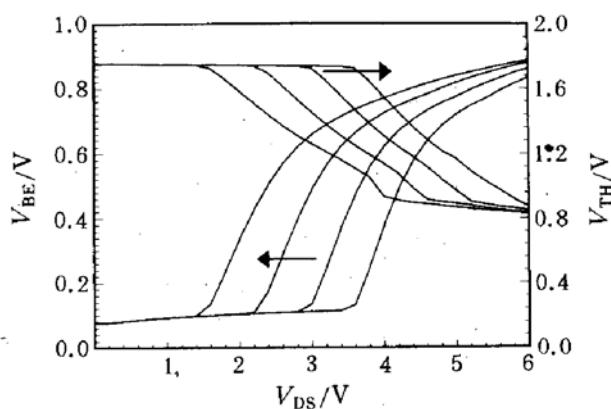


图 6 不同栅压下 V_{BE} 和 V_{TH} 随 V_{DS} 的变化曲线
 $W/L=6\mu\text{m}:1\mu\text{m}; V_{\text{Gf}}=2\sim 5\text{V}; V_{\text{Gb}}=-10\text{V}$.

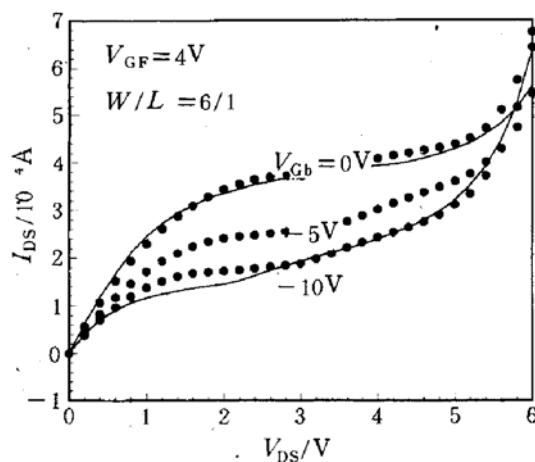


图 8 不同 V_{Gb} 下的 $I_{\text{DS}}-V_{\text{DS}}$ 特性曲线
 $W/L=6\mu\text{m}:1\mu\text{m}; V_{\text{Gf}}=4\text{V}$
 实线:测量值; 点:计算值.

5 总结

本文系统分析了研究薄膜 SOI nMOSFET 浮体效应所应考虑的各种电流成分,研究了这些电流成分在器件不同工作区对输出电流的贡献,研究结果表明,全隔离的 SOI 结构使得由于各种机制产生的空穴,堆积在靠近源端的 SOI 体区,抬高了此处的浮体电位,这一方面引起了厚膜和背面积累 nMOSFET 阈值电压的降低,造成输出电流的异常翘曲(Kink)现象,另一方面使寄生 BJT 的发射结处于正面偏置,当空穴积累到一定程度,导致寄生双极晶体管的开启,使得 SOI nMOSFET 进入以寄生双极晶体管集电结击穿的击穿过程。本模型从器件不同偏置状态,不同几何尺寸几方面得到验证,证明了本模型能较为准确地反应薄膜 SOI nMOSFET 浮体效应的物理本质,本模型推导过程中作了较少的近似,为从理论上提出

抑制浮体效应的技术方法提供依据。

致谢 本工作曾得到北京大学微电子所 SOI 课题组的大力支持, 魏丽琼硕士为作者提供了部分实验数据, 在此深表感谢。

参 考 文 献

- [1] J. P. Colinge, Silicon-On-Insulator Technology: Materials to VLSI(KAP 1990).
- [2] J.-Y. Choi and J. G. Fossum, IEEE Trans. Electron Devices, 1991, **38**: 1384.
- [3] J. P. Colinge, IEEE Electron Device Lett., 1988, **9**: 97.
- [4] K. K. Young and J. A. Burns, IEEE Trans. Electron Devices, 1988, **35**: 426.
- [5] C.-E. D. Chen *et al.*, IEEE Electron Device Lett., 1988, **9**: 636.
- [6] K. Kato, T. Wada and K. Taniguchi, IEEE Trans. Electron Devices, 1985, **ED-32**: 458.
- [7] S. P. Edwards, K. J. Yallup and K. M. De Meyer, IEEE Trans. Electron Devices, 1988, **35**: 1012.
- [8] R. Rios *et al.*, IEEE Trans. Electron Devices, 1992, **39**: 581.
- [9] M. Yoshimi *et al.*, IEEE Trans. Electron Devices, 1989, **36**: 493.
- [10] H.-T. H. Chen and R.-S. Huang, IEEE Trans. Electron Devices, 1993, **40**: 583.
- [11] 奚雪梅, 王阳元, 电子学报, 已录用, 待发表。
- [12] Y. A. El-Mansy and D. M. Caughey, IEEE Trans. Electron Devices, 1977, **ED-24**: 1148.
- [13] 叶良修, 半导体物理, 北京: 高等教育出版社, 1983, p. 310.
- [14] J. S. T. Huang, H. J. Chen and J. S. Kueng, IEEE Trans. Electron Devices, 1992, **39**: 1170.
- [15] 叶良修, 半导体物理, 北京: 高等教育出版社, 1983, p. 315.
- [16] J.-Y. Choi, J. G. Fossum, IEEE Trans. Electron Devices, 1991, **38**: 1384.
- [17] 陈星弼, 唐茂成, 晶体管原理, 北京: 国防工业出版社, 1981, p. 356.

A Physical Model of Floating Body Effects in Fully Depleted Silicon-On-Insulator nMOSFET

Xi Xuemei and Wang Yangyuan

(Institute of Microelectronics, Peking University, Beijing 100871)

Received 9 January 1995, revised manuscript received 25 April 1995

Abstract A new analytical model for SOI nMOSFET with Floating body is developed to describe the SOI nMOSFET's strong inversion current characteristics. The model considers all current components in MOSFET as well as in parasitic BJT, emphasizing on the study of body potential's effects on many device parameters and all these current parts. Our model explains the physical mechanism of the current kink and breakdown phenomena as well as the dependence of $I-V$ characteristics on various bias and channel length. The proposed model simulates the drain current-voltage characteristics of thin-film SOI nMOSFET's fabricated on SIMOX wafers successfully.

PACC: 7220H, 7220J, 7360H