

温度对势垒区 δ 捆杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 的电子能带结构的影响*

徐至中

(复旦大学物理系 上海 200433)

摘要 采用有效质量近似下的包络函数方法, 对在不同温度下的势垒区 δ 捆杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 的势位及电子密度分布进行了自治计算。详细地研究了温度对势位及电子密度分布的影响。

PACC: 7340L

1 引言

利用调制掺杂技术可以使 $\text{Si}/\text{Ge}_x\text{Si}_{1-x}$ 异质结材料获得极高的低温电子(空穴)迁移率^[1,2]。而调制 δ 掺杂技术不仅可以使载流子有效地避免电离杂质的散射而获得极高的低温迁移率, 而且也可以极大地提高量子阱沟道中的载流子密度, 因而可以进一步提高低温电导率^[3~5]。我们在前文^[6]中已在有效质量近似基础上自治地计算了势垒区 δ 掺杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 在绝对零度下的势位分布及电子密度分布, 讨论了量子阱的几何结构参数——阱宽、 δ 掺杂浓度及 δ 掺杂位置对势位及电子密度分布的影响。这里, 我们采用相同的方法自治地计算了在不同温度下的 δ 掺杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 的势位及电子密度分布, 详细地研究了温度对 δ 掺杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 的势位及电子密度分布的影响。

2 计算方法

由于在前文^[6]中已对计算模型及方法作了详细介绍, 所以这里只作简略的说明。

图 1 示出了我们的计算模型。图中的小黑点表示作 δ 掺杂的位置, 离 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 界面的距离为 D_s , D_w 表示阱宽。对生长在 $\text{Ge}_{0.3}\text{Si}_{0.7}$ (001) 衬底的量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$, 根据 Si 的畸变势常数计算得势垒高度 $\Delta V_c = 183.07 \text{ meV}$ 。

一维的单电子薛氏方程可写成

* 国家自然科学基金资助项目

徐至中 男, 1938 年生, 教授, 从事半导体表面及界面的电子态理论研究工作, 以及固体物理教学工作
1995 年 3 月 30 日收到初稿, 1995 年 7 月 4 日收到修改稿

$$\left[-\frac{\hbar^2}{2} \frac{d}{dz} \left(\frac{1}{m_l^*(z)} \frac{d}{dz} \right) + \frac{\hbar^2(k_x^2 + k_y^2)}{2m_t^*(z)} + V(z) - E_z^i \right] f(z, E_z^i) = 0 \quad (1)$$

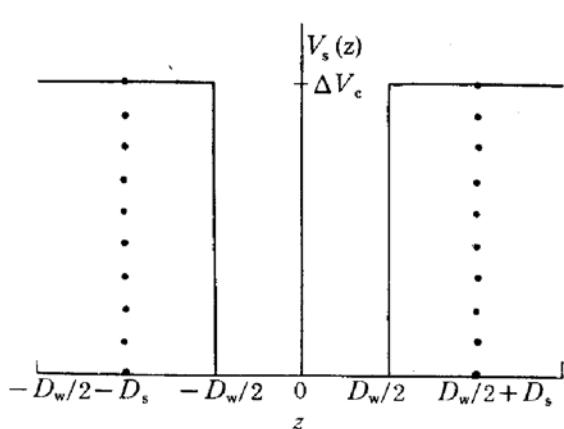


图 1 势垒区 δ 摻杂量子阱
Si/Ge_{0.3}Si_{0.7}的示意图
 z 为量子阱的生长方向.

式中 $m_l^*(z)$ 及 $m_t^*(z)$ 分别是纵向及横向电子有效质量, 在势阱区 ($-D_w/2 \leq z < D_w/2$), 它们等于 Si 的有效质量 $m_l^*(\text{Si})$ 及 $m_t^*(\text{Si})$; 在势垒区 ($z > D_w/2$), 它们等于 Ge_{0.3}Si_{0.7} 的有效质量 $m_l^*(\text{GeSi})$ 及 $m_t^*(\text{GeSi})$. 势位 $V(z)$ 由下式给出:

$$V(z) = V_s(z) + V_H(z) + V_{xc}(z) \quad (2)$$

其中 $V_s(z)$ 表示未掺杂前量子阱的导带边势位, 即如图 1 所示:

$$V_s(z) = \begin{cases} 0 & -D_w/2 \leq z < D_w/2 \\ \Delta V_c & |z| > D_w/2 \end{cases} \quad (3)$$

$V_{xc}(z)$ 是交换-关联势. 这里采用 Hedin-Lundquist 的表式^[7]. $V_H(z)$ 是 Hartree 势, 由下式的泊松方程决定:

$$\frac{d}{dz} \left[\epsilon(z) \frac{dV_H(z)}{dz} \right] = 4\pi q^2 [\rho_d^+(z) - n(z)] \quad (4)$$

这里 $\epsilon(z)$ 是介电常数, 在势阱中取 Si 的值 $\epsilon(\text{Si})$, 在势垒区取 Ge_{0.3}Si_{0.7} 的值 $\epsilon(\text{GeSi})$. $\rho_d^+(z)$ 表示电离的施主杂质密度

$$\rho_d^+(z) = \frac{\rho_d(z)}{1 + 2e^{(E_F - V(z) + E_i)/kT}} \quad (5)$$

这里 E_F 及 E_i 分别表示费米能级及施主杂质能级. $\rho_d(z)$ 是 δ 摻杂的杂质密度分布:

$$\rho_d(z) = \frac{N_d}{\sqrt{\pi} D_1} e^{-[z \pm (\frac{D_w}{2} + D_s)]^2/D_1^2} \quad (6)$$

式中 N_d 是 δ 摻杂的杂质面密度; D_1 是高斯分布参数. (4) 式中的 $n(z)$ 是可动电子密度, 由下式给出:

$$n(z) = \frac{2}{\pi \hbar^2} \sum_i m_i^*(z) |f(z, E_z^i)|^2 \int_0^\infty \frac{d\varepsilon}{1 + e^{(E_z^i + \varepsilon - E_F)/kT}} \quad (7)$$

费米能级 E_F 由下面的电中性条件决定:

$$\int_{-\infty}^{\infty} n(z) dz = 2 \int_{-\infty}^{\infty} \rho_d^+(z) dz \quad (8)$$

因为势阱的两边都存在有 δ 摻杂, 所以在上式的等号右边须乘以 2. 在计算中所使用的所有参数都在表 1 中列出.

表 1 计算时所采用的参数值

E_t/meV	D_1/nm	$\epsilon(\text{Si})$	$\epsilon(\text{GeSi})$	$m_l^*(\text{Si})/m$	$m_t^*(\text{Si})/m$	$m_l^*(\text{GeSi})/m$	$m_t^*(\text{GeSi})/m$
45	2	11.7	13.0	0.9162	0.1905	0.8811	0.1934

3 计算结果

图2示出了阱宽 $D_w = 6\text{nm}$, δ 掺杂面密度 $N_d = 1.5 \times 10^{12}\text{cm}^{-2}$, δ 掺杂位置 $D_s = 5\text{nm}$ 的量子阱Si/Ge_{0.3}Si_{0.7}在(a) $T = 4.2\text{K}$, (b) $T = 77\text{K}$ 及(c) $T = 200\text{K}$ 的电子自治势位。势阱中的三个最低束缚能级及相应的包络函数也在图中分别用长划线、短划线及点划线表出。费米能级用粗实线给出。比较图2(a)、(b)及(c)可以看到, 温度仅改变势阱相对于远离界面的势垒区导带边(图中以此作为能量零点)的位置高低, 但势阱区的势位形状基本保持不变。由于势垒高度 ΔV_c 不随温度的变化而改变, 因此三个最低束缚能级(它们都在势垒区导带边的最小值下面)的相对位置及其相应的包络函数都不随温度而变化。而费米能级 E_F 随着温度的提高而下降。

图3给出了势阱宽度 $D_w = 6\text{nm}$, δ 掺杂位置 $D_s = 5\text{nm}$ 的量子阱中电子密度 $n(z)$ 在不同温度下的分布情况。实线、短划线及点线分别表示温度 $T = 4.2, 77$ 及 150K 的情况。图中示出了三种掺杂面密度 N_d 的情况。随着温度提高, 部分较高能级也被电子占据, 因而使 $n(z)$ 分布峰变宽。当 $N_d = 1.5 \times 10^{12}\text{cm}^{-2}$ 时, $T = 77$ 及 150K 的 $n(z)$ 分布都出现双峰。但是不管在何种情况下, 可动电子基本仍局限在阱区内。(图中以小三角“▲”示出了势阱的边界)。因而仍可有效地避免电离杂质的散射。

为了了解阱区中二维电子气的

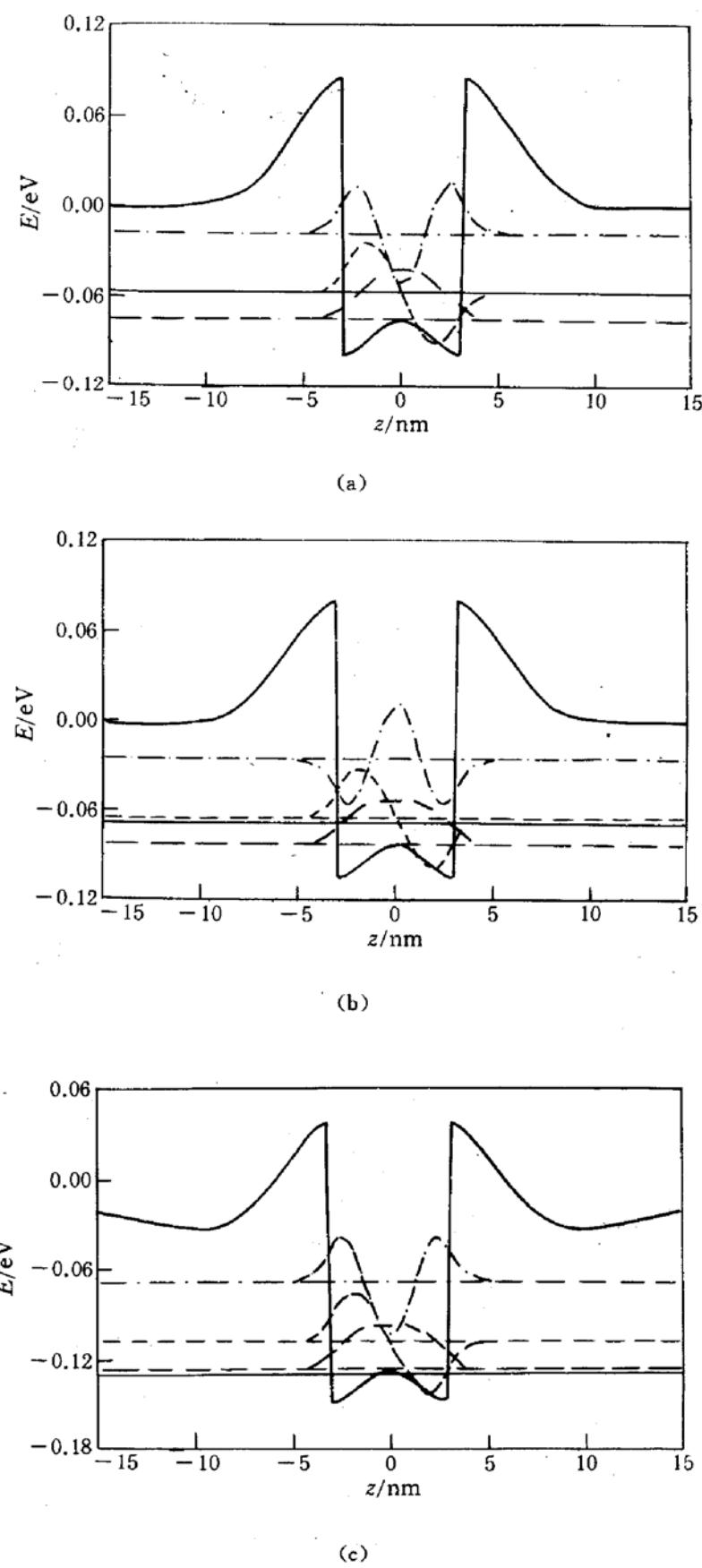


图2 势垒区 δ 掺杂量子阱Si/Ge_{0.3}Si_{0.7}在不同温度时电子自治势位、阱中的三个最低束缚能级及包络函数

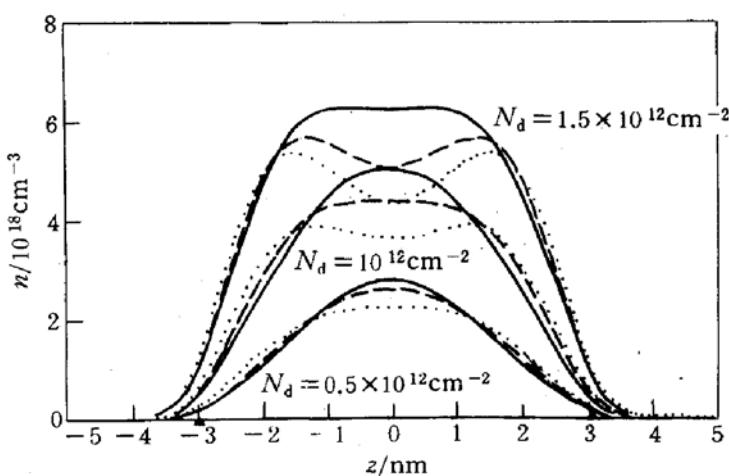


图 3 量子阱中的电子密度 $n(z)$
在不同温度下的分布情况

越来越大,当 $N_d = 1.5 \times 10^{12} \text{ cm}^{-2}$ 时,即使在极低温度下,相应于 $D_s = 8 \text{ nm}$ 的点线仍比其它两条曲线低得多。说明对于 $D_s = 8 \text{ nm}$ 的情况,当 $N_d = 1.5 \times 10^{12} \text{ cm}^{-2}$ 时, N_w 已出现饱和。但是不管何种情况, N_w 都随 T 的增大而变小,而且 N_d 及 D_s 越大, N_w 减小得越多。

图 5 示出了阱宽 $D_w = 6 \text{ nm}$, δ 损杂面密度 $N_d = 3 \times 10^{12} \text{ cm}^{-2}$ 的量子阱在不同温度下,阱区电子面密度 N_w 与 δ 损杂位置 D_s 之间的变化关系。图 6 给出了在不同温度时,

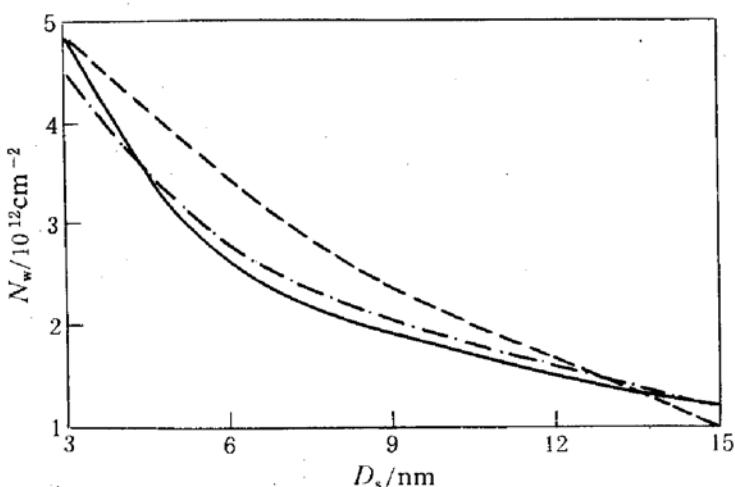


图 5 阵宽 $D_w = 6 \text{ nm}$, δ 损杂面密度 $N_d = 3 \times 10^{12} \text{ cm}^{-2}$ 的量子阱在 $T = 4.2$ (实线)、 77 (点划线)及 150K (短划线)
下,阱区电子面度 N_w 与 δ 损杂位置 D_s 间的变化关系

横向电导率,这里定义阱区电子面密度

$$N_w = \int_{-D_w/2}^{D_w/2} n(z) dz$$

(在前文^[6]中,用 $2N_s$ 表示)。

图 4 给出了在不同 δ 损杂面密度 N_d 及不同 δ 损杂位置 D_s 情况下,阱区电子面密度 N_w 随温度 T 的变化关系。在 N_d 比较小($N_d = 0.5 \times 10^{12} \text{ cm}^{-2}$)时,三条曲线在 $T < 150\text{K}$ 下都相互重合。但随着损杂面密度 N_d 的增大,三条曲线相互分离

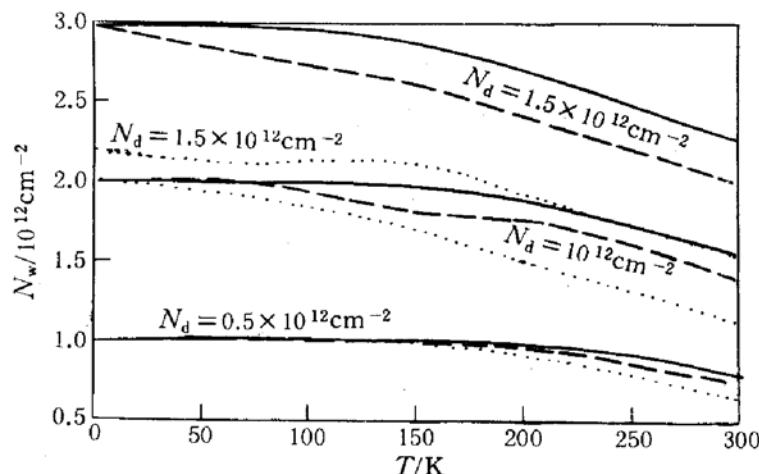


图 4 在 $N_d = 0.5, 1.0$ 及 $1.5 \times 10^{12} \text{ cm}^{-2}$,
 $D_s = 3$ (实线)、 5 (短划线)及 8nm (点线)情况下,
阱区电子面密度 N_w 随温度 T 的变化关系
阱区电子面密度 N_w 随 δ 损杂面密度

N_d 的变化情况。从图 6(a)可以看出,在 $T = 4.2\text{K}$ 下,当 $N_d = 3.0 \times 10^{12} \text{ cm}^{-2}$ 时,即使对于 $D_s = 3 \text{ nm}$ 的情况, N_w 也已发生饱和。所以图 5 中的实线实际上给出了 N_w 在低温(4.2K)下的最大值(饱和值)随 D_s 的变化关系。而点划线及短划线仅表示在 $N_d = 3 \times 10^{12} \text{ cm}^{-2}$ 时的 N_w 值。当 N_d 增大时,点划线及短划线还会相应升高,但实线却不再变大。从图 6 中可以明显地看到在低温下($T = 4.2\text{K}$) N_w 明显地呈现出饱和现象。在饱和现象出现之前, N_w 与 N_d 成正比: $N_w \approx 2N_d$ 。即阱区

两侧的 δ 掺杂的杂质中的电子基本上都转移至阱区。而当饱和现象出现后, N_w 不再随 N_d 的增加而增加, 而趋近于一个饱和值。此饱和值与 δ 掺杂位置 D_s 密切相关。 D_s 越大, 饱和现象出现得越早, N_w 的饱和值也就越低。为了避免电离杂质的散射, 通常希望 D_s 越大越好, 但从这里可以看到 D_s 的增大, 会使阱区电子面密度 N_w 的饱和值(最大值)下降。但是尽管如此, 正如前文^[6]中所指出, 与调制掺杂的情况相比, 在相同的 D_s 情况下, δ 掺杂的阱区电子面密度 N_w 最大值可以有很大的提高。阱宽 D_w 的大小对饱和现象基本上没有影响。 D_w 由6nm增加至9nm, 仅使 N_w 的饱和值有微小的提高。由图6(b)及(c)可以看到, 随着温度 T 的提高, 饱和现象逐渐减小。当 $T=150\text{K}$ 时(图6(c)), 基本上已不存在饱和现象。这时, δ 掺杂位置 D_s 的大小仅使 N_w 随 N_d 的增长比率发生变化。而且即使在 N_d 比较小的情况下, 电子仍不能全部由杂质处转移至阱区内($N_w < 2N_d$)。但对 $T=77\text{K}$ (图6(b))的情况, 当 N_d 较小时, 基本仍然存在 $N_w \approx 2N_d$ 的关系, 即基本上所有电子仍然由杂质处转移至阱区。

低温下, 上述饱和现象的出现是由于随着掺杂面密度 N_d 的增加, 阔内的电子密度也不断增加。阔内电子所携带的负电荷与电离的施主杂质所带的正电荷间的势位差也越来越大, 导致势阱相对于远离界面的势垒区导带边的位置越来越高。因而费米能级的位置也变得越来越高。当费米能级位置接近杂质能级时, 杂质面密度 N_d 的再增加, 杂质电子就不再被电离

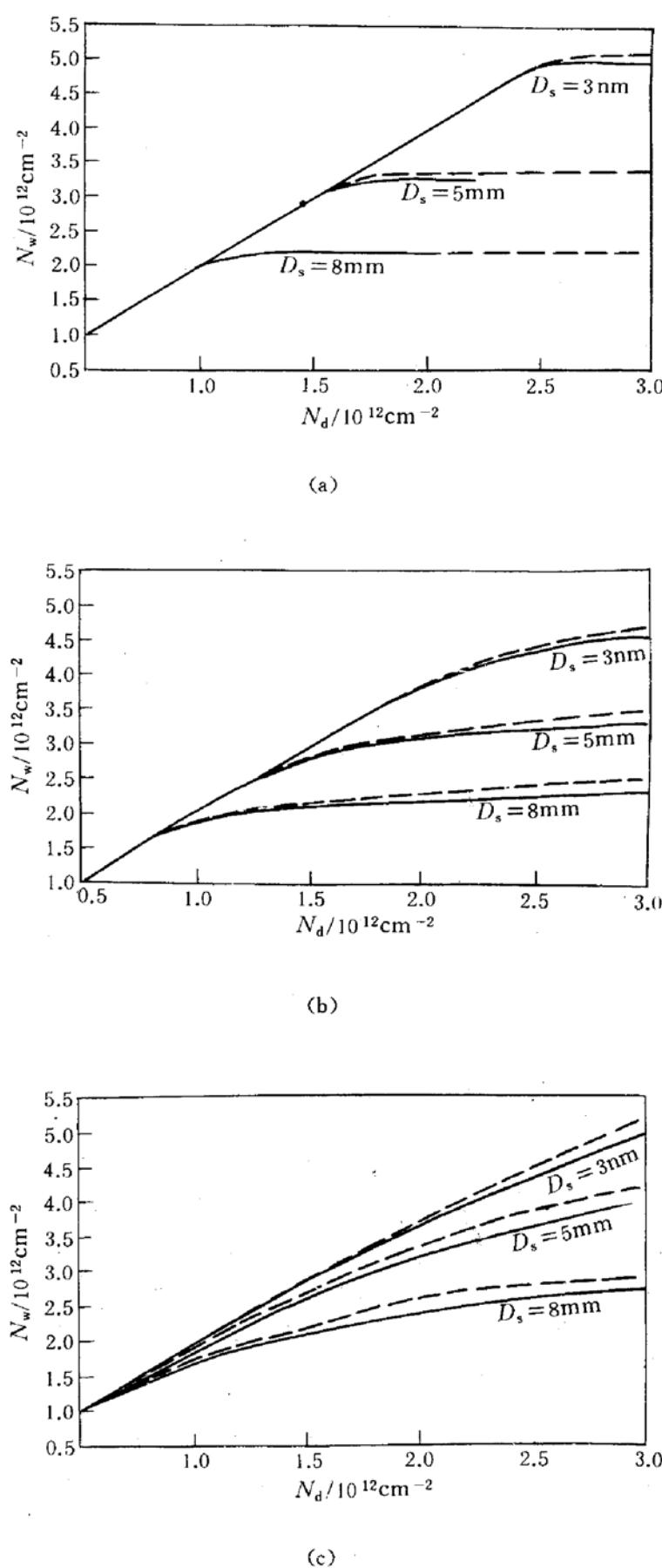


图6 在(a) $T=4.2\text{K}$, (b) $T=77\text{K}$ 及(c) $T=150\text{K}$ 下, 阔区电子面密度 N_w 随 δ 掺杂面密度 N_d 的变化情况
实线及短划线分别表示阱宽 $D_w=6\text{nm}$ 及 9nm 的情况。

而转移至阱内。因而阱内电子面密度 N_w 就出现饱和。很显然, δ 掺杂位置 D_s 越大(也即正负电荷间的距离越大), 势阱相对于势垒区导带边的位置就提高得越快, 在较低的掺杂面密度 N_d 的情况下, 就可出现饱和现象。随着温度的提高, 可使电子占据的能级范围变大, 因而使这种饱和现象变得越来越不明显。

4 结论

采用包络函数方法自治地计算了势垒区 δ 掺杂量子阱 $\text{Si}/\text{Ge}_{0.3}\text{Si}_{0.7}$ 在不同温度下的势位及电子密度分布。可得如下结论。

1. 势阱中束缚能级的相对位置及包络函数形状基本不随温度变化。温度使阱区的势位提高(以远离界面的势垒区导带边作为能量零点)。但对阱区的势位形状影响很小。费米能级 E_F 随温度的升高而下降。
2. 温度的提高使电子密度分布宽度稍有增大, 而幅度略有下降, 但是即使在 $T=150\text{K}$, 电子密度仍局限在阱内。
3. 阈区电子面密度 N_w 在低温(4.2K)下, 随 N_d 的增加呈现饱和现象。 δ 掺杂位置 D_s 越大, 饱和现象发生越早(即出现饱和现象的 N_d 阈值越小), N_w 的饱和(最大)值也越小。随着温度的增加, 饱和现象逐渐减弱。当 $T=150\text{K}$ 时, 基本上不呈现饱和现象。
4. 在低温($T<77\text{K}$)下出现饱和现象之前,(即当 N_d 小于阈值之前) $N_w \approx 2N_d$ 。即杂质中的电子基本上都转移至阱区。
5. 在任何情况下, 阈区电子面密度 N_w 都随温度 T 的增加而变小。在未达到饱和前, N_d 及 D_s 越大, N_w 随温度升高也减小得越多。

致谢 作者感谢谢希德、张开明、陆栋及王迅等教授的支持和帮助。

参 考 文 献

- [1] Y. Y. Mii, Y. H. Xie, E. A. Fitzgerald *et al.*, *Appl. Phys. Lett.*, 1991, **59**:1611.
- [2] P. J. Wang, B. S. Meyerson, F. F. Fang *et al.*, *Appl. Phys. Lett.*, 1989, **55**:2333.
- [3] T. Y. Kuo, J. E. Cunningham, E. F. Schubert *et al.*, *J. Appl. Phys.*, 1988, **64**:3324.
- [4] M. E. Lazzouni, G. T. Einevoll and L. J. Sham, *J. Appl. Phys.*, 1993, **74**:2613.
- [5] L. Chico, W. Jaskolski, R. Perez-Alvarez and F. Garcia-Moliner, *J. Phys.: Condens. Matter.*, 1993, **5**:9069.
- [6] 徐至中, *半导体学报*, 1996, **17**(5):321~327.
- [7] L. Hedin and B. L. Lundquist, *J. Phys.*, 1971, **C4**:2064.

Effects of Temperature on Electronic Structures of Barrier- δ -Doped Quantum Wells Si/Ge_{0.3}Si_{0.7}

Xu Zhizhong

(Physics Department, Fudan University, Shanghai 200433)

Received 30 March 1995, revised manuscript received 4 July 1995

Abstract The potential and electron density distributions of barrier- δ -doped quantum wells Si/Ge_{0.3}Si_{0.7} grown on the alloy Ge_{0.3}Si_{0.7}(001) at various temperatures are self-consistently calculated in effective mass approximation. The effects of the temperature on the potential and electron density distributions are studied in detail.

PACC: 7340L